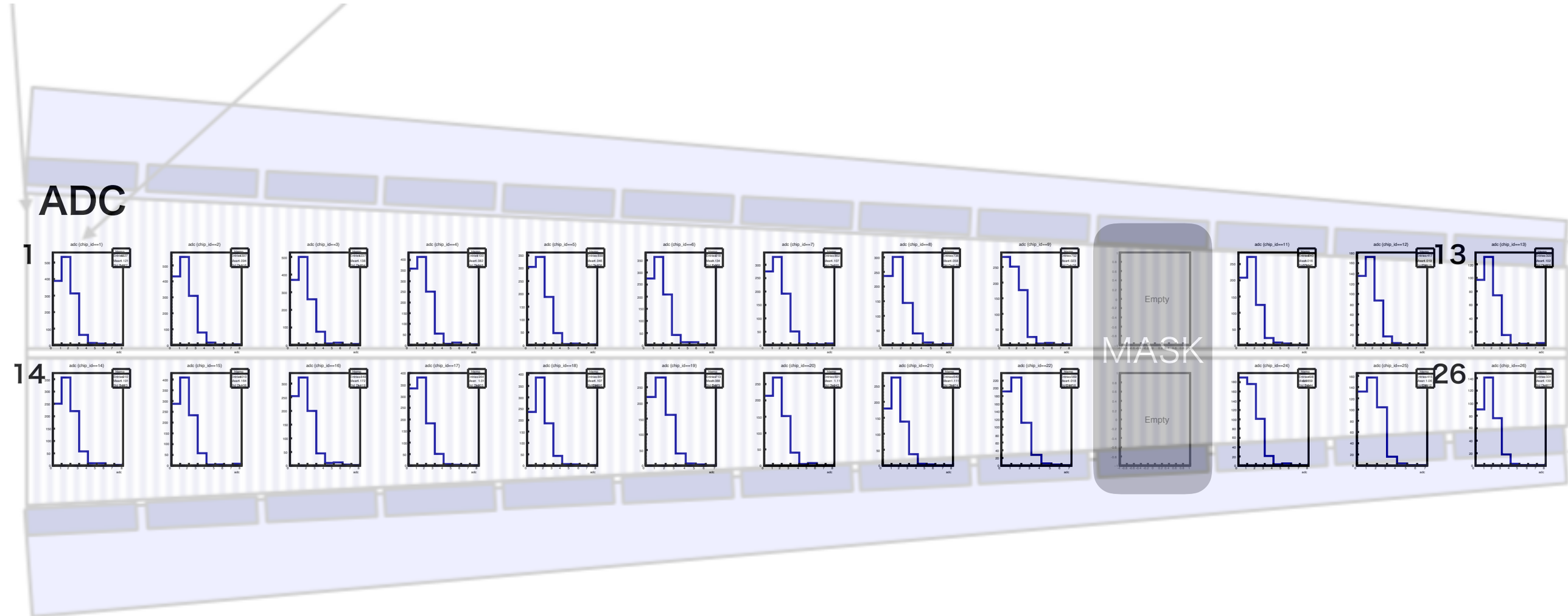
M1 鈴木

進捗

- 壊れたPMTを浜松ホトニクスへ郵送
- チップごとのエントリー数からシンチレータとの重なり具合を考察
- 1イベントヒット情報からストリップ別のDAC分布比較
- 外部トリガーとセルフトリガーでのレート比較
- INTTでのキャリブレーションテスト

チップごとのADC分布比較

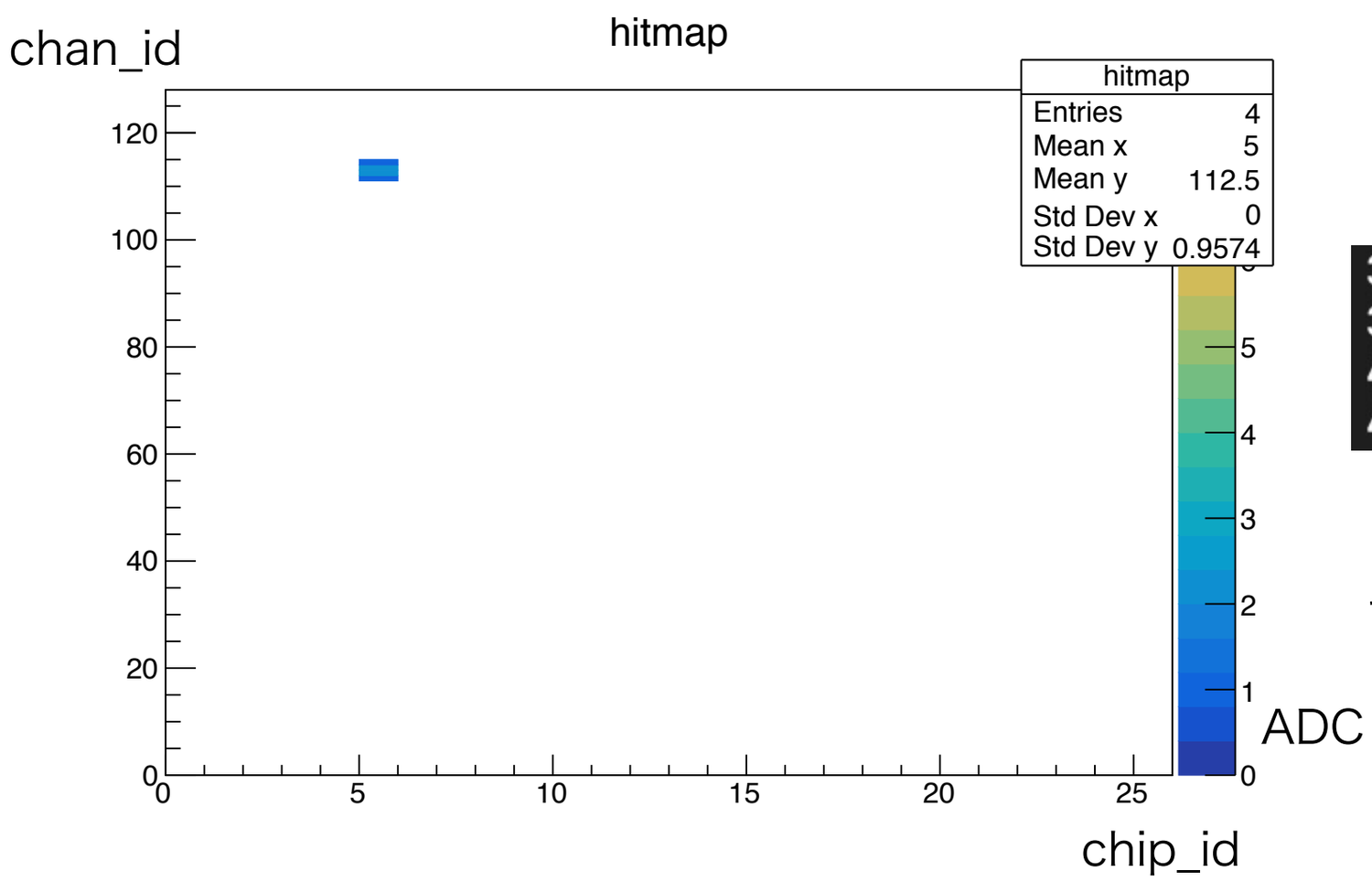
データ：20181113-1754(約22時間)



・シリコンセンサーの面積が広い方ほどエントリーが多い
・上段(1~13)と下段(14~26)で比較すると上段の方がエントリーが多い
・シリコンセンサーの面積が小さい方ほど上段と下段でエントリーの差がない
→シンチレータを重ねて設置する際下段をあまり覆えていなかった

Hit map

データ：20181113-1754(約22時間)



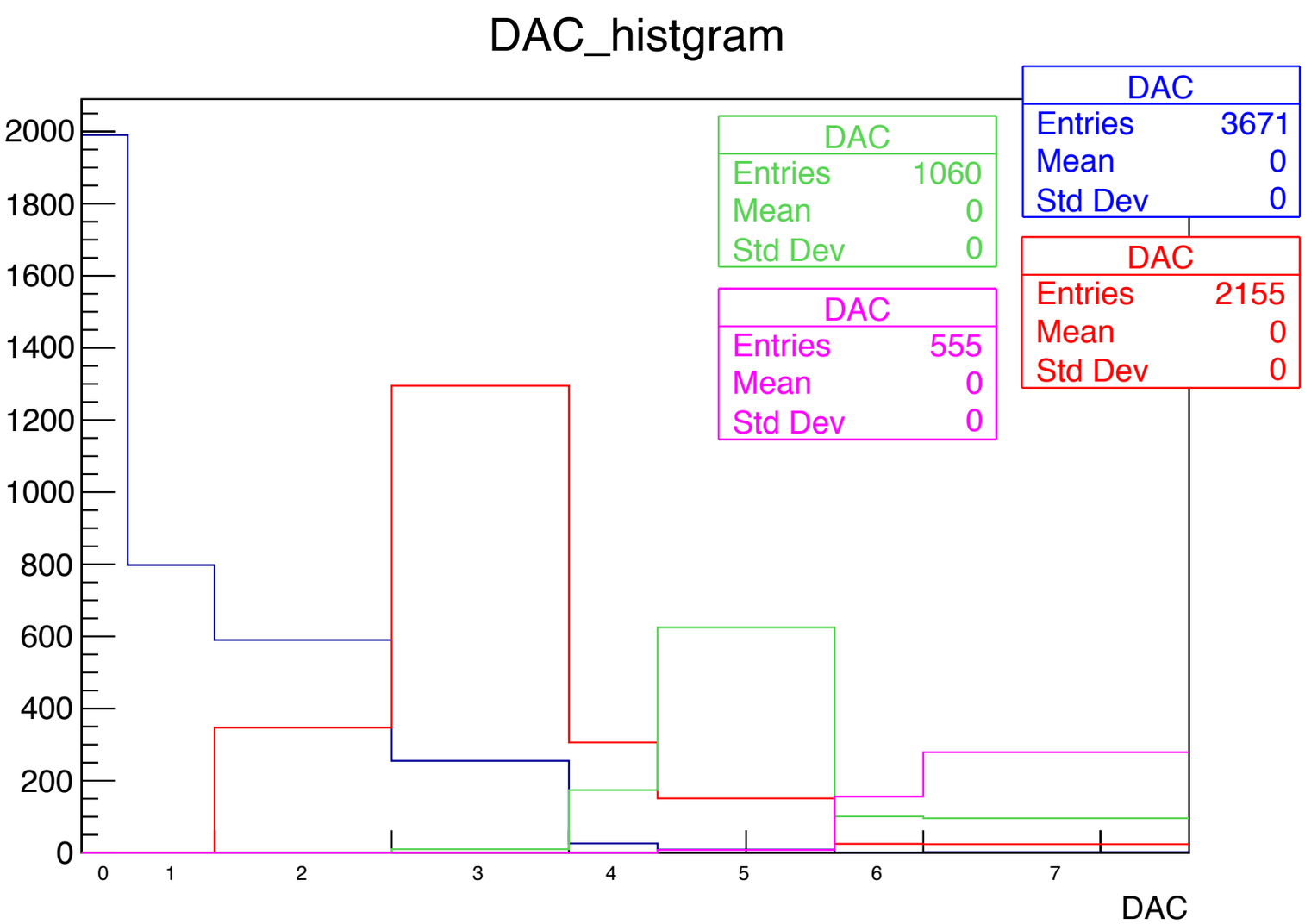

```
38 clk:121 43769 : 6 111 : 5 0
39 clk:121 43769 : 6 112 : 5 1hit
40 clk:121 43769 : 6 113 : 5 1hit
41 clk:121 43769 : 6 114 : 5 0
```

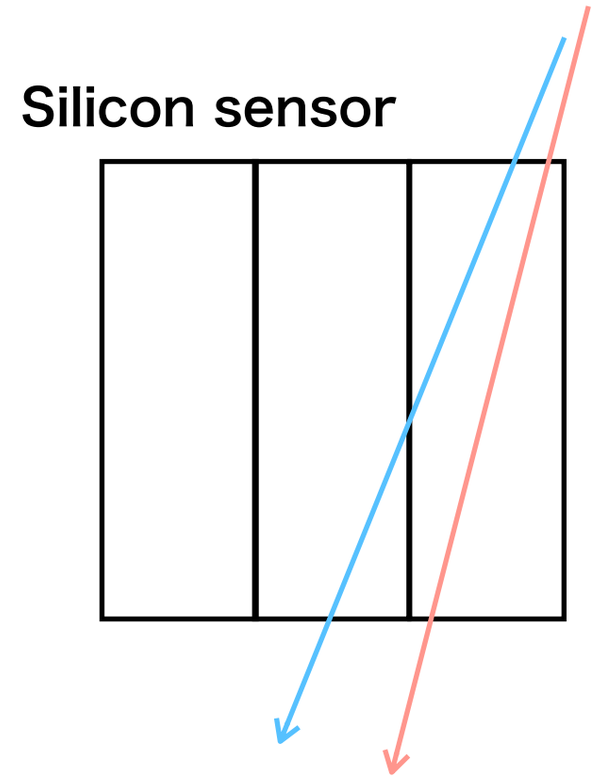
chip id=6の111~114chが同時になった
その時のADC値はそれぞれ0,1,1,0である

1イベントあたりのヒット情報が一目でわかる
→宇宙線と思われるシグナルを探す

ストリップ別DAC比較

複数ストリップはそれぞれのストリップでのDAC値を足す





	Vth	閾値
DAC0	10	250mV
DAC1	23	302mV
DAC2	48	400mV
DAC3	98	600mV
DAC4	148	800mV
DAC5	172	900mV
DAC6	223	1100mV
DAC7	248	1200mV

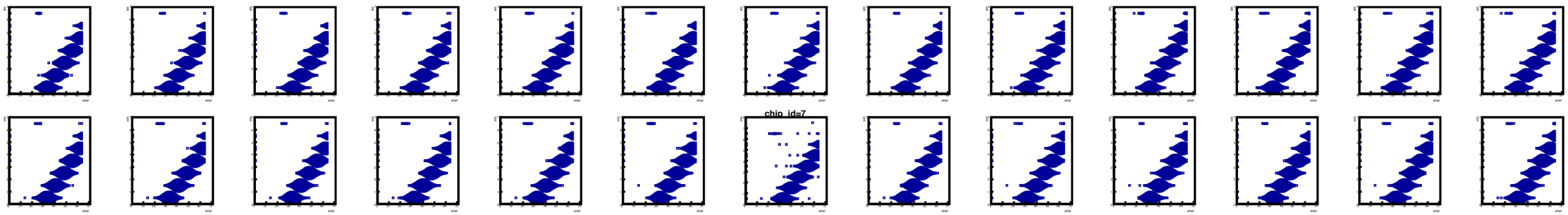
1ストリップ(青)ではDAC0にピーク
2ストリップ(赤)ではDAC3にピーク
3ストリップ(緑)ではDAC5にピーク
4ストリップ(桃)ではDAC7にピーク

INTTでのキャリブレーションテスト

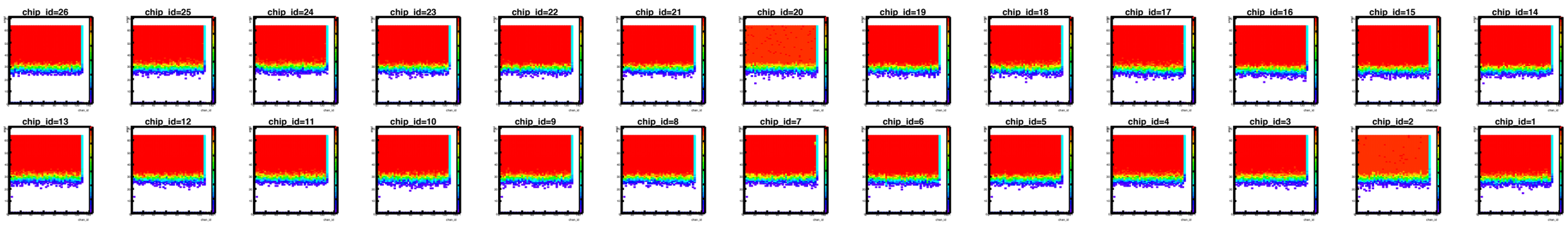
今までの測定は全てFVTXを使っていた
本来の目的であるINTTのセンサー性能評価に進む
その前にキャリブレーションパルスでデータが取れるか確認

20181211-1507、シリコンセンサー50V、0.36μA

ampl vs adc



chip_id vs ampl



どのチップも線形性のある結果が得られた

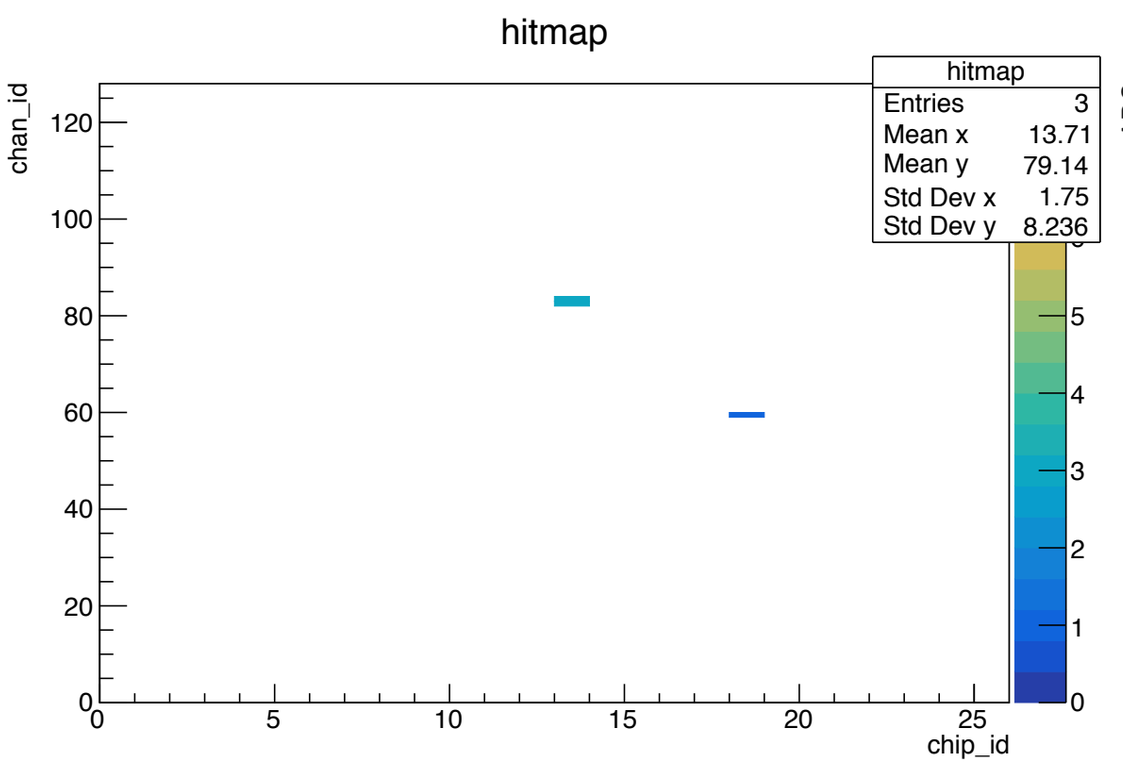
課題

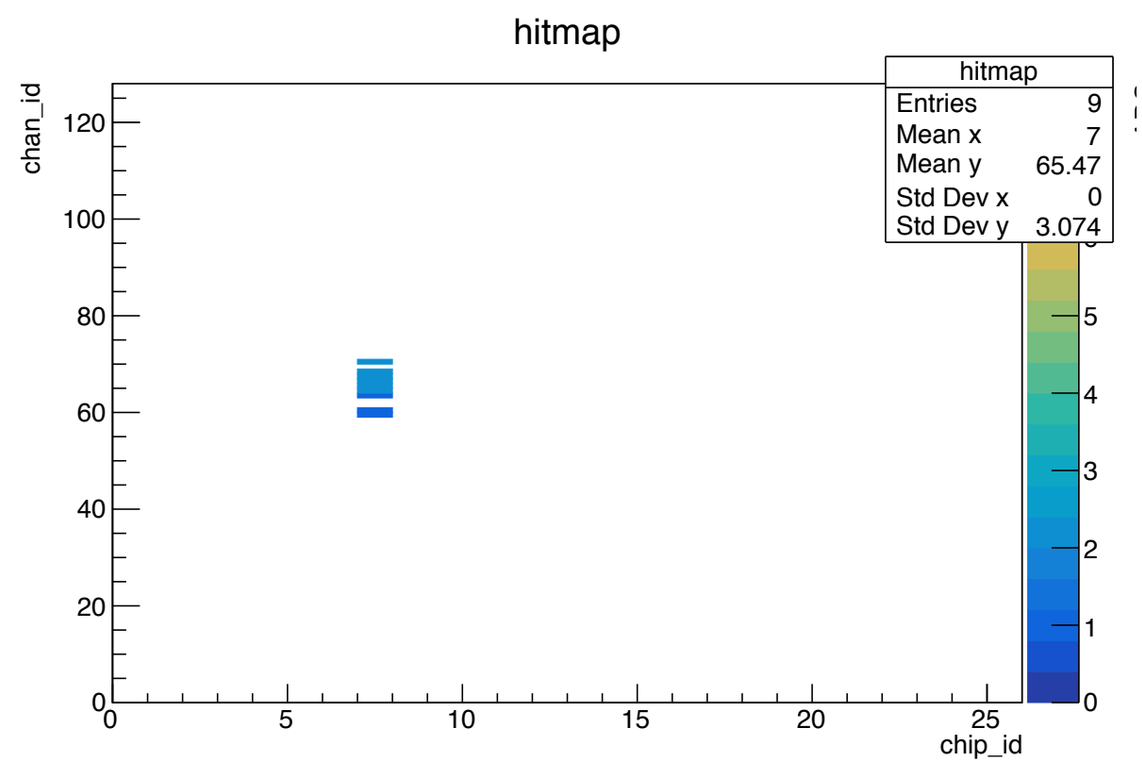
- 同時に入ってきたイベントで仕分けしているため、厳密にはストリップ別のエントリーを拾えていない→チャンネルで並び替えて仕分ける必要あり

- 5ストリップ以上の分布確認

- 1ストリップのDAC0のエントリー数が多い原因

- INTTを使った測定



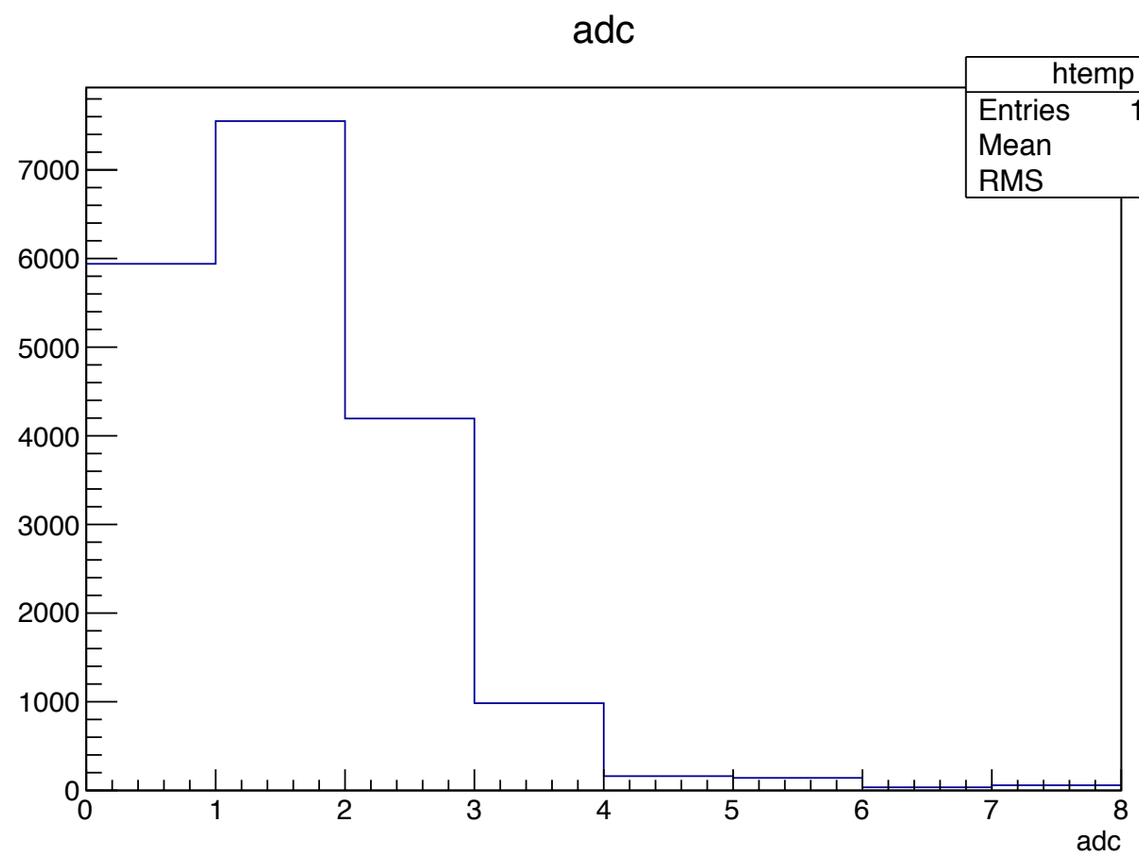


BACK UP

トリガー別レート比較

閾値、FVTXモジュールは同じ
FPGAのコードのみ書きかえた

20181113-1754



約6分で18427エントリー
→48エントリー/秒

約22時間で19064エントリー
→0.24エントリー/秒

レートが約200分の1になる

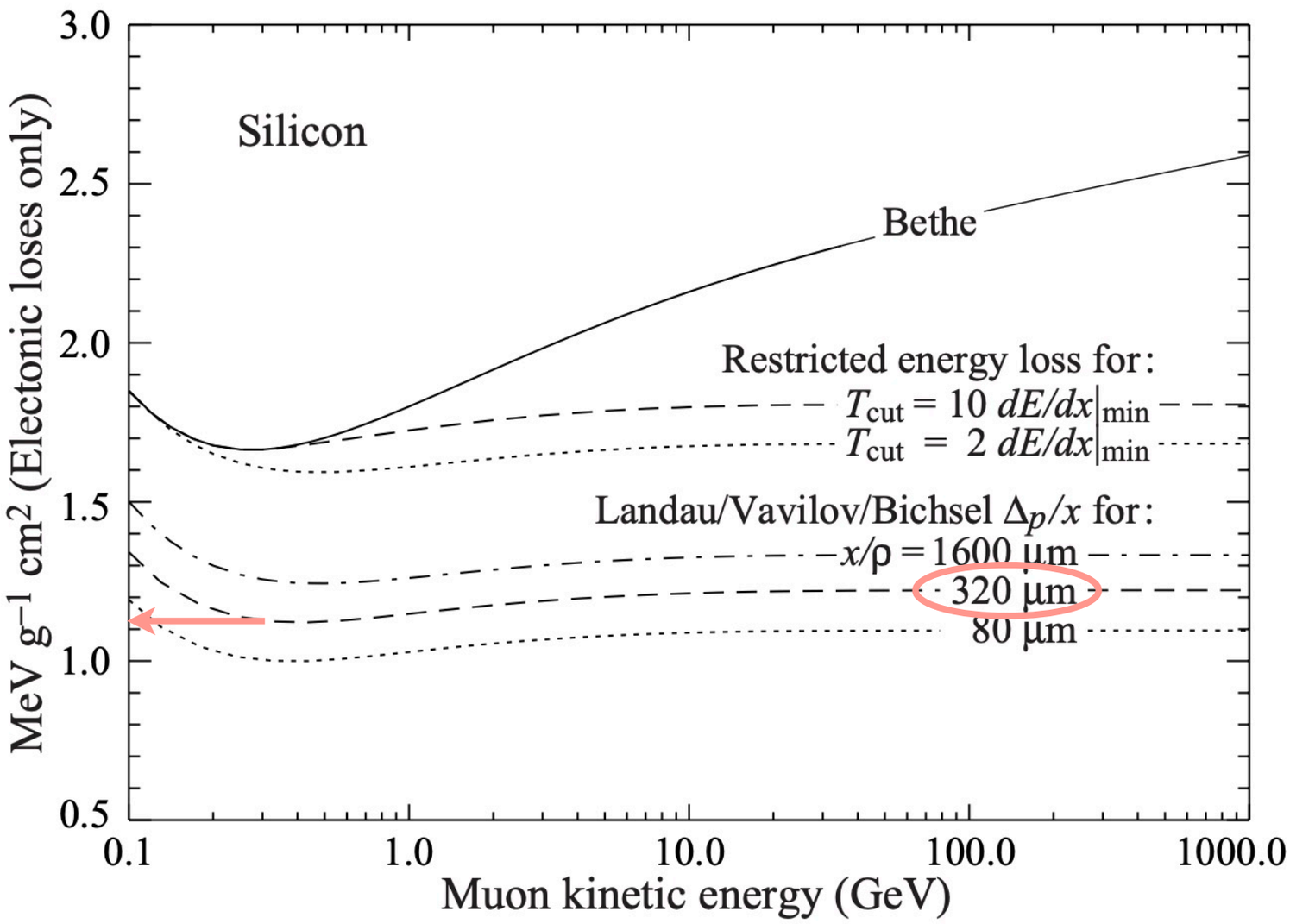
MIPのエネルギー損失

単位面積当たりのSi(320μm厚さ)中を通過するMIPの失うエネルギー = 0.082MeV

1stripのシリコンを通過する時にできる電子正孔対 = 23000個(平均)

電荷に直すと = 3.68fC

source:PDG



使用した値

Si密度 = 2.33g/cm^3

Siイオン化エネルギー = 3.6eV

電気素量 = 1.6×10^{-19}C

◀Si中のMIP

320μmの厚みでのdE/dx

～1.12 (MeV/g/cm^2)