

# RHIC-sPHENIX実験における INTTシリコンモジュールの性能評価 ビームテスト実験のデータ解析

奈良女子大学大学院  
高エネルギー物理学研究室  
鈴木 彩香

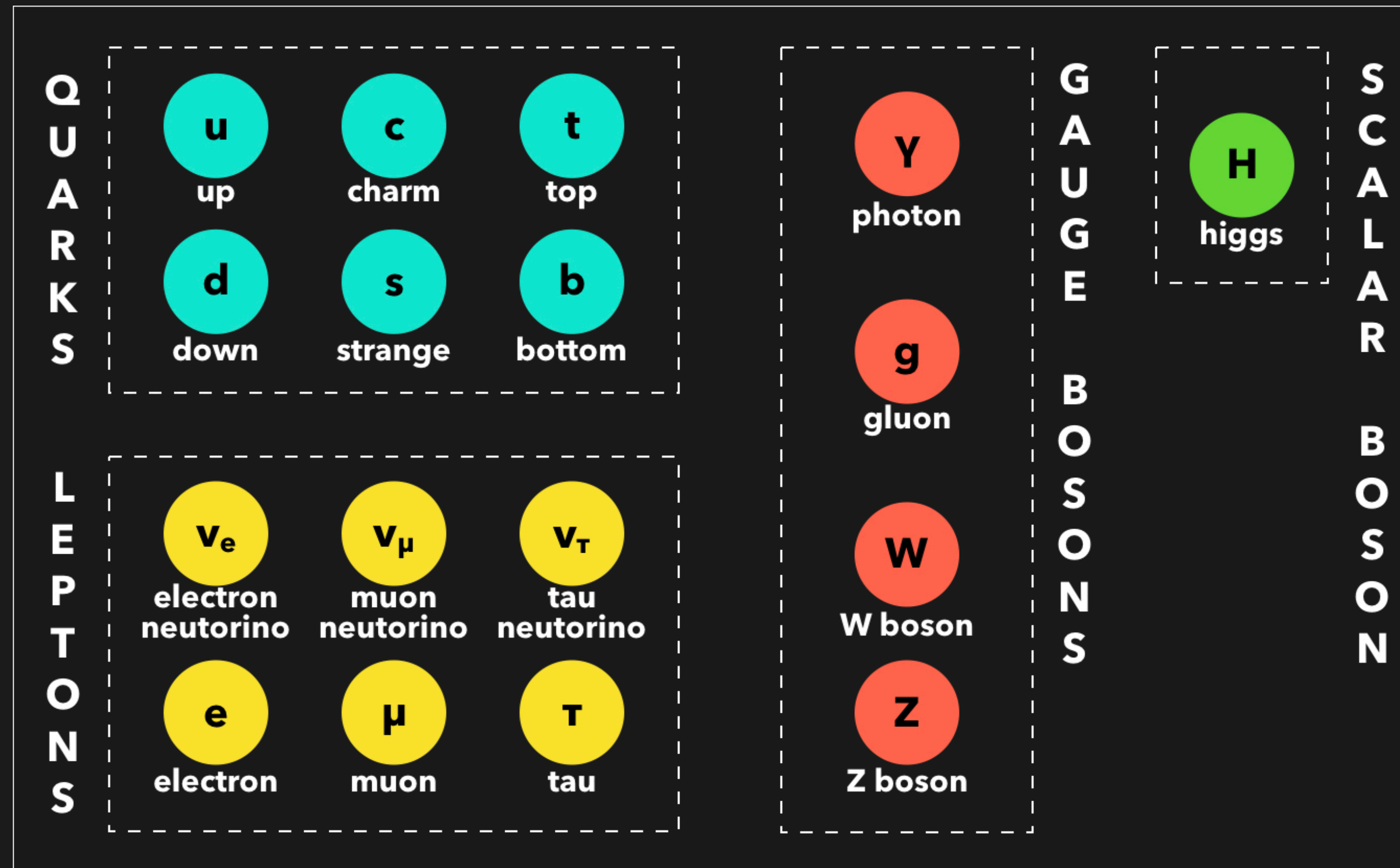




# OUTLINE

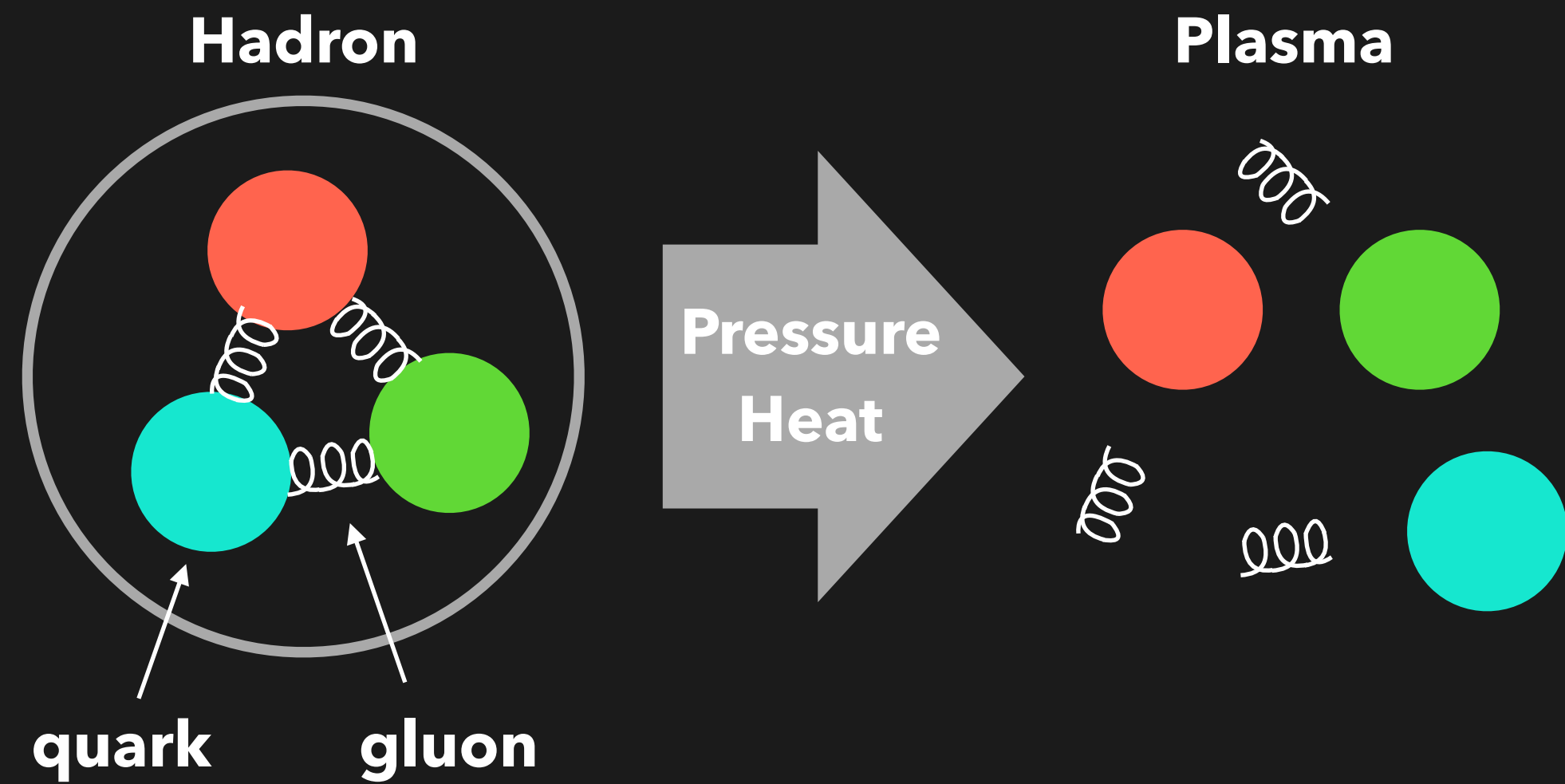
- **イントロダクション** 素粒子標準モデル, クォークグルーオンプラズマ, 重イオン衝突実験
- **INTTシリコン検出器** モチベーション, シリコンモジュールの構造
- **ビームテスト実験でのシリコンモジュールの性能評価**
- **検出効率測定** 検出効率測定方法, 結果
- **議論** シミュレーションでの検出効率導出, 前年度データと比較, 非検出効率の原因追求
- **まとめと今後の展望**

# STANDARD MODEL

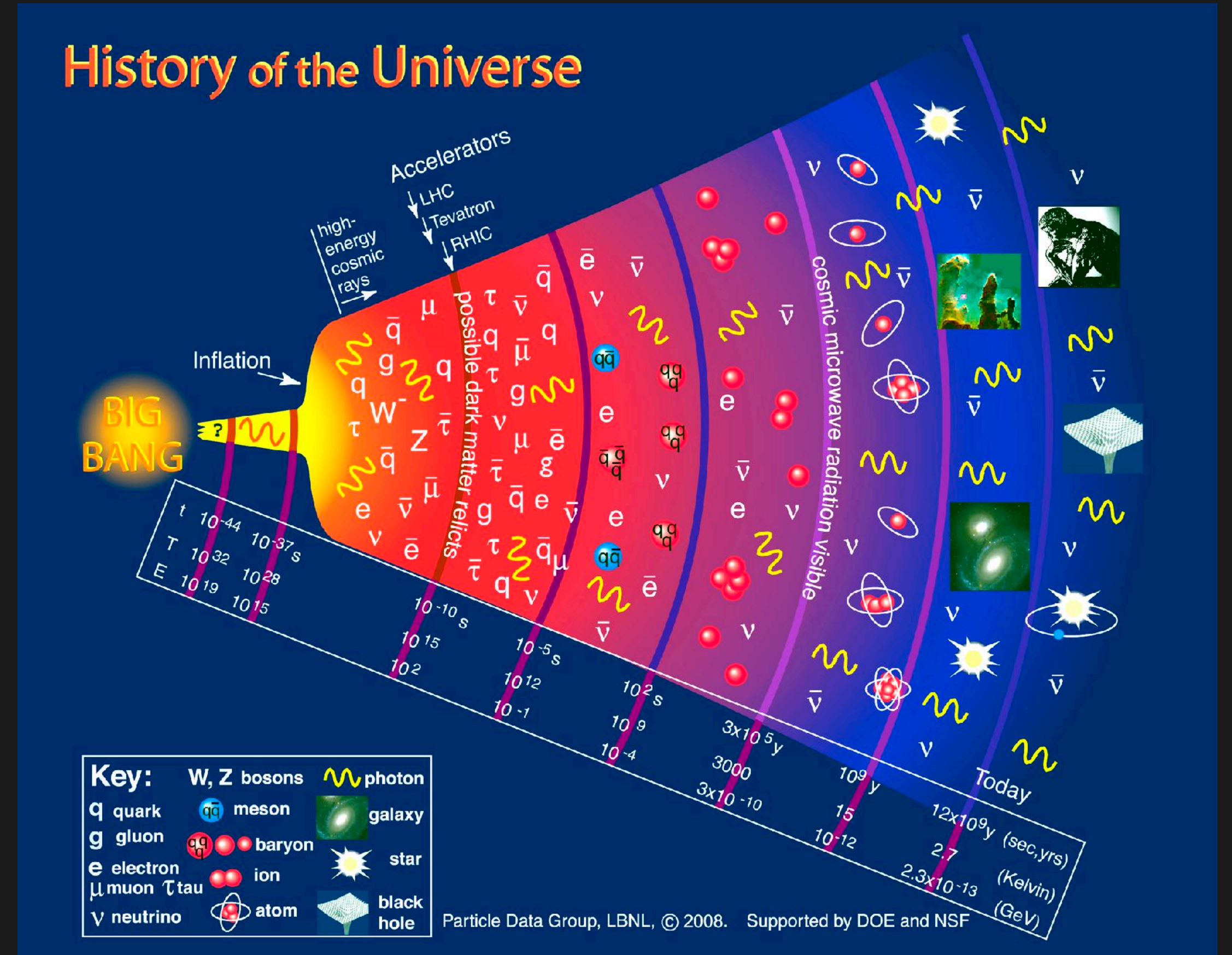


陽子(u,u,d)や中性子(u,d,d)などのハドロンはクォークとグルーオンから構成されるが  
クォークやグルーオンは単体で観測できない (ハドロン内の閉じ込め)

# QUARK GLUON PLASMA



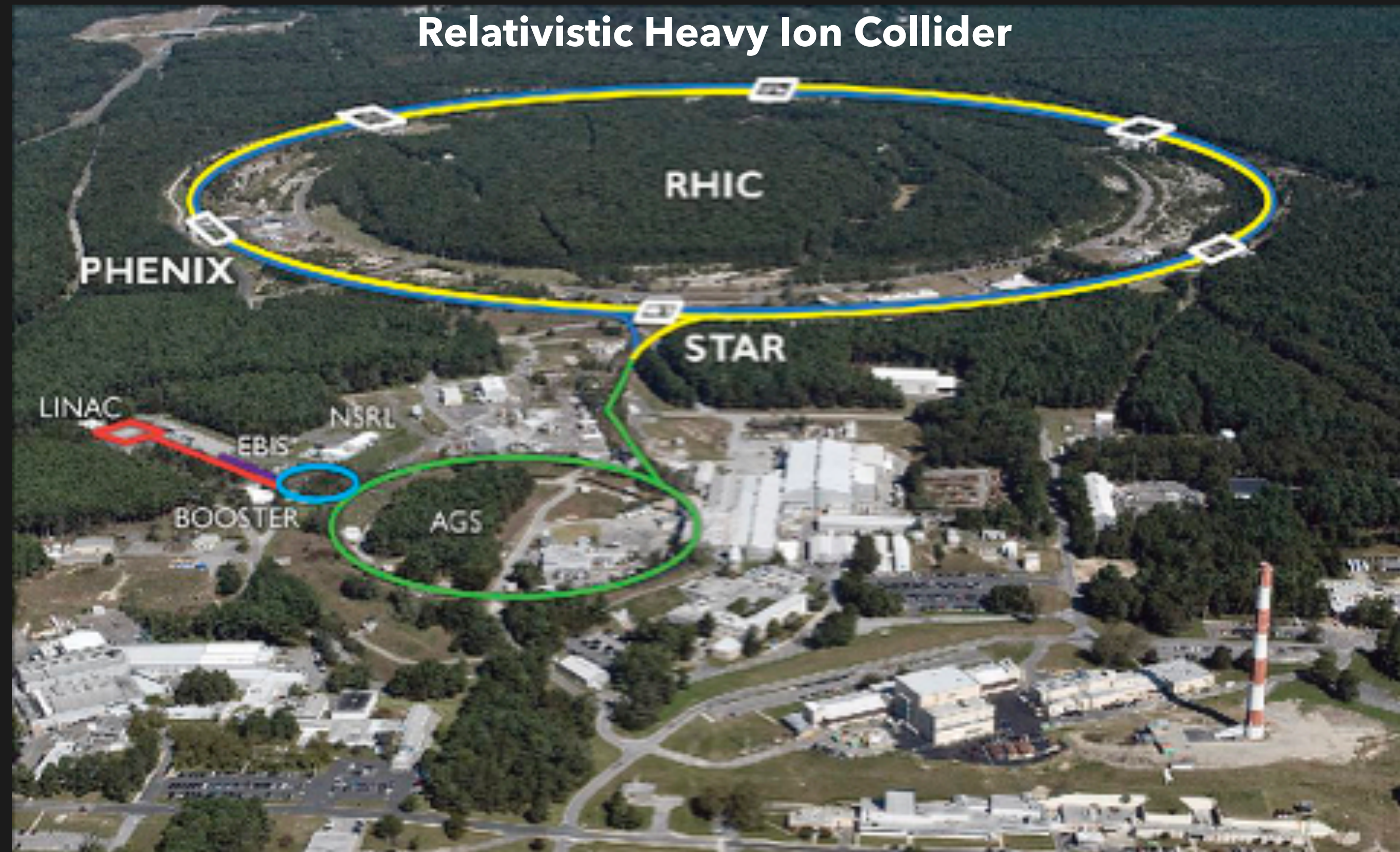
クォークとグルーオンは高温・高密度で  
ハドロン内の閉じ込めから解放される  
→ クォークグルーオンプラズマ (QGP)



QGPは宇宙の始まりであるビッグバンから数十 $\mu$ s後に存在した  
→ 宇宙初期状態を理解するためQGPの性質を解明する



# HEAVY ION COLLISION EXPERIMENT

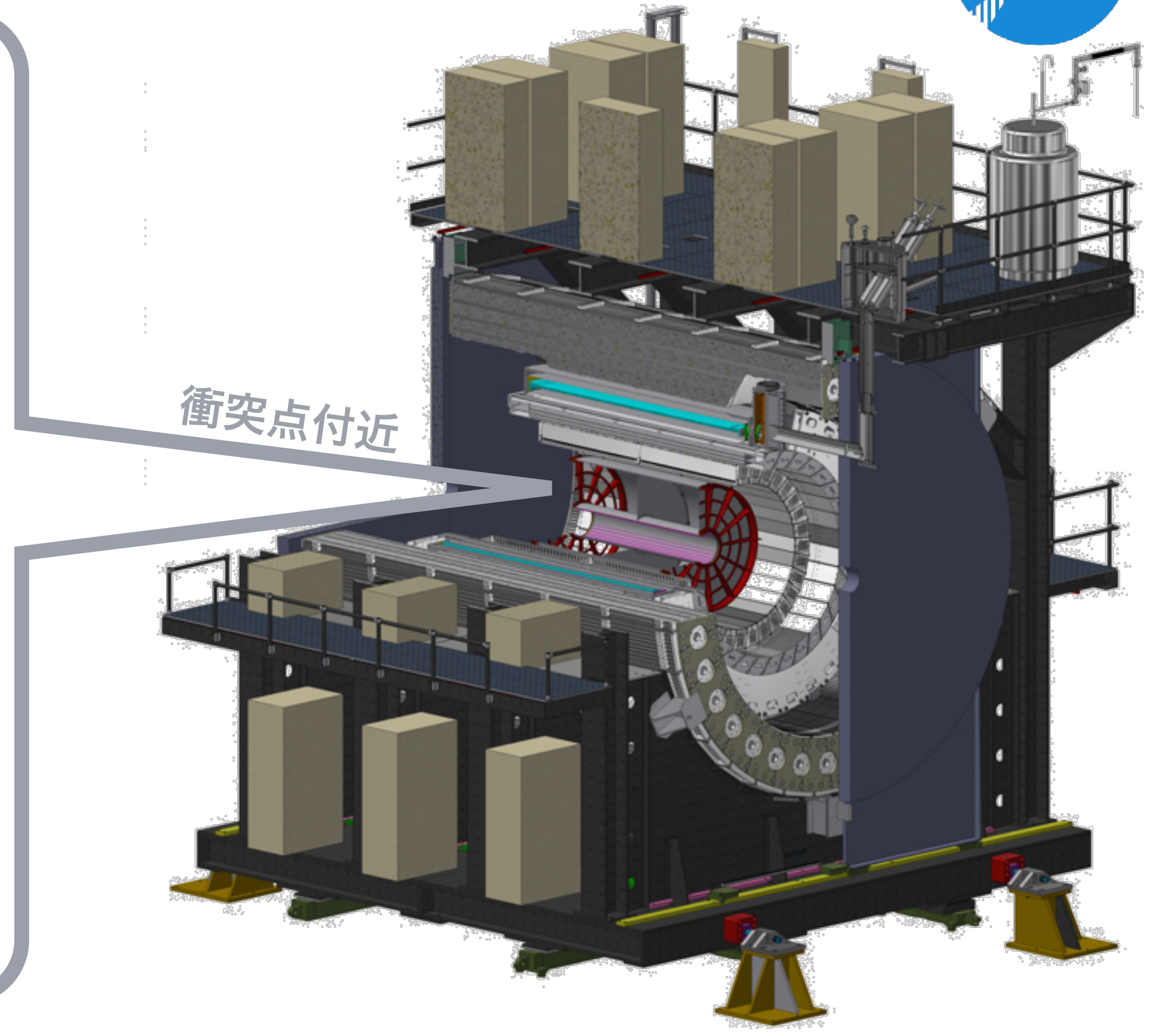
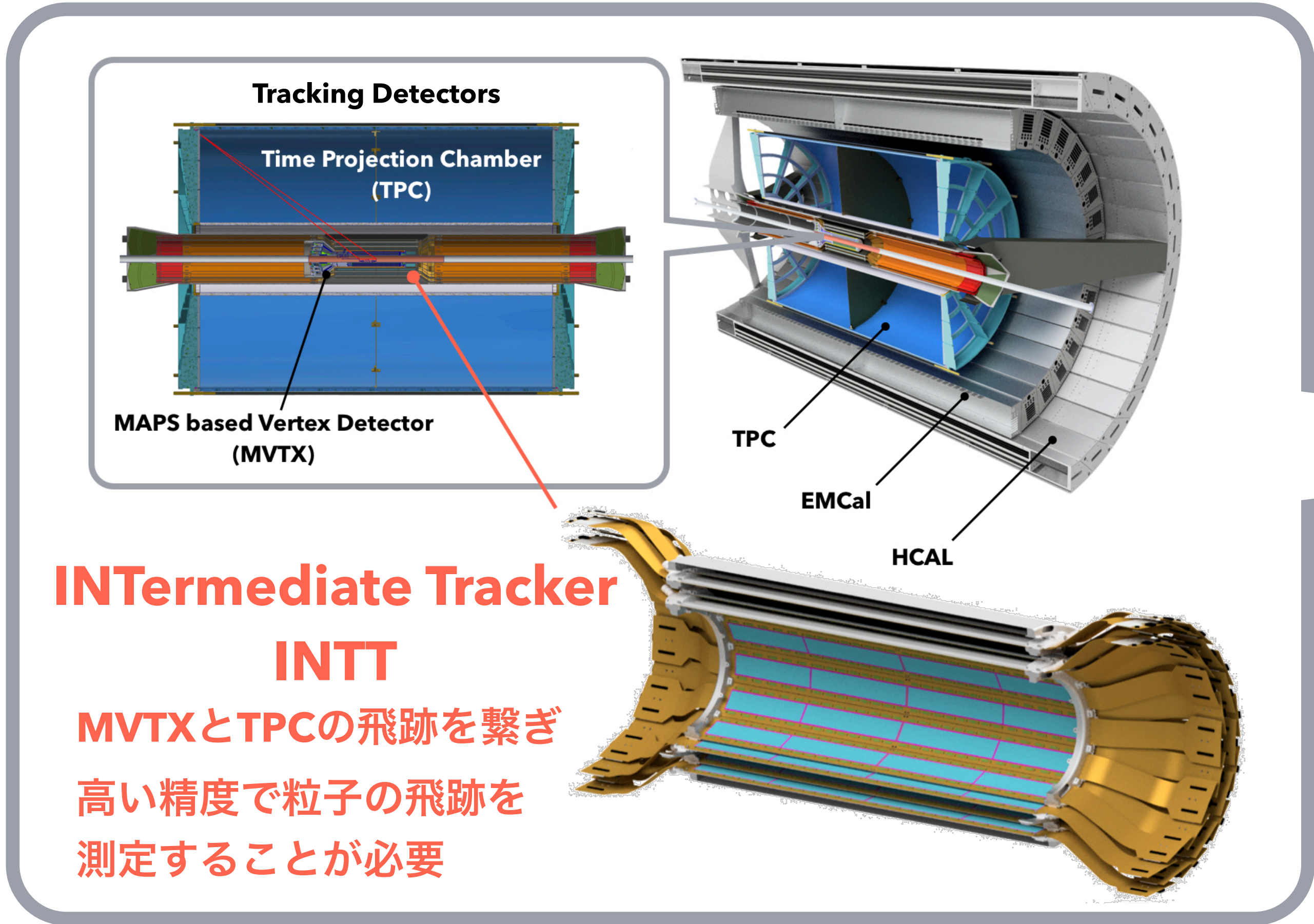


QGPの実現には高温・高密度状態を作ることが必要

→重い原子核同士を光速近くまで加速し正面衝突させることで再現（重イオン衝突型加速器）



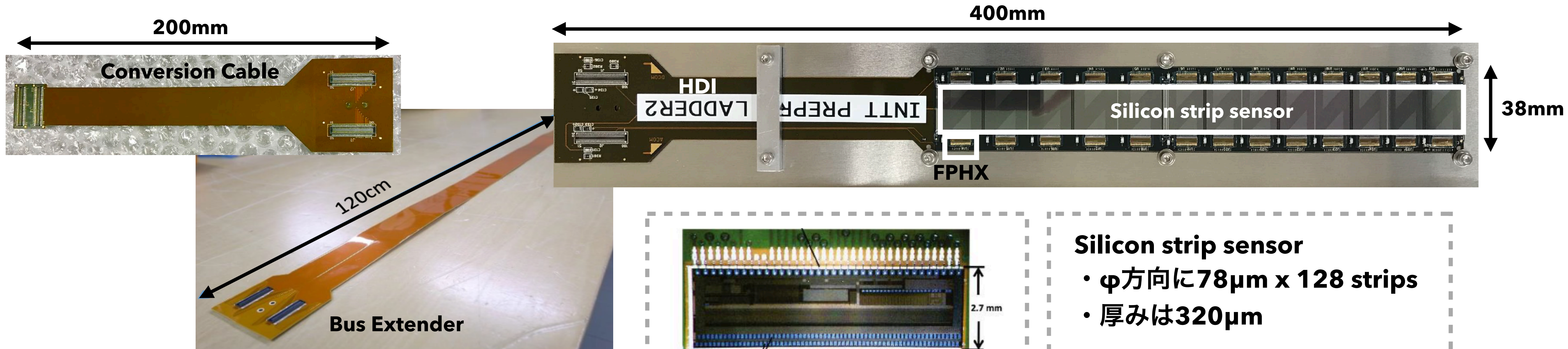
# INTERMEDIATE TRACKER : INTT AT RHIC-SPHENIX



INTT検出器の性能を評価することが重要



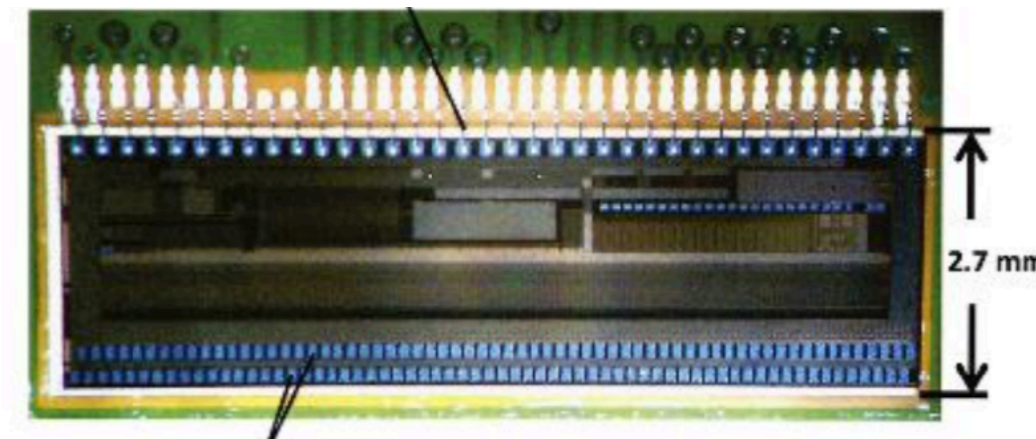
# INTT SILICON MODULE



INTTシリコンモジュールは

- Silicon strip sensor
- FPHX read out chip
- High Density Interconnect (HDI)
- Bus Extender + Conversion Cable

から構成される

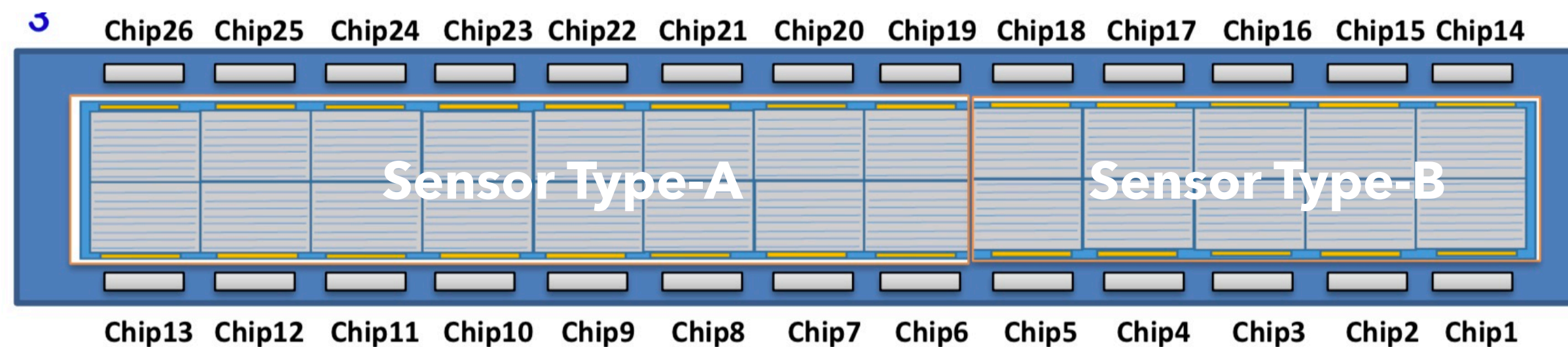
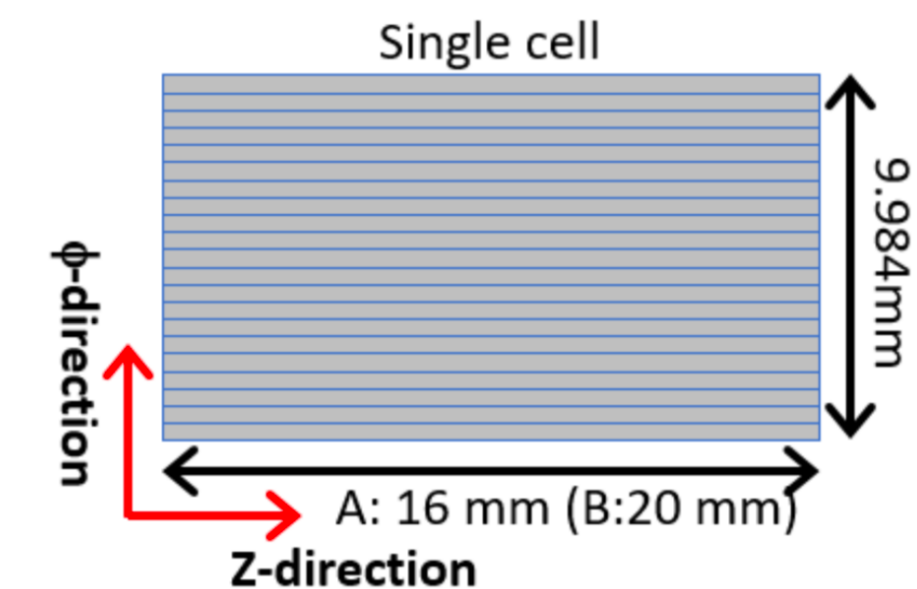


FPHX chip

- 128ch読み出しチャンネル
- 3bit ADC出力, 8bit DAC設定

Silicon strip sensor

- φ方向に78μm x 128 strips
- 厚みは320μm





# BEAM TEST AT FERMILAB

June, 2019

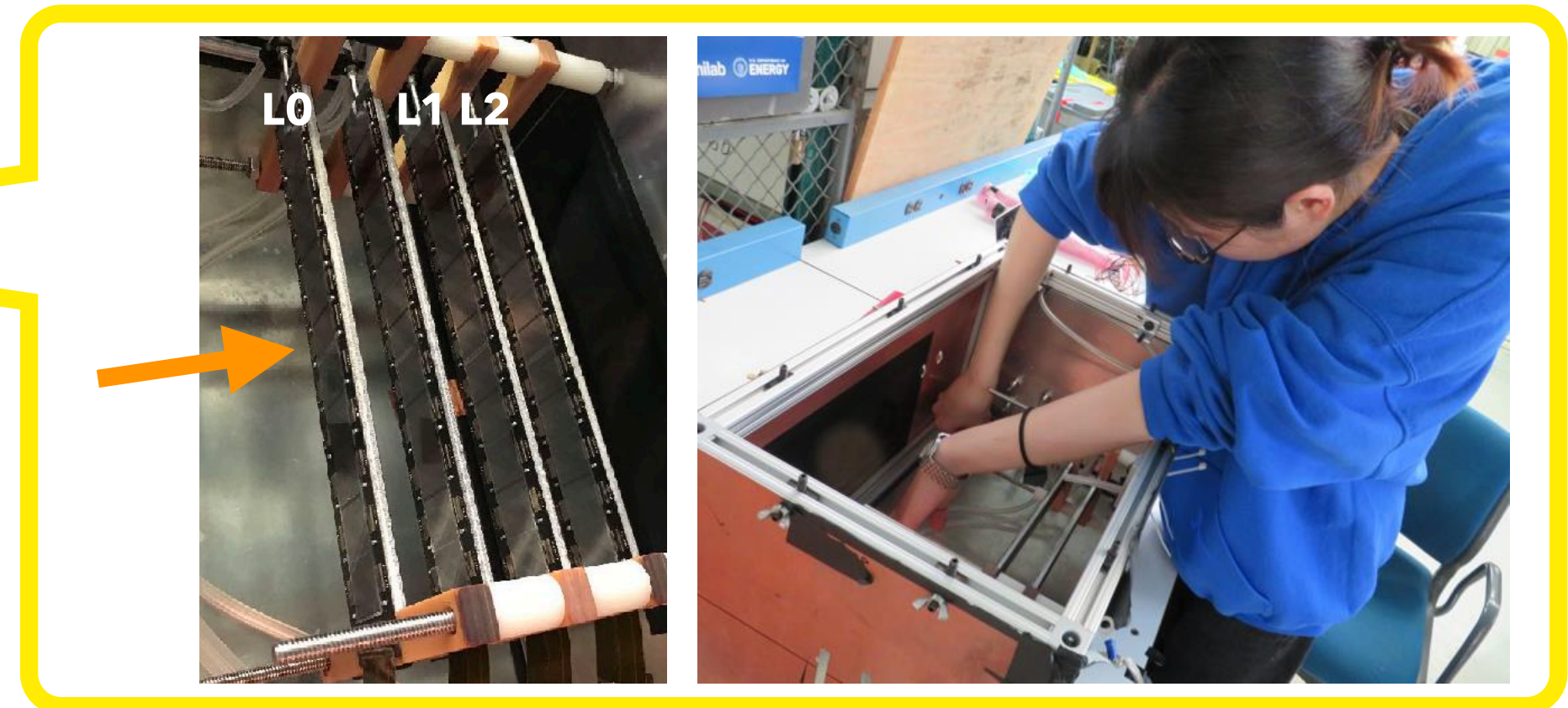
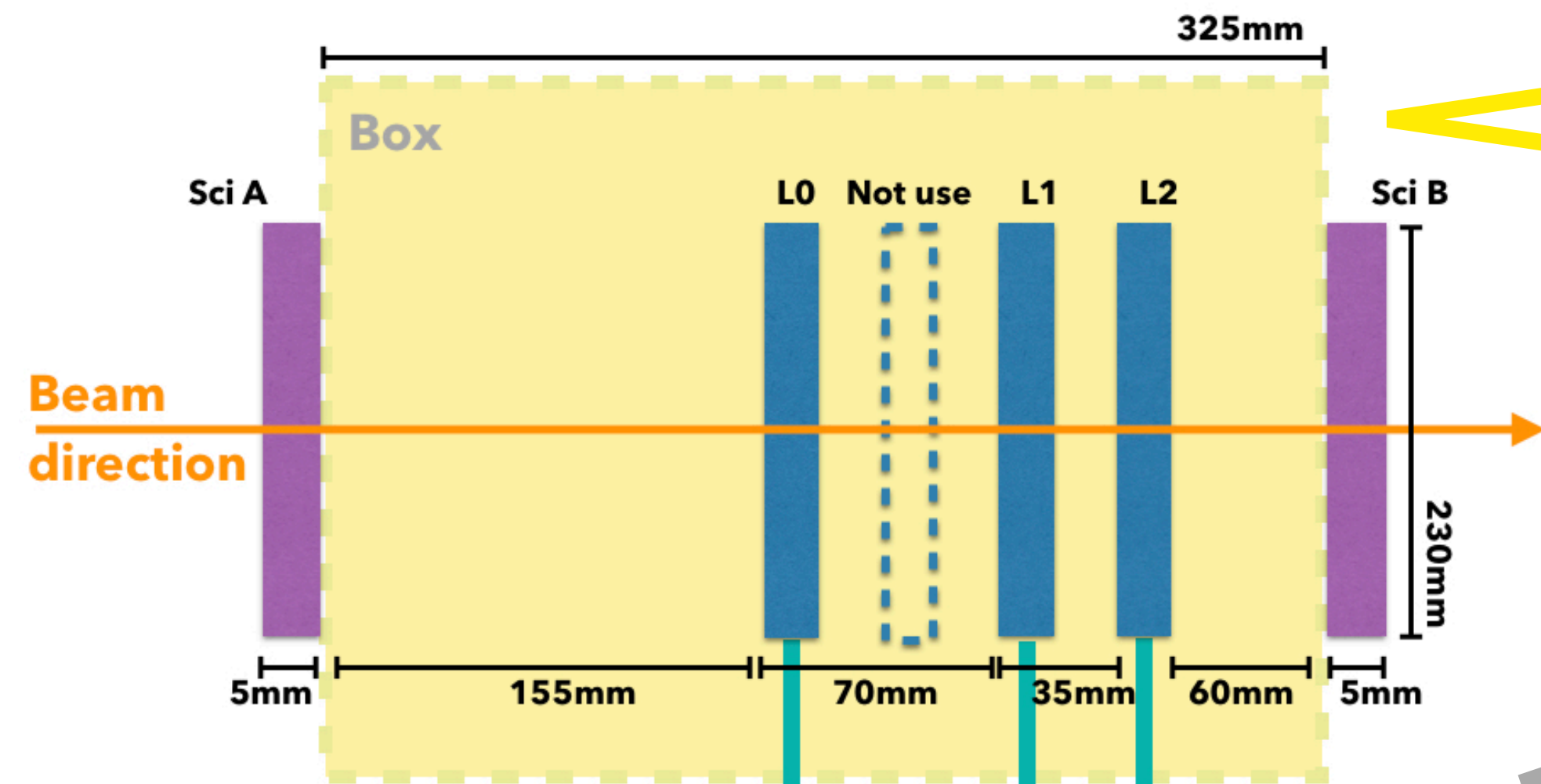
ビームテスト実験の目的

INTTシリコンモジュールの性能評価

- 検出効率測定
- 通過荷電粒子のエネルギー損失測定
- Bus Extenderを用いた測定



# BEAM TEST SETUP



## Beam information

- 120 GeV 陽子ビーム
- 1分毎に4秒間発射される
- 幅( $\sigma$ )は約1cm

## Read-out system

- Read Out Card (ROC)
- Front End Module (FEM)
- Data Collection Module II (DCM II)



L0, L1, L2の検出効率を求めシリコンモジュールの性能を評価する

\* Layerと呼ぶ

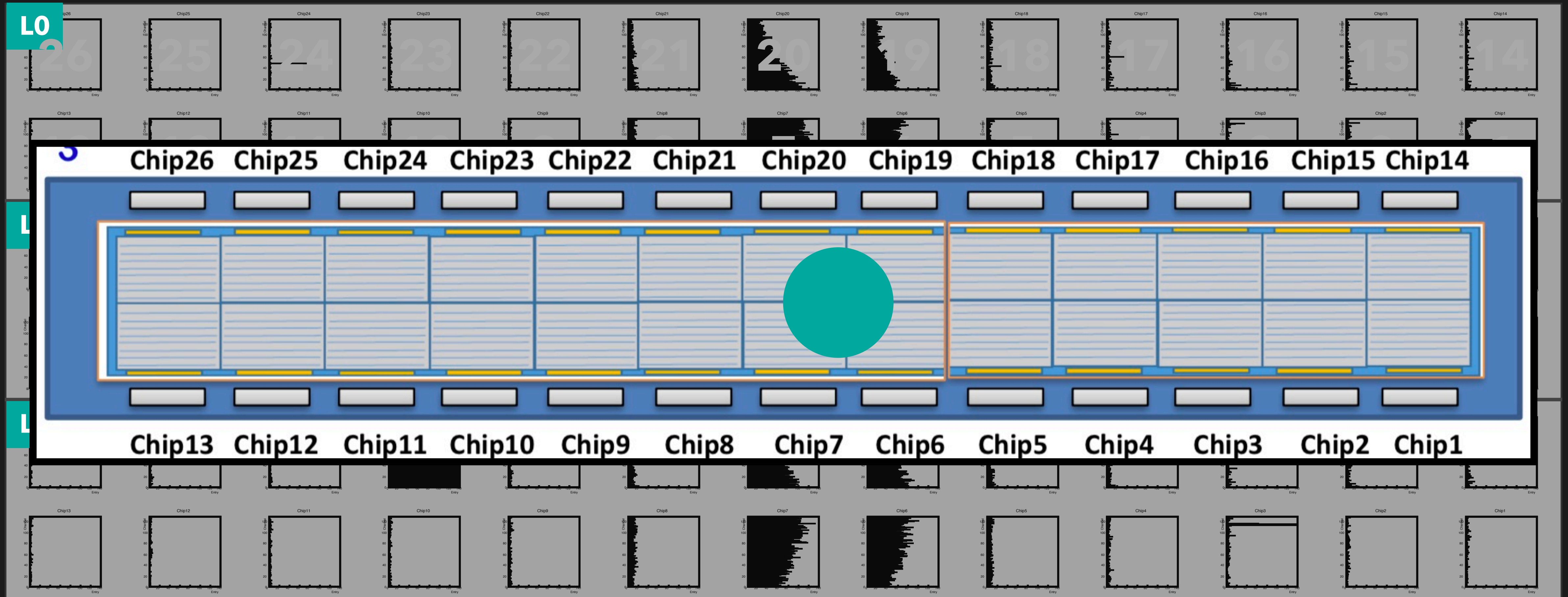






# HIT CHANNEL DISTRIBUTION

シリコンセンサーのどこにビームが当たったかヒットチャンネル分布で確認



L0の検出効率の導出方法について説明する



# HOW TO CALCULATE THE EFFICIENCY

L0の検出効率の定義

4 chips around beam spot

$$\text{L0 efficiency} = \frac{N(\text{L0 hit} \& \text{L1 hit} \& \text{L2 hit})}{N(\text{L1 hit} \& \text{L2 hit})}$$

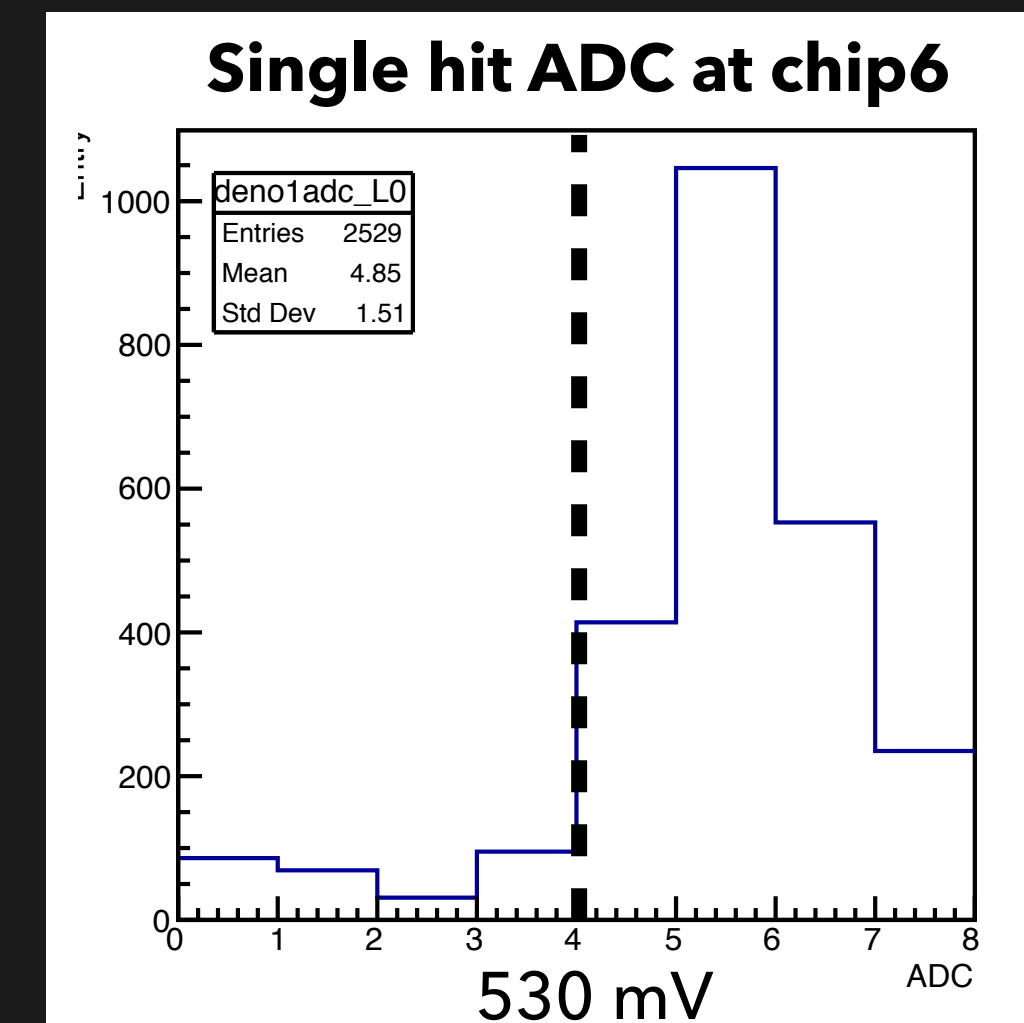
chip6, single hit, ADC ≥ 4

< ノイズを減らすため各Layerへヒットの要求をする >

- L1, L2 : chip6でのADC ≥ 4のシングルヒット

↳ 1イベント内で1エントリー/チップ  
↳ ADC4: DAC4閾値 = 530 mV

- L0 : ビームスポット付近のchip 6, 7, 19, 20

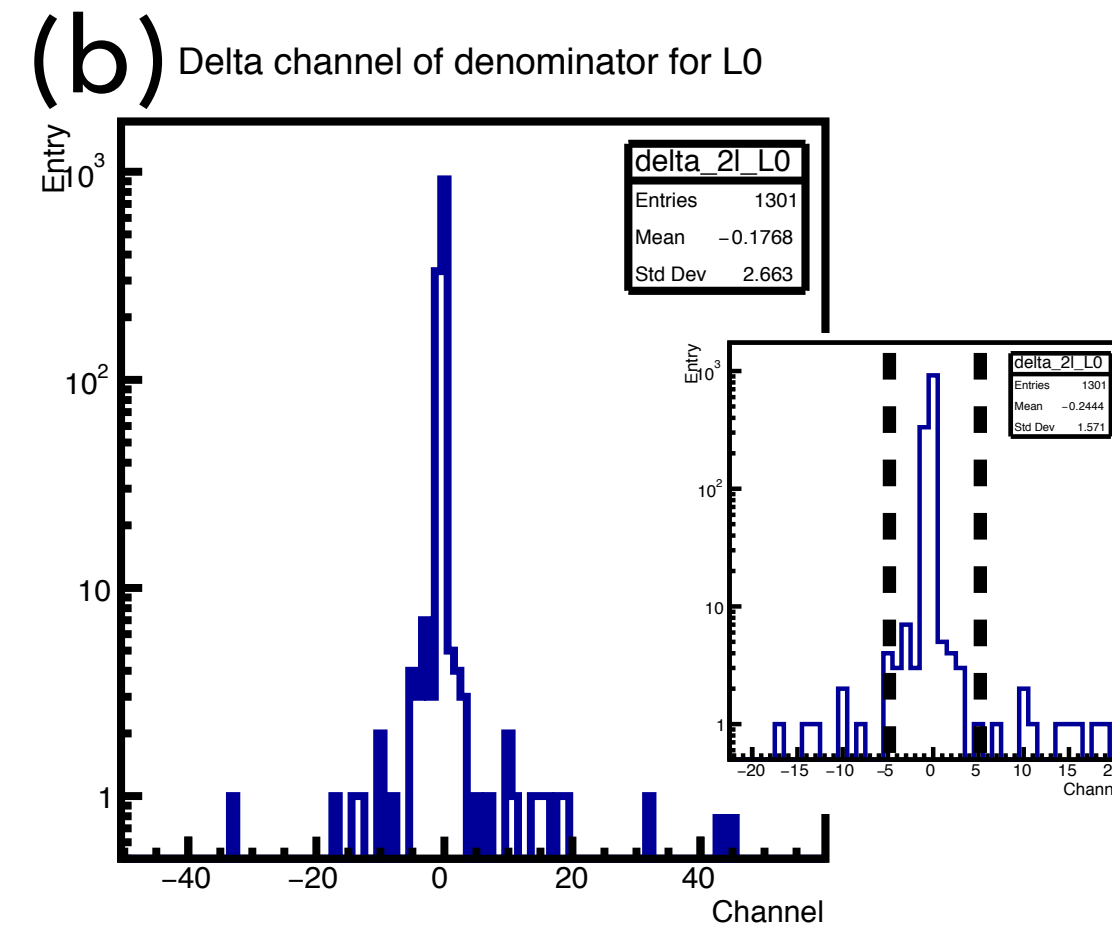
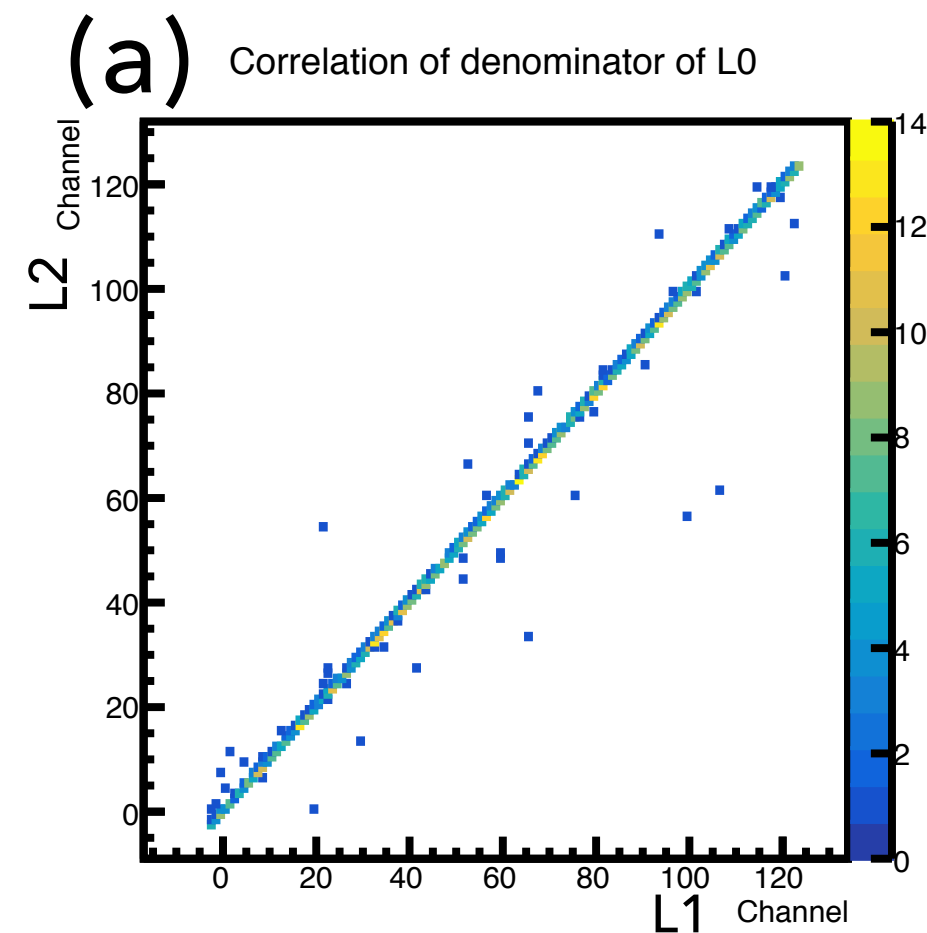




# EVENT SELECTION

L0, L1, L2の各ヒットが同一トラックであることを保証するためイベント選定を行う

チャンネル相関分布



(a) L1, L2のヒットチャンネル相関あり

(b) L1, L2のヒットチャンネル差を計算

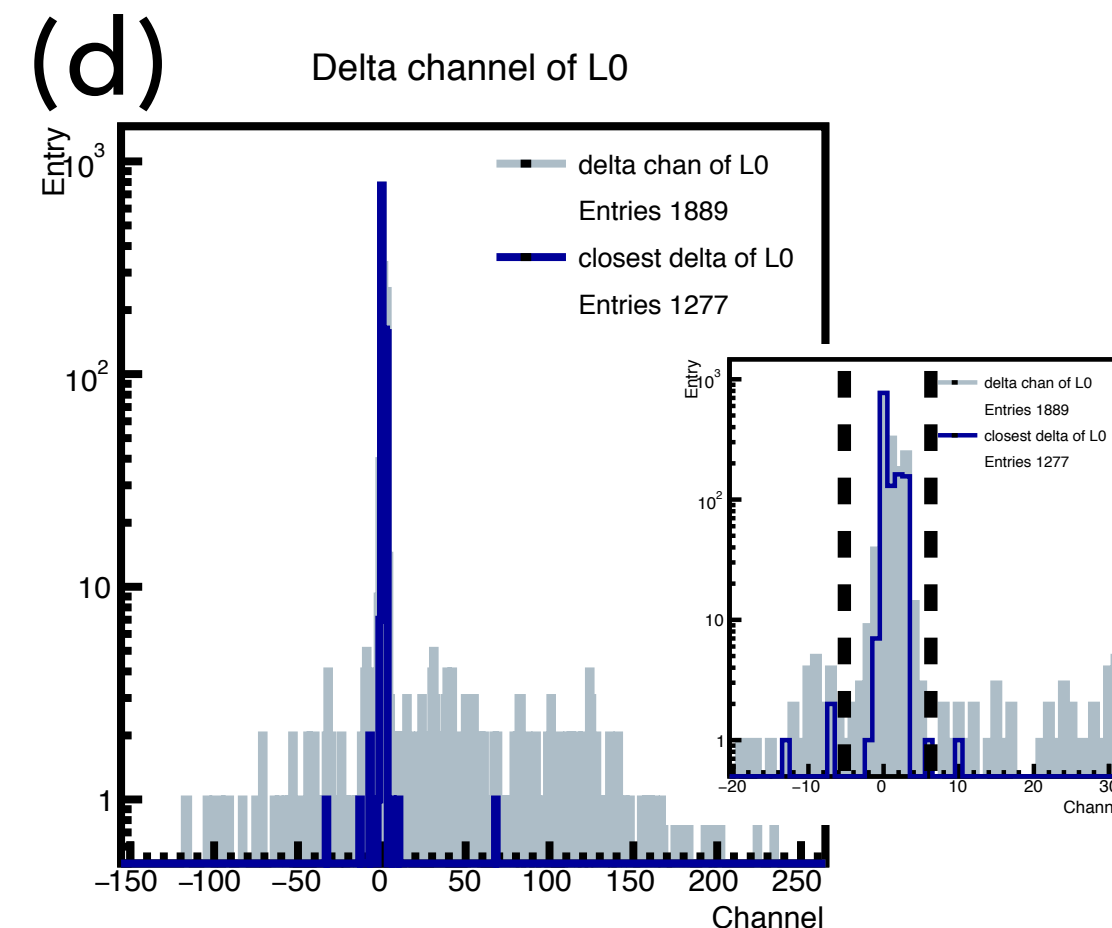
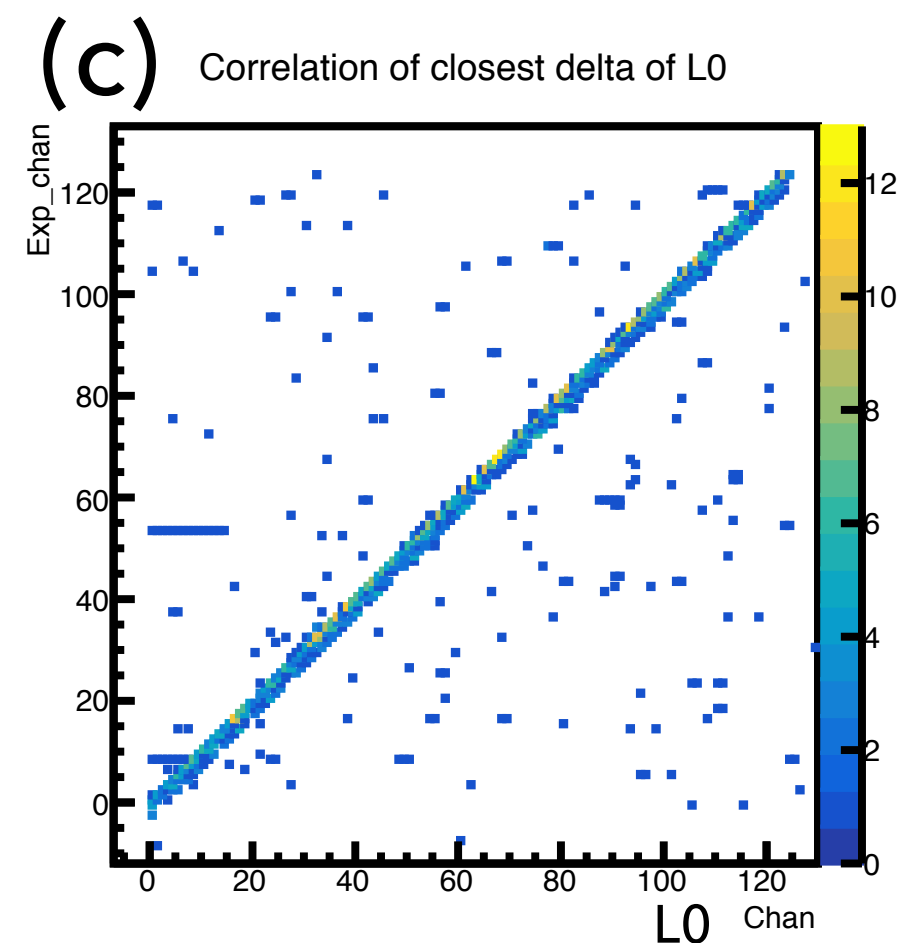
→ 差が  $\pm 5$  chan 未満のイベントを選択 → 分母

L1, L2のヒット位置からL0のヒット位置を予想

$$L0_{exp} = L1 \times 3 - L2 \times 2$$

(c) L0予想値とL0実測値のチャンネル相関あり

(d) 実測値と予想値の差を計算



→ 1イベント内で差が最も小さいヒットを選択

→ 最小差のうち  $\pm 5$  chan 未満のイベントを選択

→ 分子



# RESULTS AND ISSUES

$$\text{L0 efficiency} = \frac{\text{N ( L0 hit \& L1 hit \& L2 hit ) : 1226 events}}{\text{N ( L1 hit \& L2 hit ) : 1277 events}}$$

$$= 96.0 \pm 0.6 \%$$

誤差は二項分布より

同様にして

$$\text{L1 efficiency} = 65.6 \pm 1.1 \%$$

$$\text{L2 efficiency} = 85.9 \pm 1.0 \%$$

## 議論点

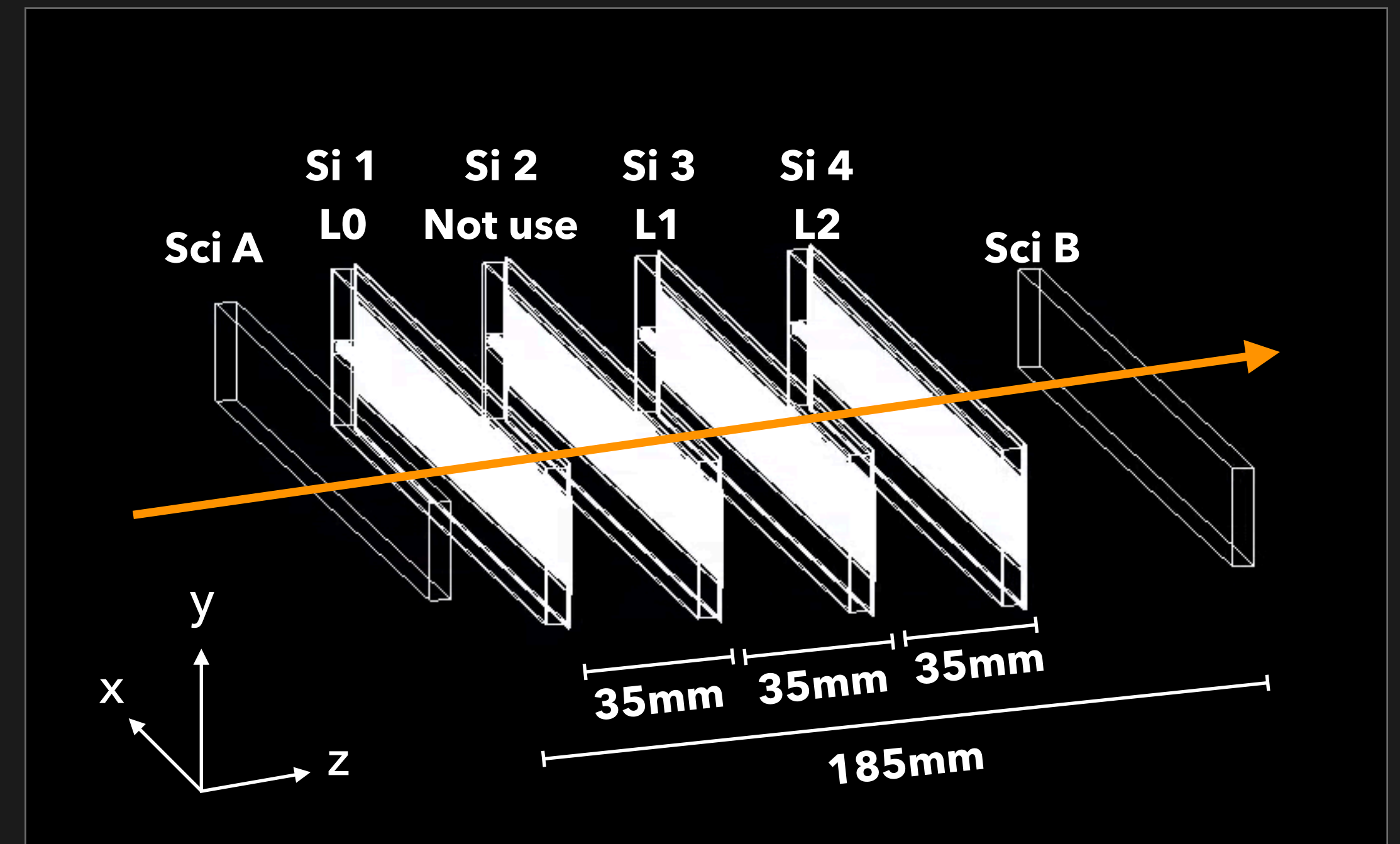
- 期待より低い → シミュレーションでの検出効率確認、前年度収集のデータ結果と比較
- L0, L1, L2ではらつきがある → 測定条件の異なるデータと比較



# GEANT4 SIMULATION SETUP

検出器シミュレーションを用いて検出効率が100%であるか確認する

- 4つのシリコンモジュールと2つのシンチレーションカウンタを配置  
→ ビームテスト実験同様L0, L1, L2の検出効率を求める
- センサーモジュール
  - Silicon size: 232.2mm x 22.5mm x 0.32mm
  - HDI (Kapton, Copper, Carbon fiber)
  - Cooling system (Polystyrene, Water)
- シンチレーションカウンタ
  - Elements: Poly vinyl, Anthracene
  - Size: 232.2mm x 22.5mm x 5mm
- ビーム
  - 120 GeV proton beam
  - Beam direction:  $\theta = 2^\circ$ ,  $\varphi = \pi/2$





# RESULTS FROM SIMULATION

データとシミュレーションの全Layerの検出効率を比較

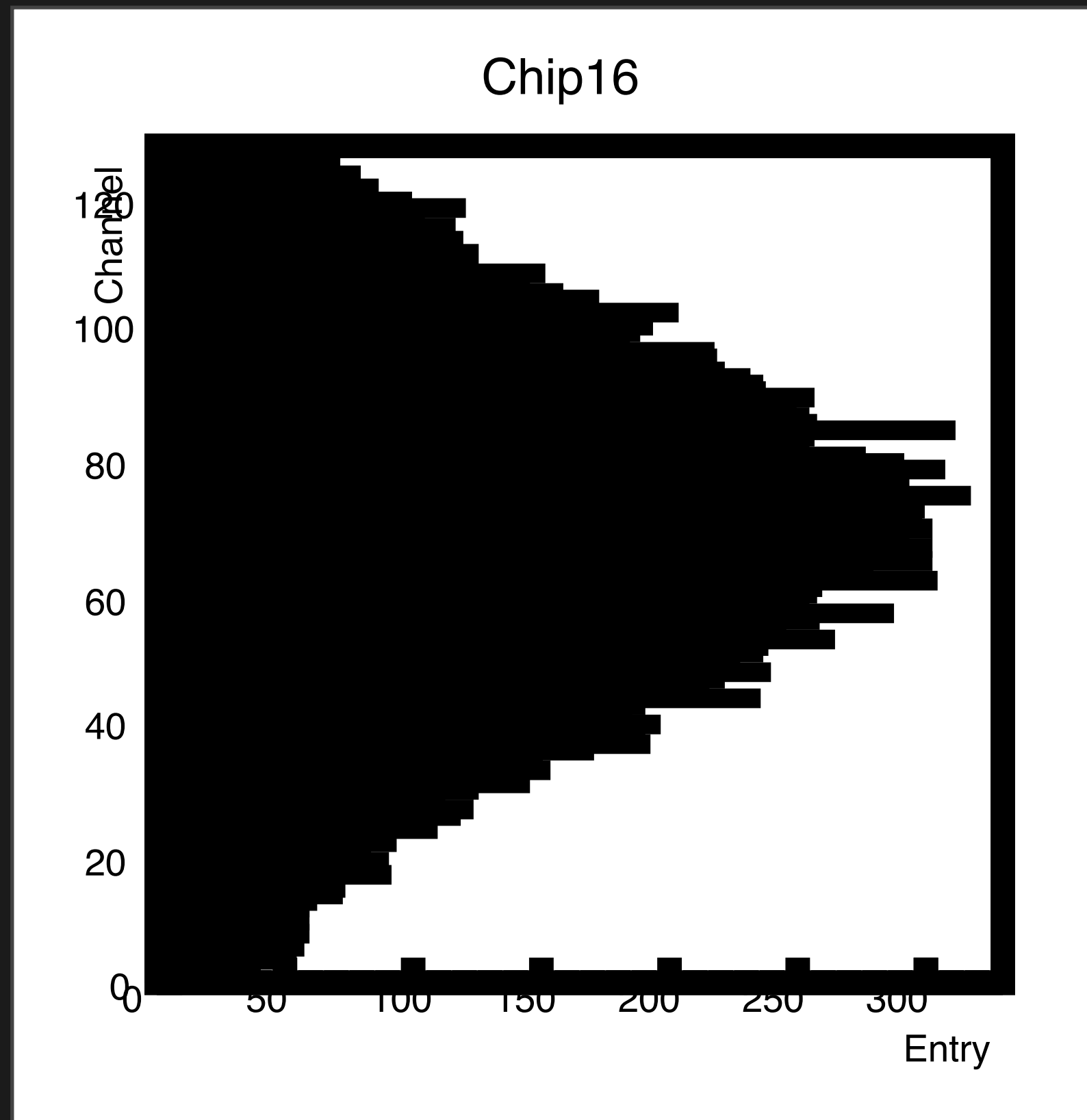
	L0	L1	L2
Data	<b>96.0 ± 0.6 %</b>	<b>65.6 ± 1.1 %</b>	<b>85.9 ± 1.0 %</b>
Simulation	<b>100%</b>	<b>100%</b>	<b>99.98 ± 0.02 %</b>

シミュレーションでは期待通り100%の検出効率が求められた



# PREVIOUS YEAR'S DATA

同じ解析ソフトウェアを用いて前年度収集データの検出効率と比較する



縦軸：チャンネル番号, 横軸：エントリー (最大140)

- ビームの絞りが高いため1チップにヒットが収まっている
- 各Layerは等間隔で配置されている
- シリコンセンサーの厚さは  $200\mu\text{m}$  (今年の5/8倍)
- L1, L2のチャンネル相関を確認
  - 差が  $\pm 5$  chan のイベントを選択
- L0予想値と実測値のチャンネル相関を確認
  - 最小の差が  $\pm 5$  chanのイベントを選択



# PREVIOUS YEAR'S DATA

## 全Layerの検出効率を比較

	L0	L1	L2	Chip No.	Run No.
<b>2019</b>	<b>96.0 ± 0.6 %</b>	<b>65.6 ± 1.1 %</b>	<b>85.9 ± 1.0 %</b>	6	615
<b>2018</b>	<b>95.8 ± 0.2 %</b>	<b>97.7 ± 0.1 %</b>	<b>97.8 ± 0.1 %</b>	7	97

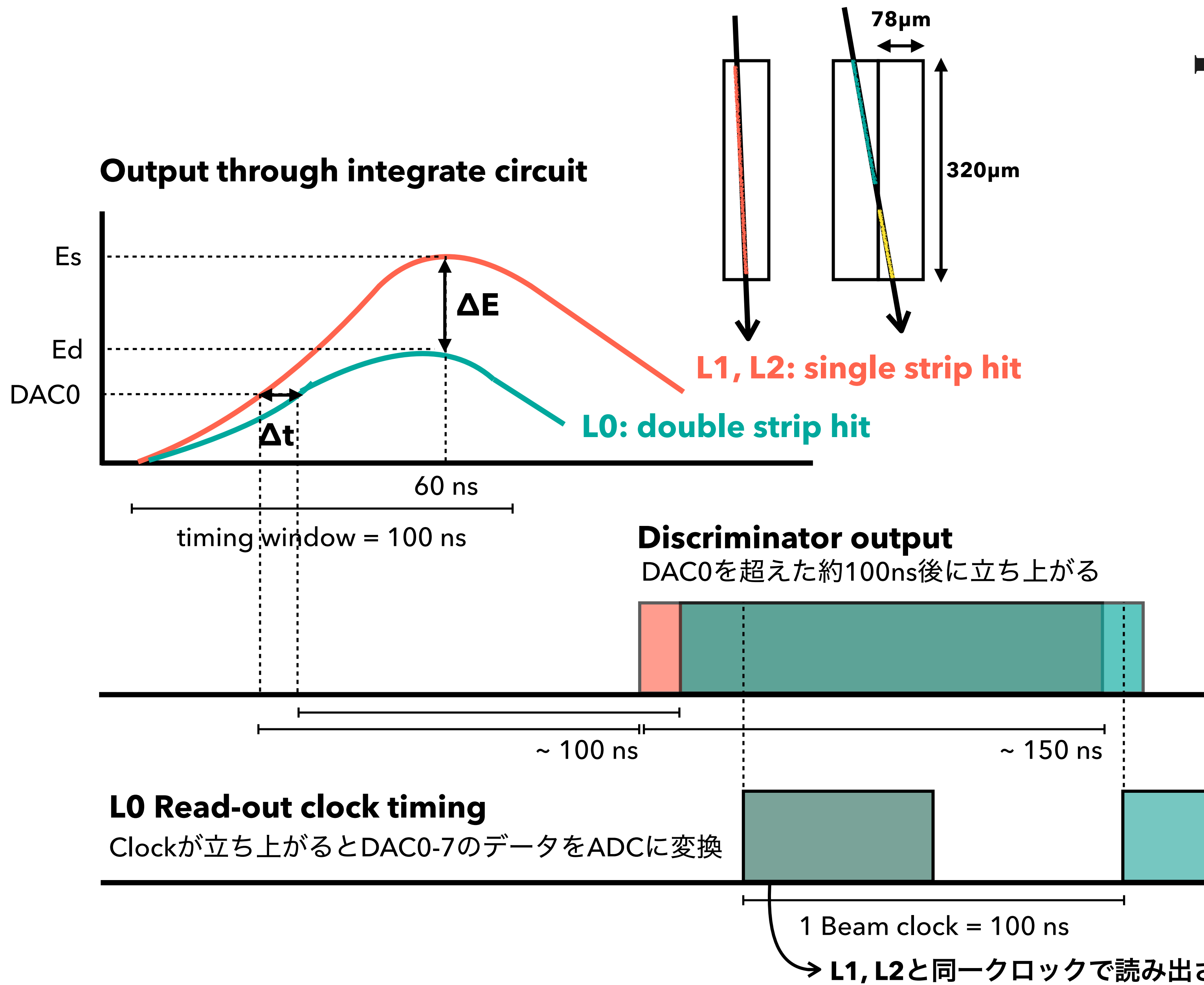
前年度のデータでは全体的に高い検出効率が求められた

L0は前年度の結果と誤差の範囲で一致している

→100%に満たない原因がクロックの読み出しタイミングの遅れによるか検証



# TIMING DELAY HYPOTHESIS



L0で複数ストリップヒットが起こると  
エネルギーがシェアされ波高が低くなる  
→ 出力信号のタイミングが遅れる  
→ L0のクロックタイミングが遅れると  
L1, L2と異なるクロックで読み出される  
→ 非検出効率の原因である可能性

タイミングを制御することで遅れたクロックで読み出される場合を除くことができる



# READ-OUT TIMING CONTROL

読み出しタイミングを制御するためにL1, L2に対して異なるヒット条件を要求する

**L2 : 隣同士のダブルヒットかつどちらかのヒットは低いADC ( $0 < \text{ADC} < 5$ )**

$\text{ch1-ch2}=1(\text{ch1}<\text{ch2})$

波高の低いヒット選択

**L1 : 今まで同様シングルヒットかつ $\text{ADC} \geq 4$**

Requirement for L2	Single hit	Double hits
L0	$96.0 \pm 0.6 \%$	$97.2 \pm 1.0 \%$

1.2%改善したのでタイミング問題の追及は有益である

→ 他のタイミングとしてビームテスト時のクロックのジッターが考えられる

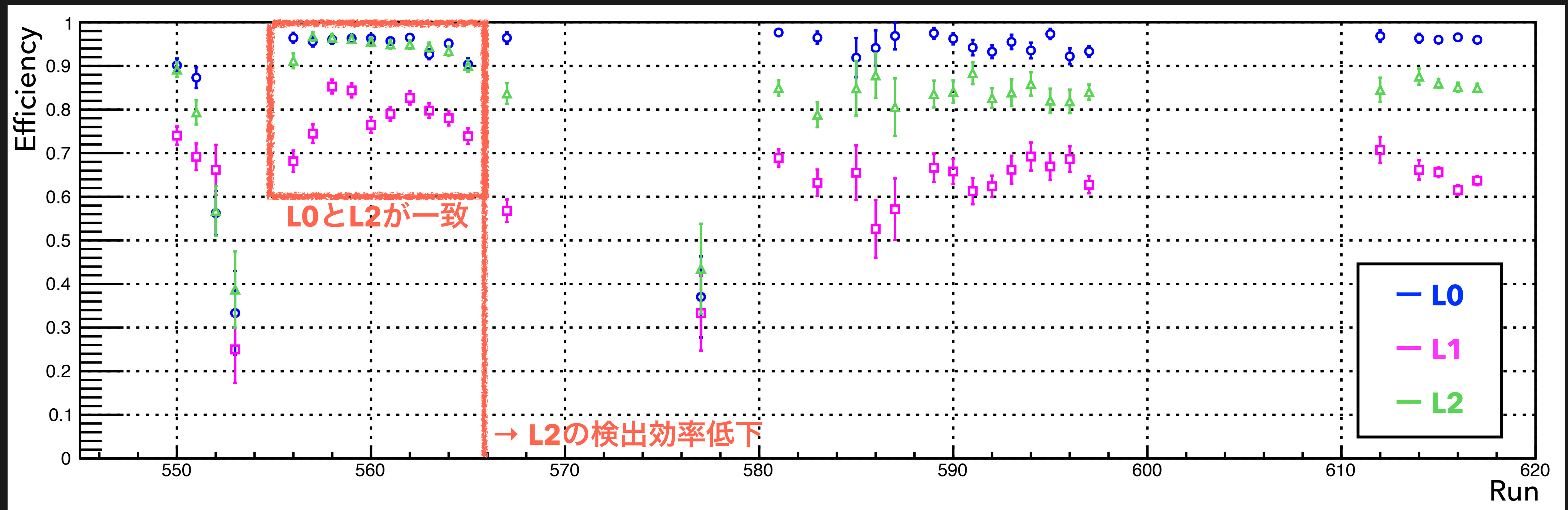
→ 次回のビームテストではクロックとビームの相対タイミングを記録して改善を期待



# COMPARE WITH OTHER RUNS

L0, L1, L2の検出効率のばらつきが測定条件に依存するのか確認するため

複数のデータで検出効率を比較



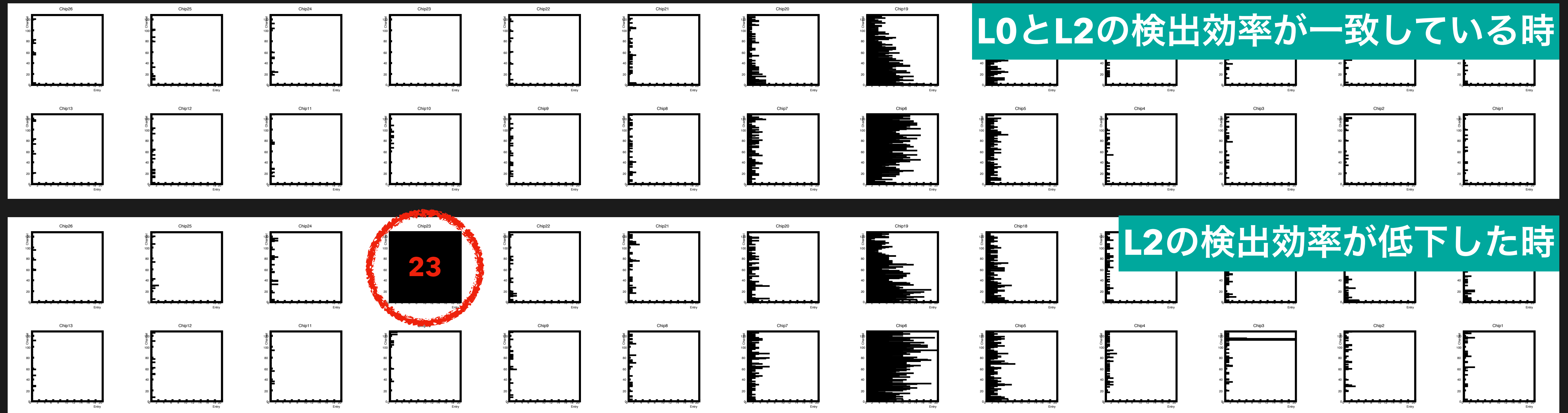
前半のデータではL0とL2の検出効率がよく一致している

あるデータでL2の差が開きそれ以降L0, L2の検出効率が一貫することはなかった



# COMPARE WITH OTHER RUNS

L2の検出効率低下の原因を調べるためL2のヒットチャンネル分布を確認



縦軸：チャンネル番号, 横軸：エントリー(最大140)

そのあるデータからL2のchip 23にノイズが大量に現れ始めたことから

L2の検出効率低下の原因はノイズチップの影響が考えられる

→ ノイズの原因追求 (今後の課題)



# OUTLOOK

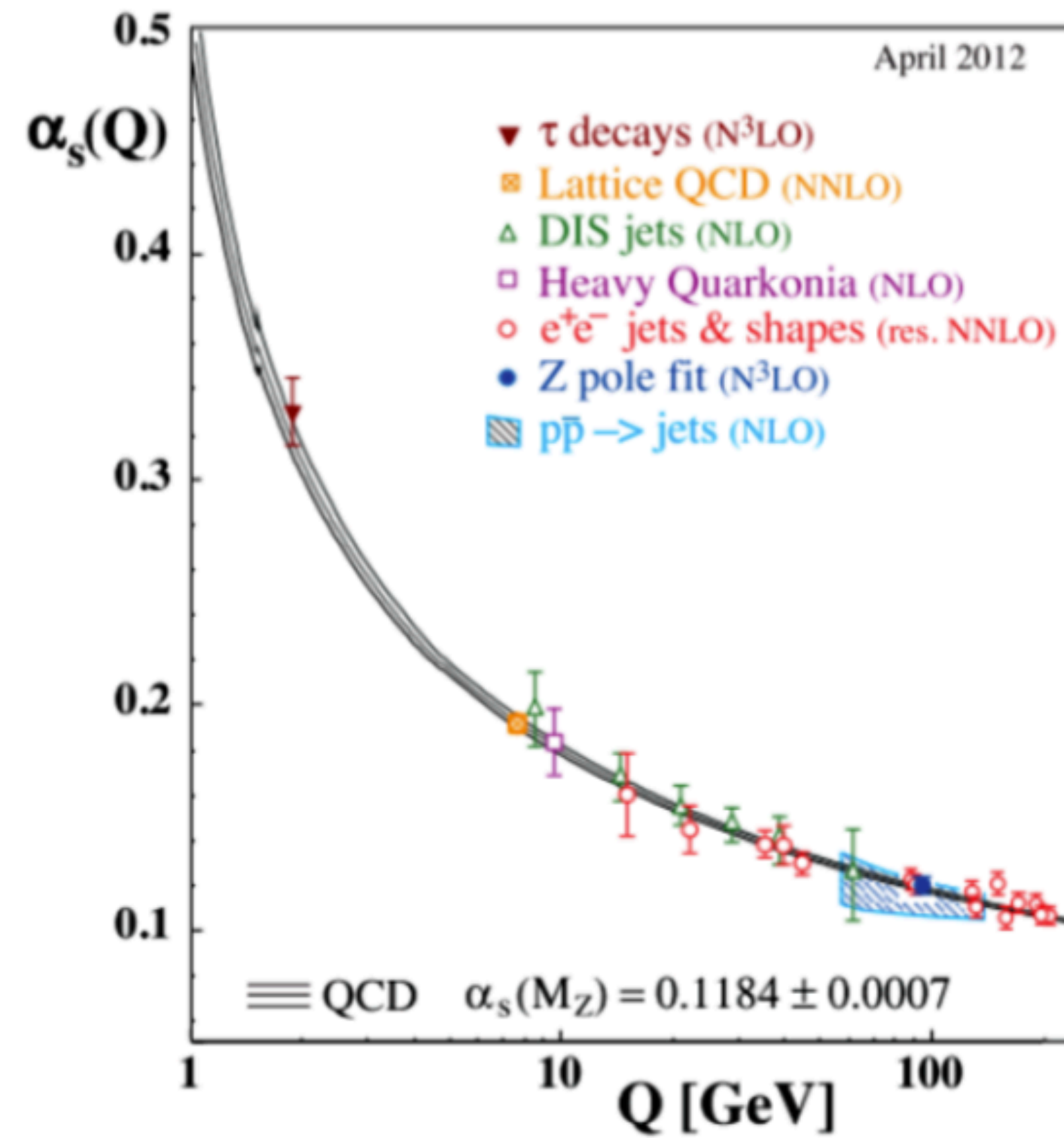
- RHIC-sPHENIX実験におけるINTTシリコン検出器の性能評価を行った
- 2019年6月にフェルミ国立加速器研究所でビームテスト実験を実施しそこで得られたデータを解析することでシリコンモジュールの検出効率を求めた
- L0の検出効率は $96.0 \pm 0.6\%$ となり、前年度収集データでの検出効率と比較しても矛盾のない結果だった
- しかし期待される100%にわずかに届かず、その原因がクロックによるデータ取得タイミングのずれによると予想した
- この仮説を検証するため分母の2層に異なるヒット要求を与えた結果、L0の検出効率がわずかに改善したため、他のタイミングずれの原因としてビームテスト実験時のクロックのジッターが考えられる
- Geant4シミュレーションからL0, L1, L2の検出効率が100%であることが確認できたので、クロックのジッター問題を解決することで100%の検出効率が期待できる
- また各レイヤーで検出効率にばらつきがある原因はノイズチップの影響が考えられるので今後ノイズの原因を調べる必要がある

**BACK UP**

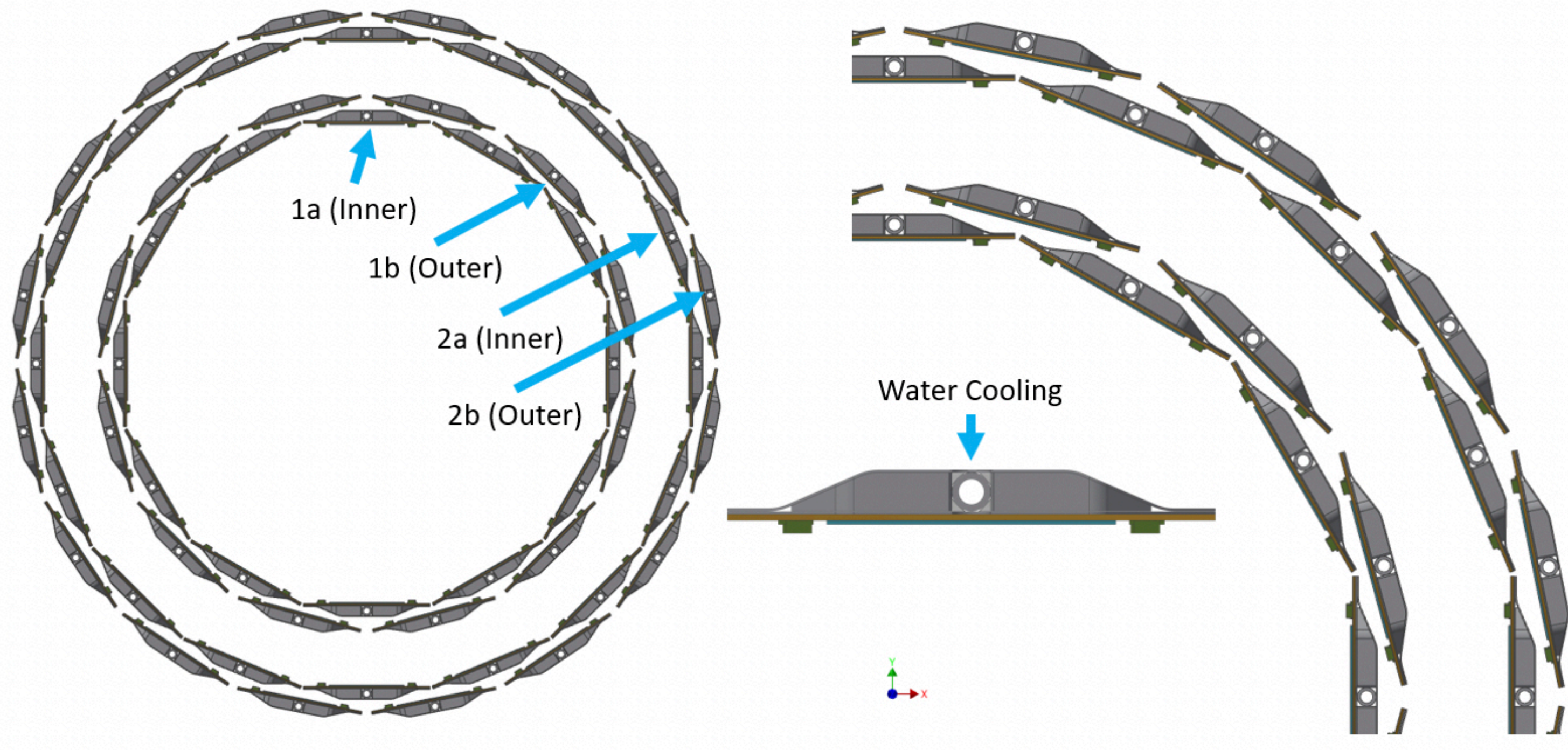


# QUARK GLUON PLASMA

## 漸近的自由性



# BARREL STRUCTURE



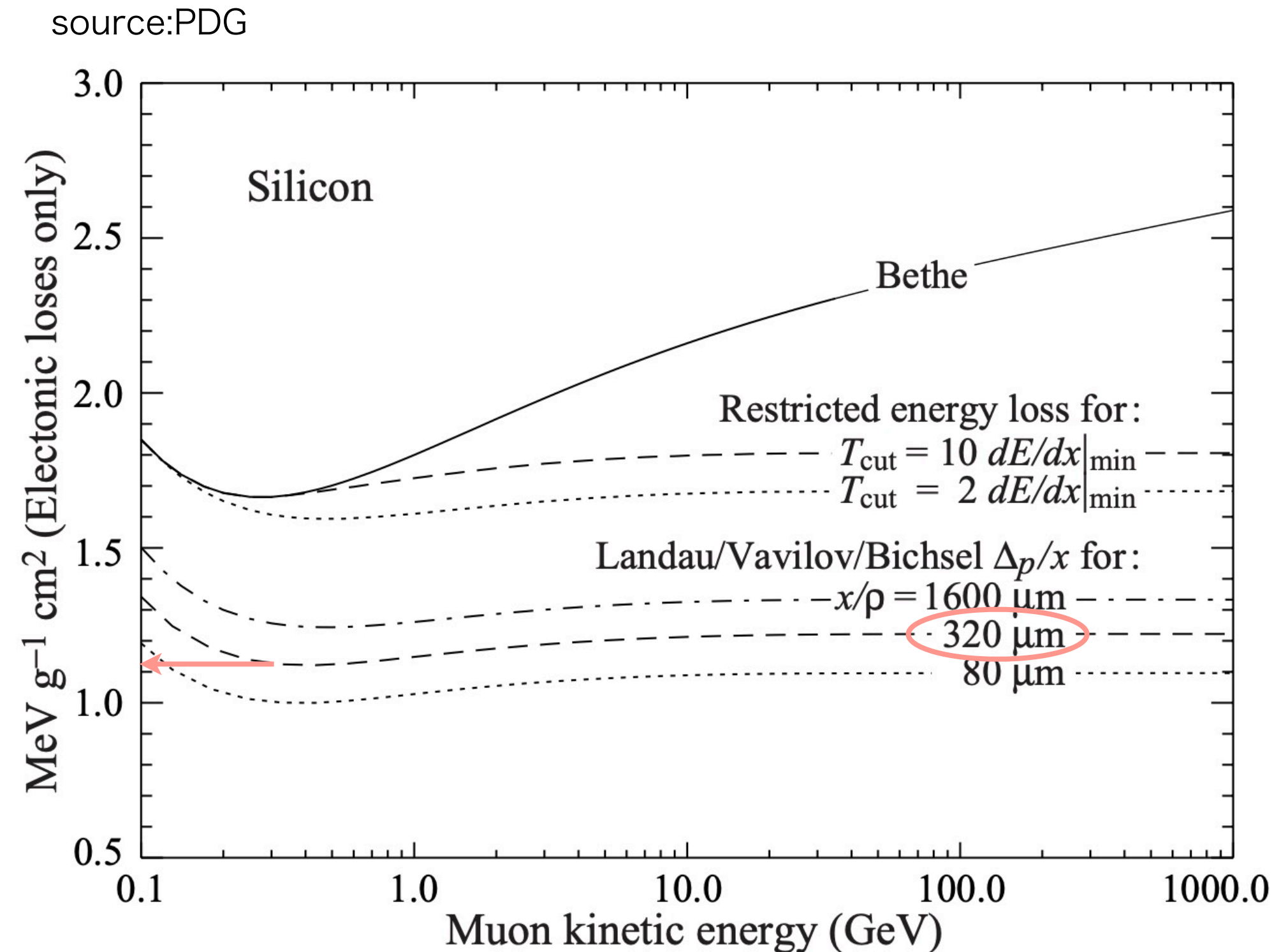
	本数	ビーム軸からの距離
1a	12	71.88 mm
1b	12	77.32 mm
2a	16	96.80 mm
2b	16	102.62 mm

方位角方向に対して $2\pi$ の範囲を覆う



# EXPECTATION OF MIP ENERGY LOSS

## 320 $\mu\text{m}$ 厚のシリコンセンサーで落とすエネルギー損失の期待値



$$\text{Energy loss [mV]} = \frac{1.12 [\text{MeV/g} \cdot \text{cm}^{-2}] \times 0.032 [\text{cm}] \times 2.33 [\text{g/cm}^3] \times 1.6 \times 10^{-19} [\text{C}] \times 300 [\text{mV/fC}]}{3.62 [\text{eV/eh pair}]} \sim 1100 [\text{mV}]$$

# CALCULATE ERROR OF BINOMIAL

誤差の見積もり

$$\text{L0 efficiency} = \frac{N(\text{L0 hit \& L1 hit \& L2 hit})}{N(\text{L1 hit \& L2 hit})}$$

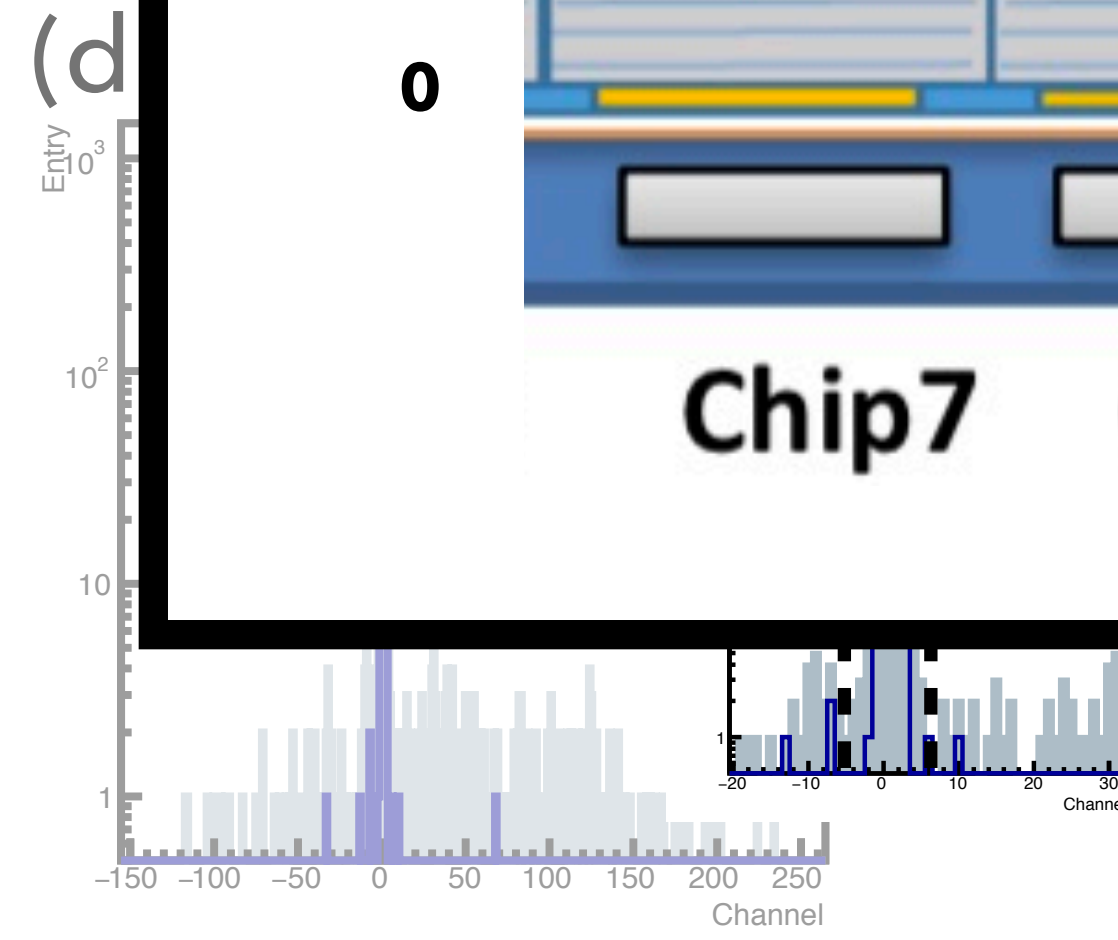
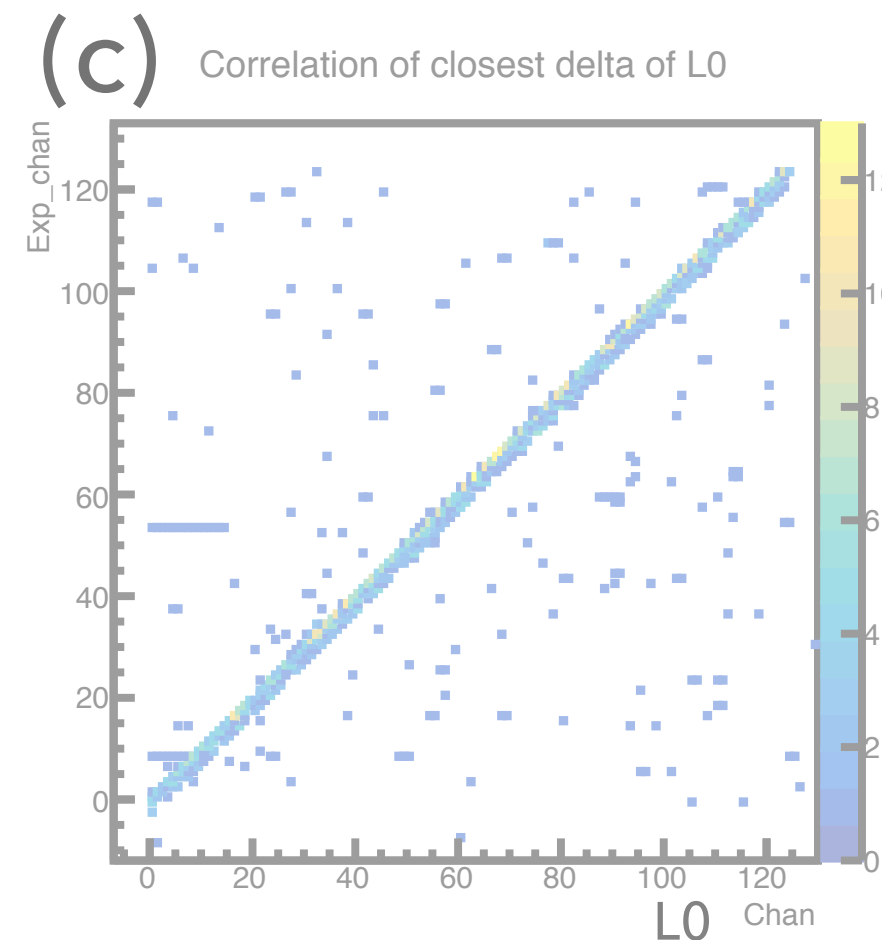
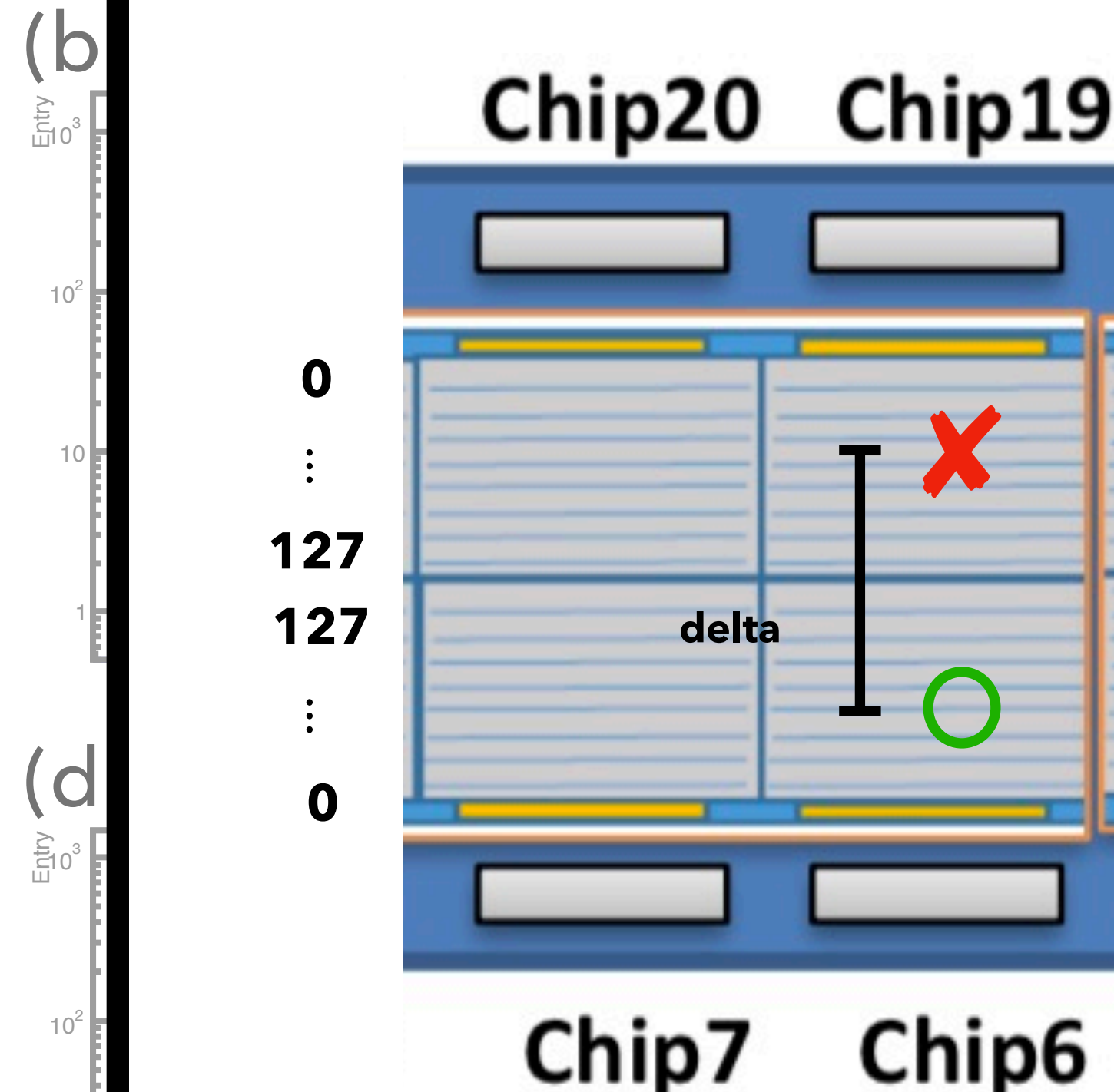
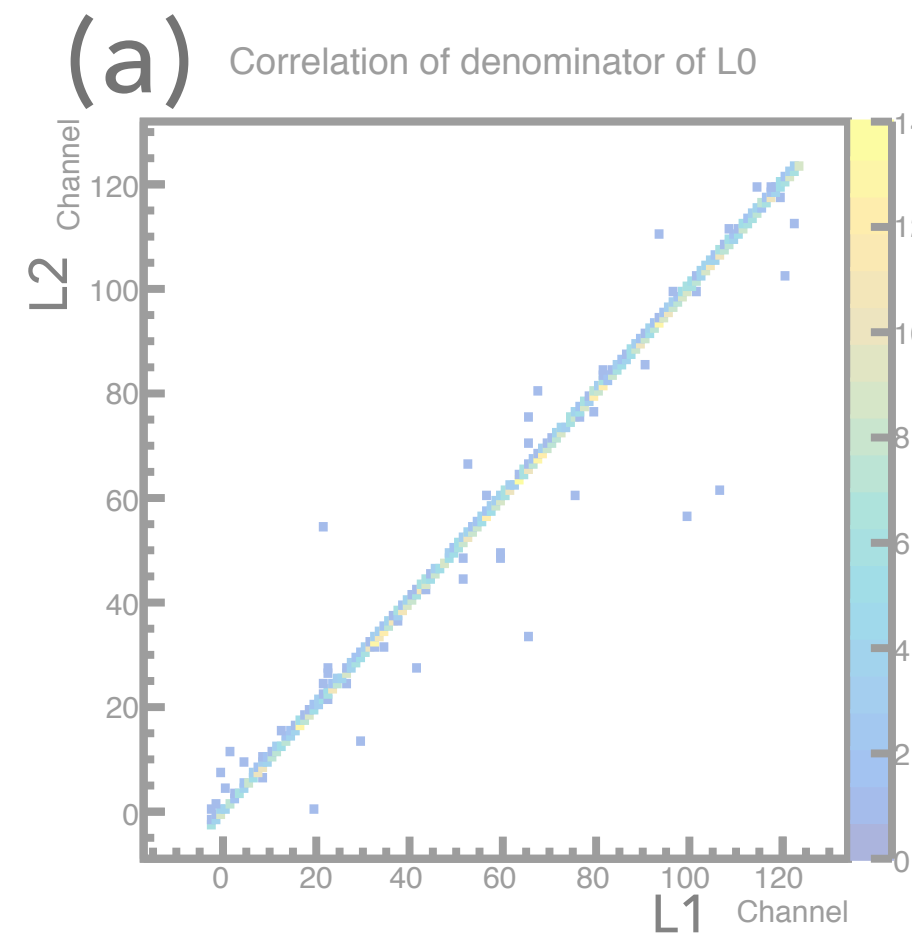
$$\text{L0 efficiency error} = \frac{\sqrt{(N(\text{L0 hit \& L1 hit \& L2 hit}) \times (1 - \text{efficiency}))}{N(\text{L1 hit \& L2 hit})}$$



# EVENT SELECTION

L0, L1, L2の各ヒットが同一トラックであることを保証するためイベント選定を行う

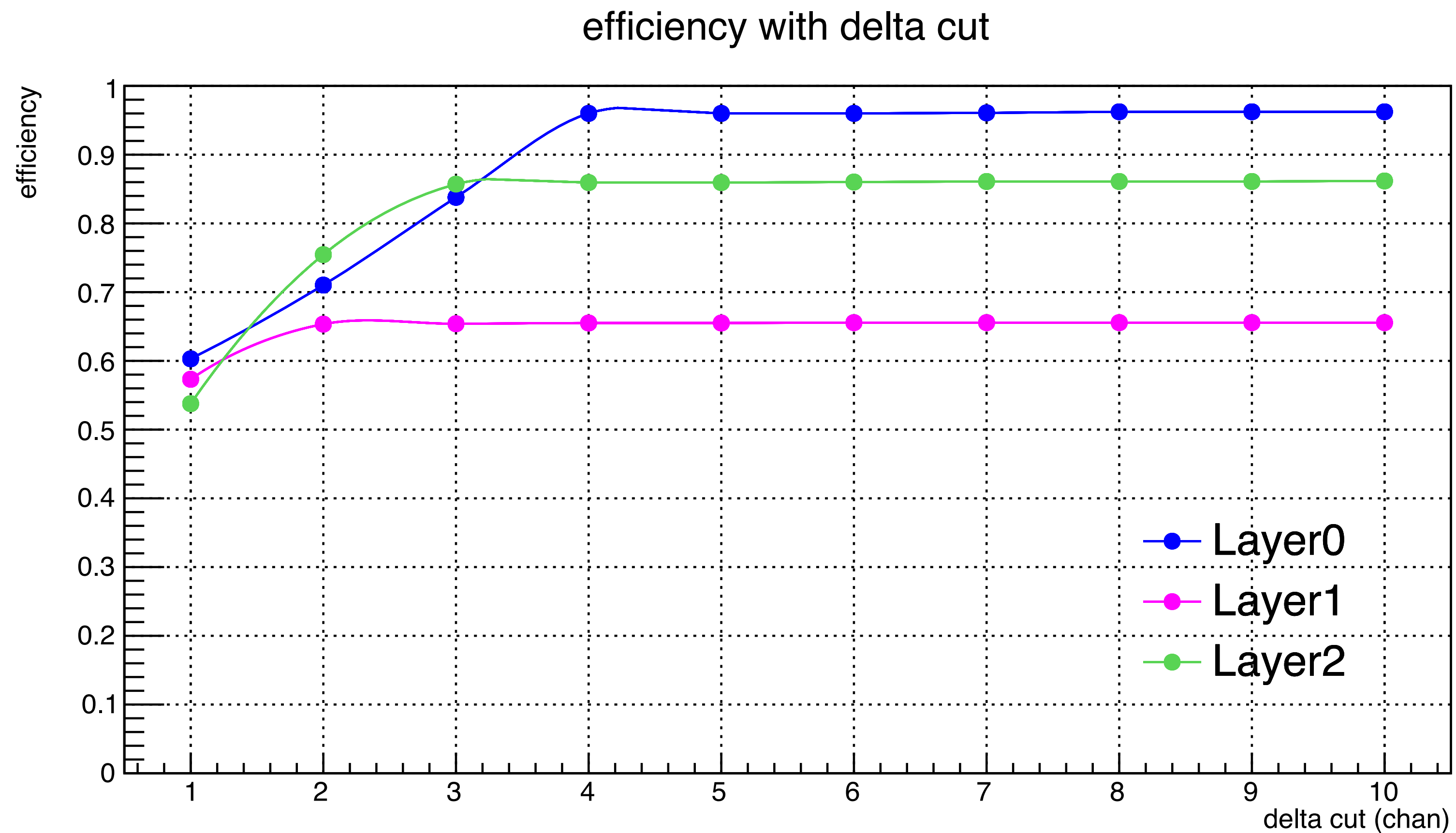
チャンネル相関分布



→ 最小差のつち ±5 chan 未満のイベントを選択

チャンネル相関あり  
 チャンネル差を計算  
 最も小さいイベントを選択  
 0のヒット位置を予想  
 $2 \times 2$   
 チャンネル相関あり  
 計算  
 最も小さいヒットを選択  
 最小差のつち ±5 chan 未満のイベントを選択

# CHANGE THE DELTA CHANNEL CUT OF (RAW - EXPECTATION) FOR TARGET LAYER



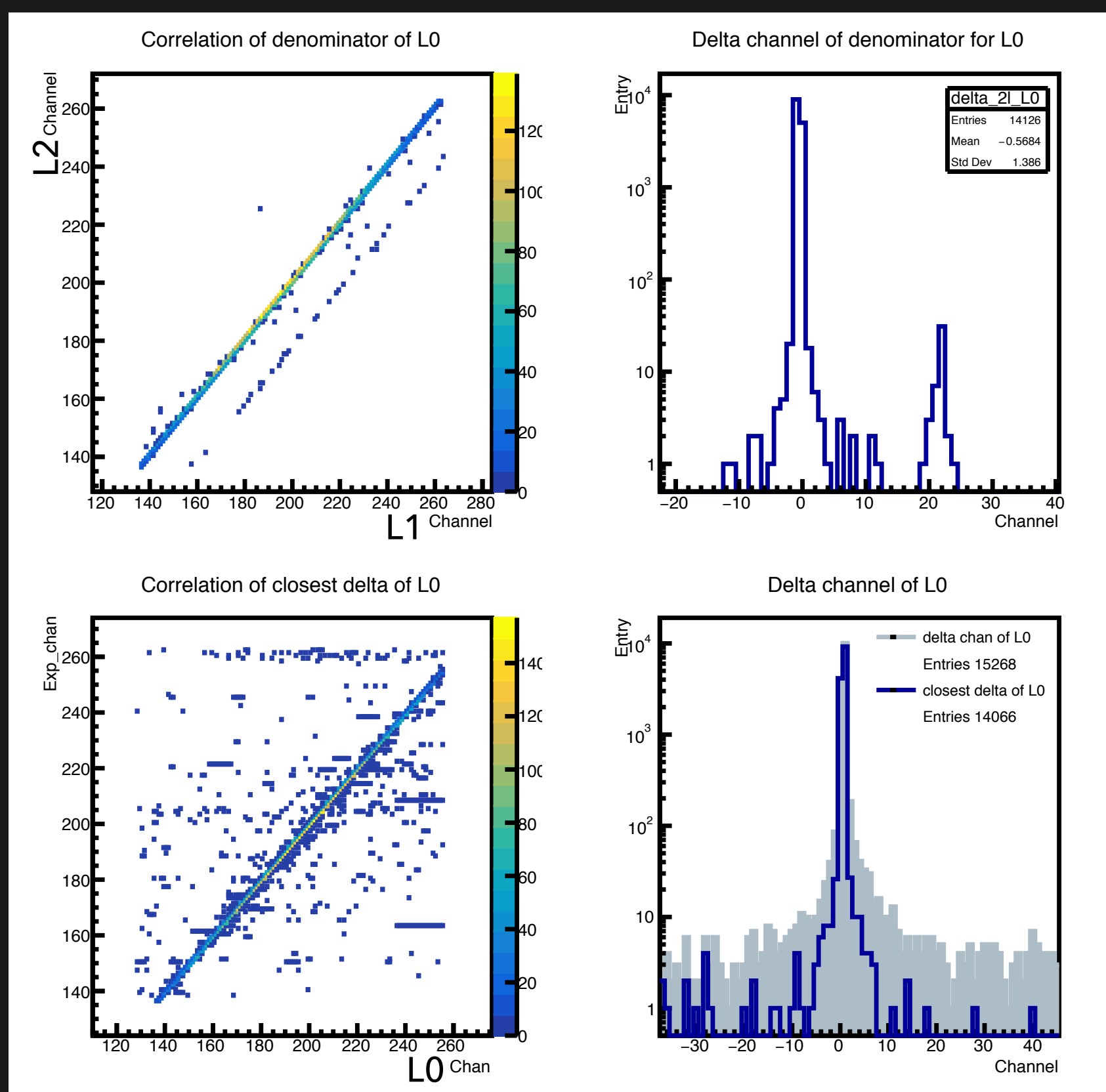
**Delta cut = 4からどのLayerでも一定になる**



# COMPARISON WITH 2018 RESULT

各Layerでの検出効率に差がある原因を確かめるため

同じ解析ソフトウェアを用いて2018年と検出効率を比較する



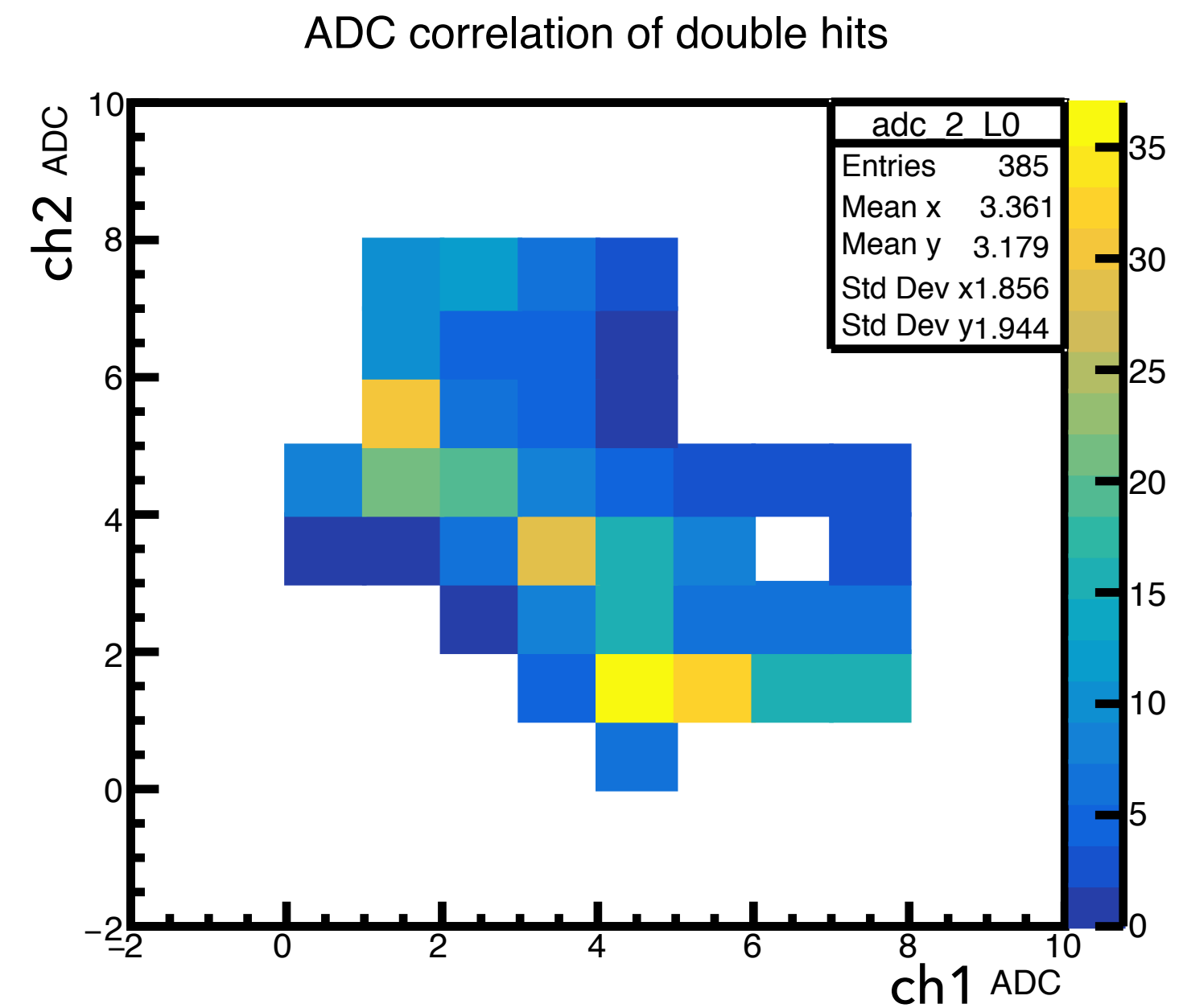
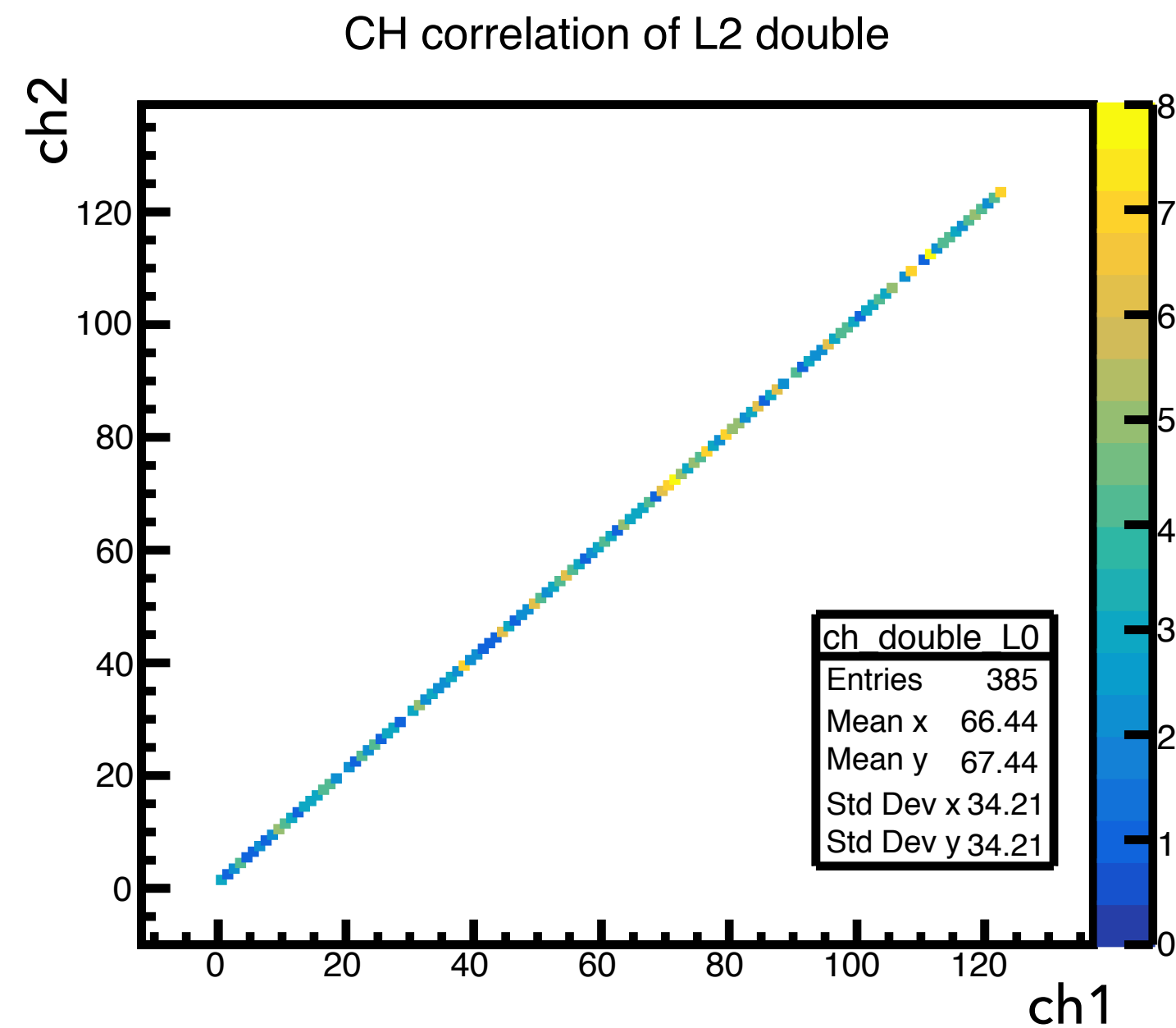
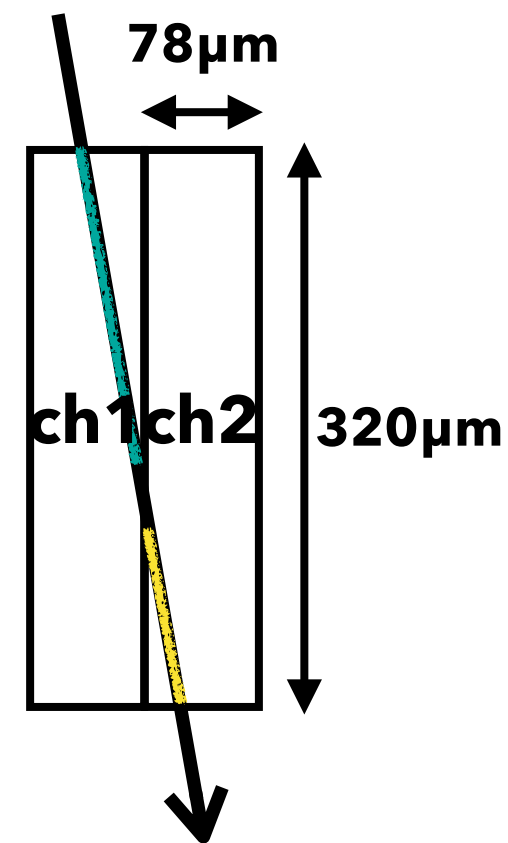
- ビームの絞りが高いため1チップにヒットが収まっている
- 各Layerは等間隔で配置されている
- シリコンセンサーの厚さは 200 $\mu\text{m}$  (今年の5/8倍)
- L1, L2のチャンネル相関を確認
  - 差が  $\pm 5$  chan 未満のイベントを選択
- L0予想値と実測値のチャンネル相関を確認
  - 最小の差が  $\pm 5$  chan 未満のイベントを選択

# SIDE-BY-SIDE DOUBLE HITS AT L2

L2に対して隣同士のダブルヒットかつどちらかのヒットは低いADC ( $0 < \text{ADC} < 5$ ) を要求

ch1-ch2=1(ch1<ch2)

波高の低いヒット選択

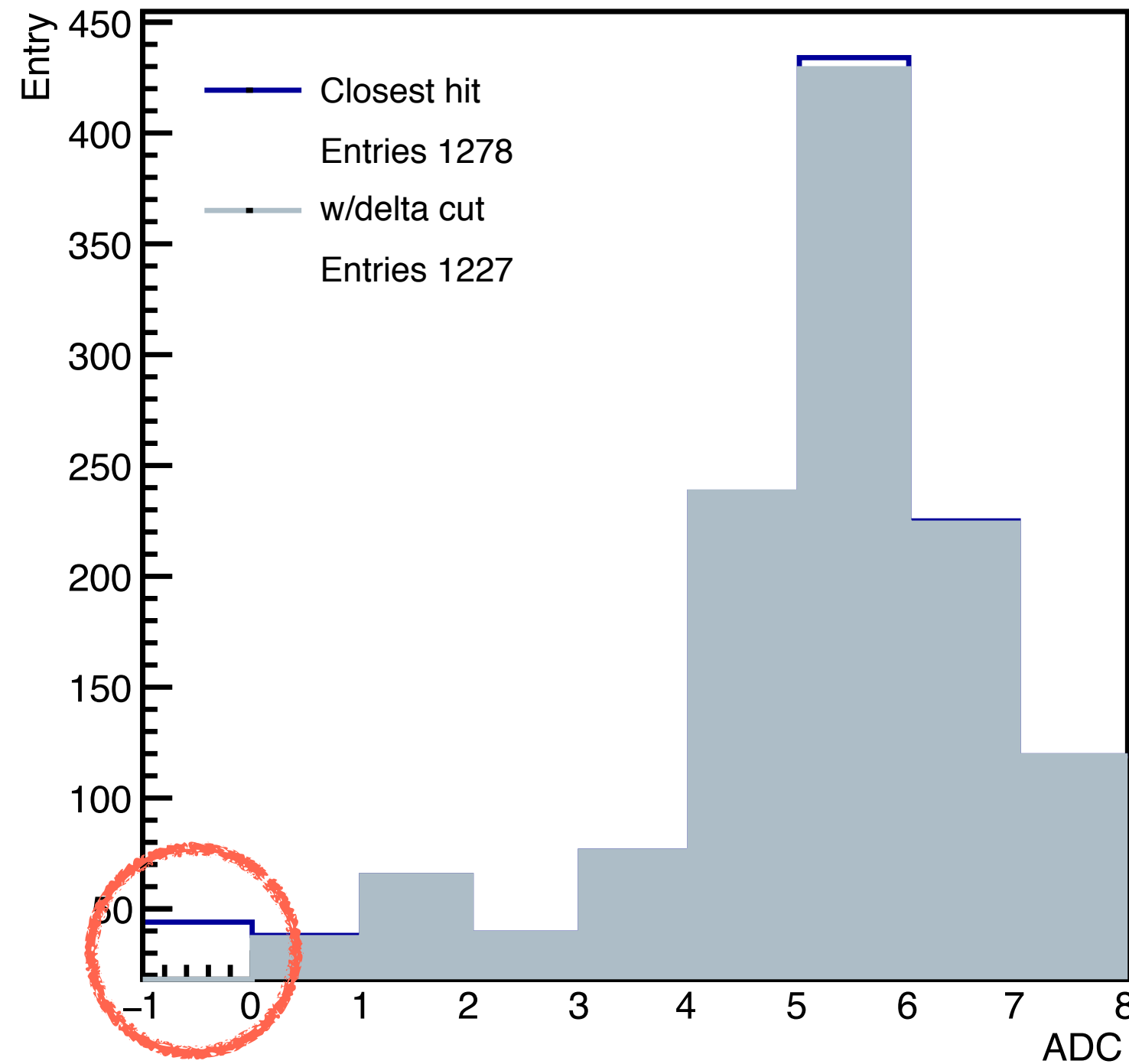


隣同士のダブルヒットでADCの反相関を確認



# ADC DISTRIBUTION

## Target layer L0のADC分布



$$\text{Threshold (mV)} = 4 \times \text{DAC value} + 210 \text{ (mV)}$$



ADC	DAC	Threshold (mV)
0	14	266
1	16	274
2	32	338
3	48	402
4	80	530
5	112	658
6	144	786
7	176	914

**ADC5すなわち658~786mVでMIPピークが観測できた**

**→期待より低いのはFPHXで設定される増幅率が原因か**

# SET THE GAIN VALUE

Simulation  
5k events  
Gain 170

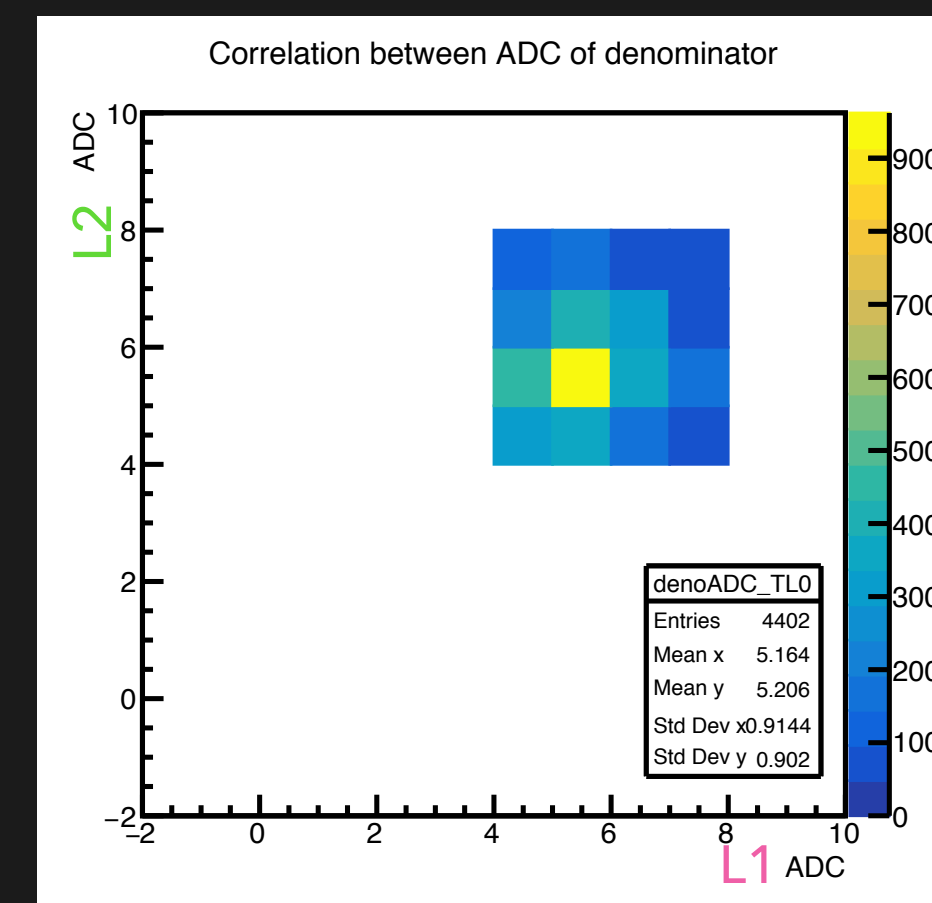
$$\text{Energy loss [mV]} = \frac{\text{Edep [MeV]} \times 1.6 \times 10^{-4} \text{ [fC]} \times \mathbf{170 \text{ [mV/fC]}}}{3.6 \text{ [eV]}}$$

event selection & convert to [mV]

convert to ADC

Energy deposit [MeV]  
Target layer: L0  
Denominator layer: L1, L2

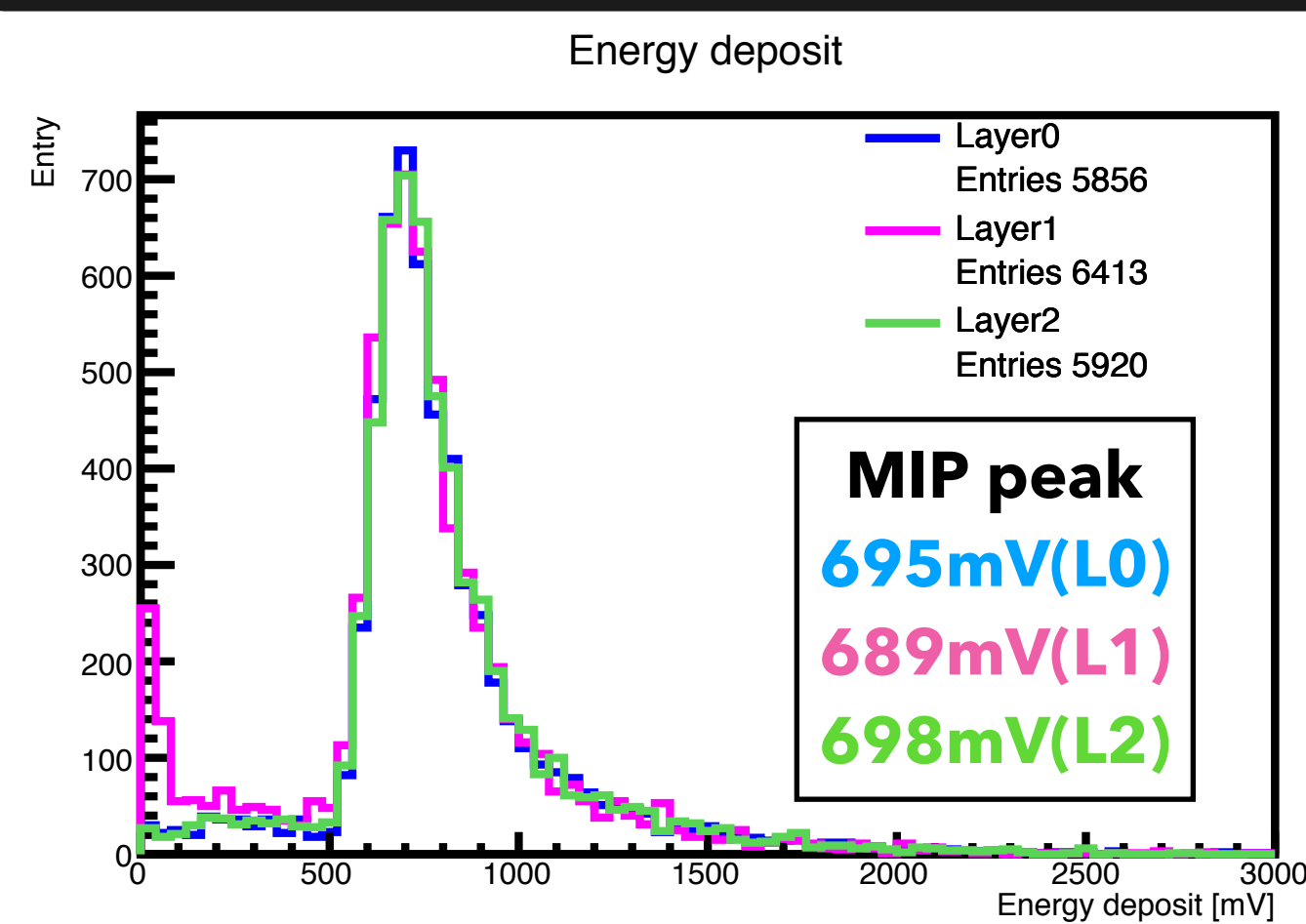
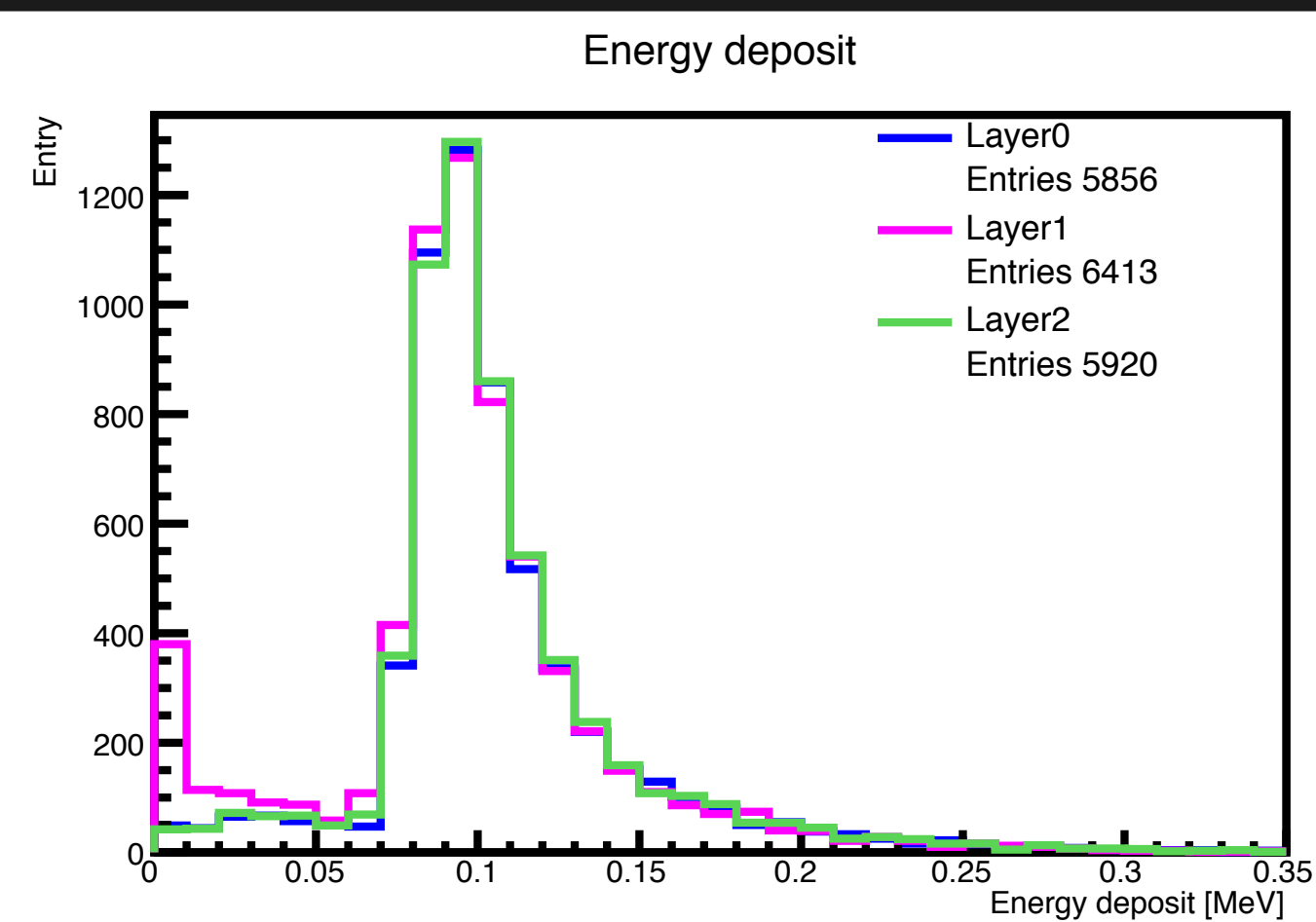
Energy loss [mV]  
Target layer: L0  
Denominator layer: L1, L2



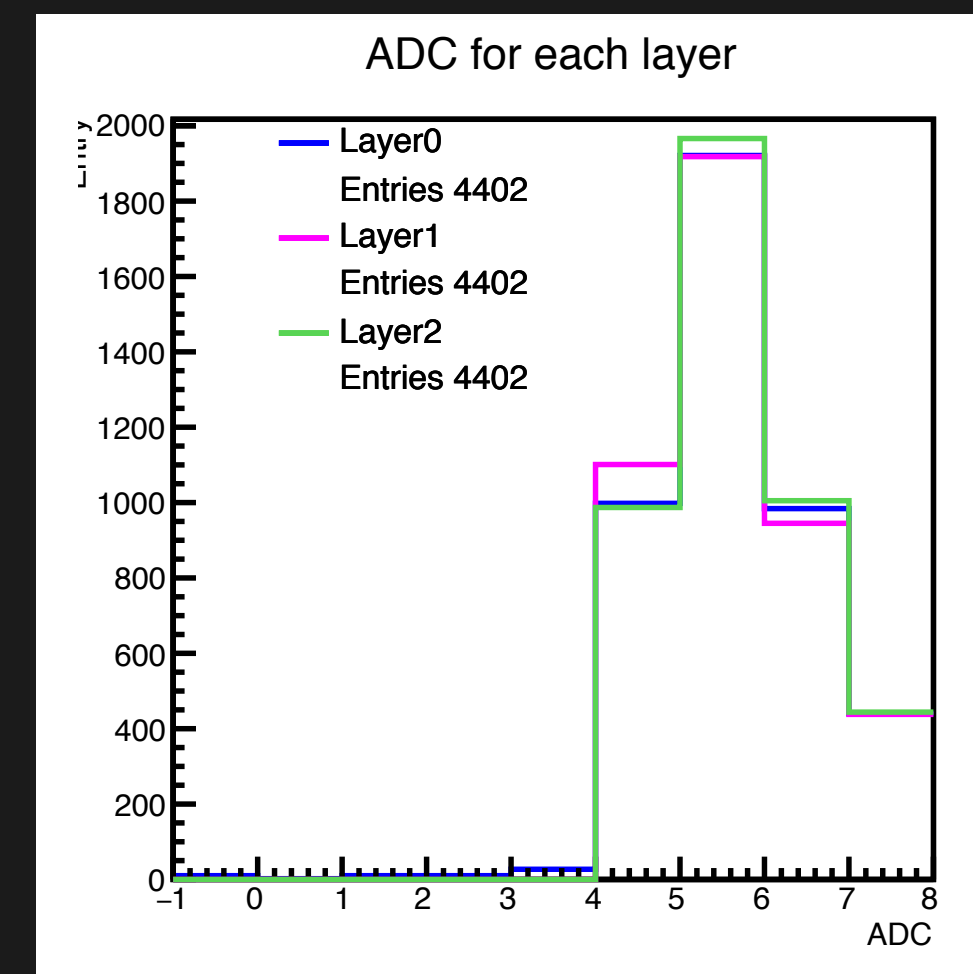
ADC correlation between L1 and L2

ADC

Target layer: L0  
Denominator layer: L1, L2



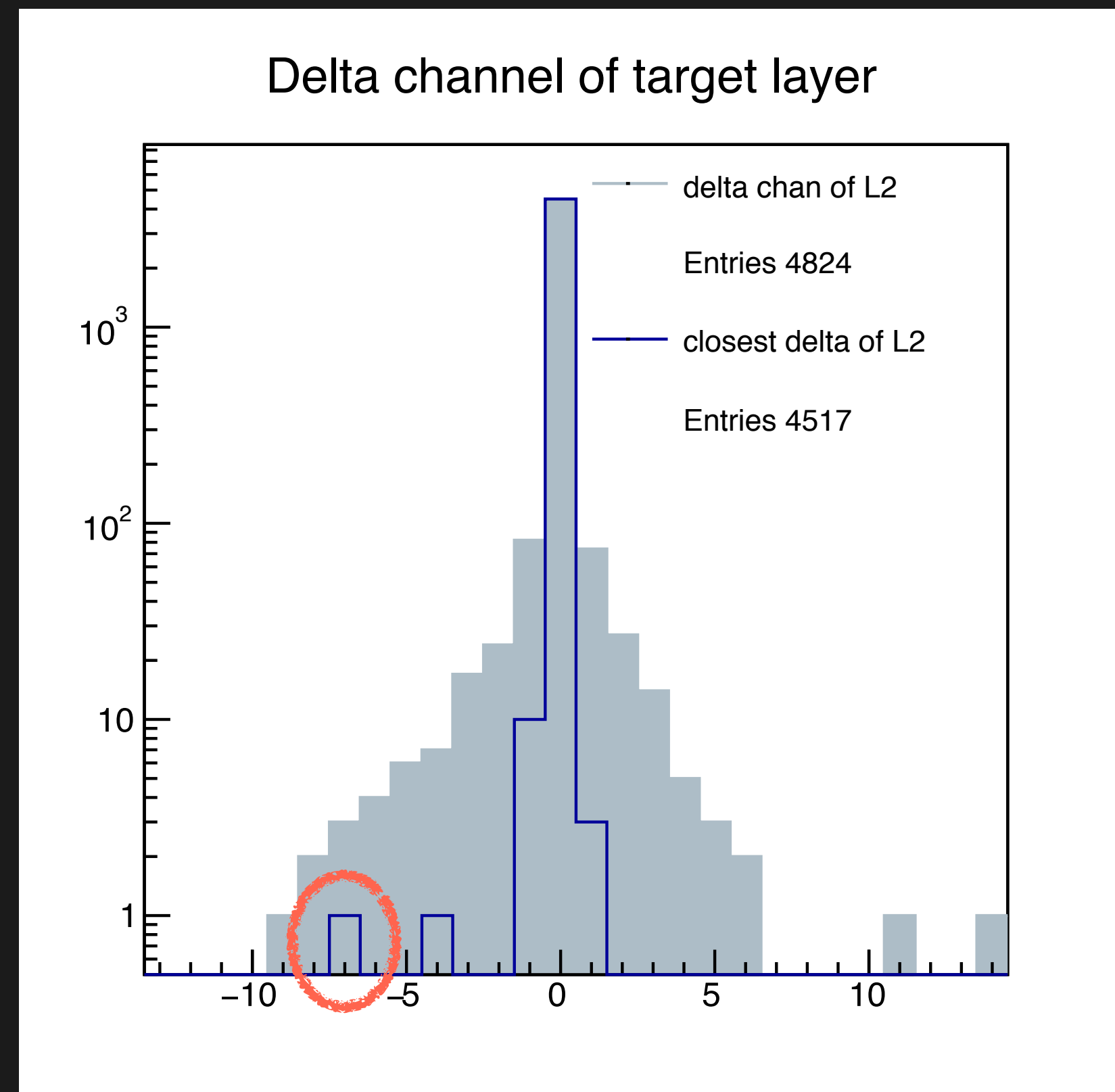
Threshold (mV)	ADC
266	0
274	1
338	2
402	3
530	4
658	5
786	6
914	7



データで得られたMIPピークに近いGainに設定



# L2 INEFFICIENCY

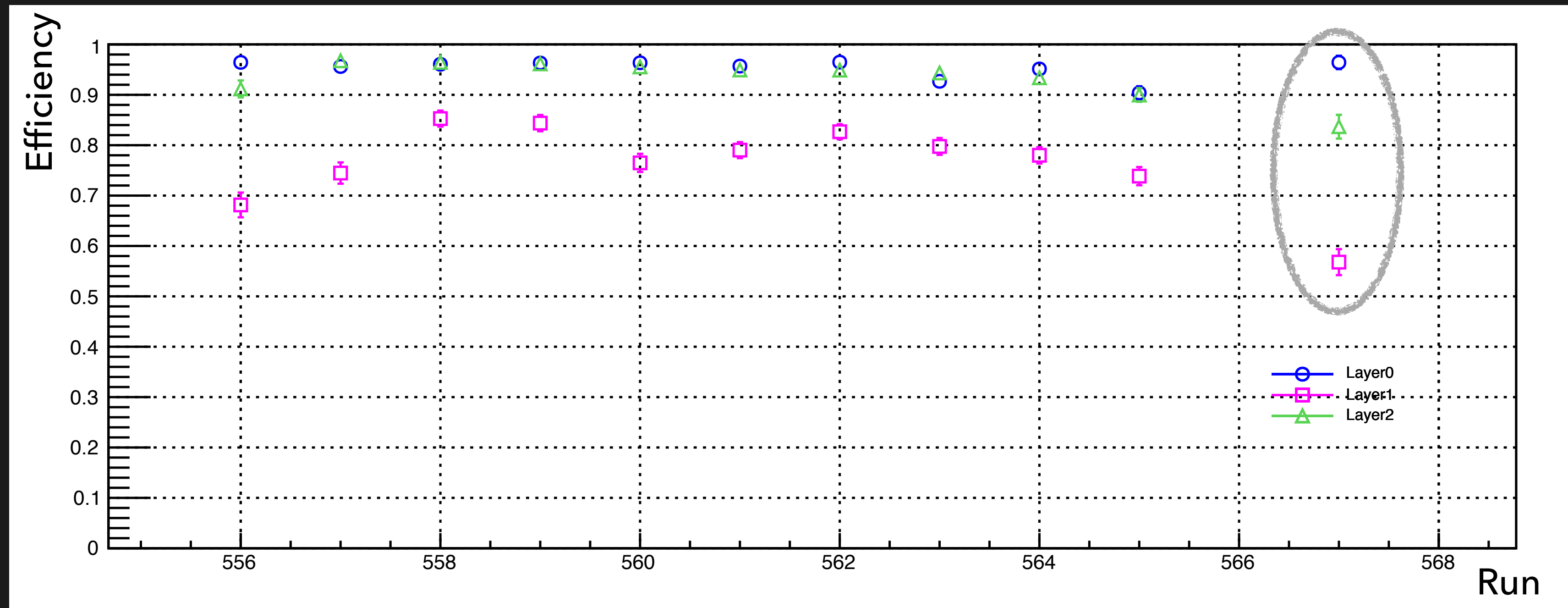


L2実測値 - L2予想値 = -7 ch

→ ±5 ch のカットで除かれた

# COMPARE WITH OTHER RUNS

L0, L1, L2の検出効率のばらつきが測定条件に依存するのを確認するため  
複数のデータで検出効率を比較



前半のデータではL0とL2の検出効率がよく一致している

あるデータでL2の差が開きそれ以降L0, L2の検出効率が一貫することはなかった