

2021/05/31 バスエクステンダーミーティング

高速オシロスコープを使った FPHX チップの出力信号の測定と キャリブレーション結果の関係 － 状況のまとめ －

理研、RBRC

中川格、糠塚元気

奈良女子大学：

蜂谷崇、森田美羽、並本ゆみか、
高濱瑠菜、杉山由佳

原研：

長谷川勝一

都立産技研：

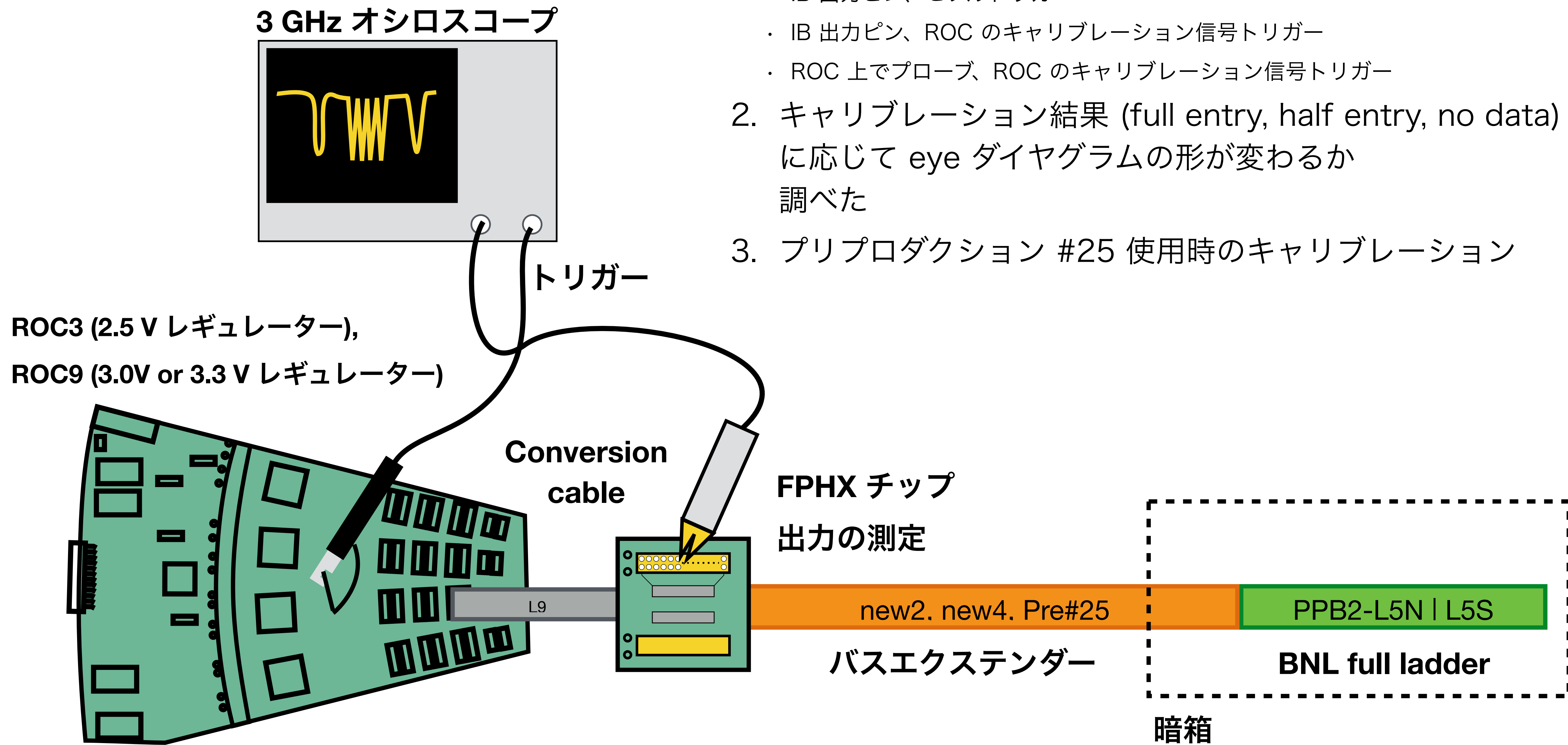
近藤崇

概要、日程

期間：2021/05/24 - 2021/05/29

日付	ROC	バスエクステンダー	目的
5/24, 25	FPHX チップ初期化コマンド関連		
5/26	3	new4	セットアップ構築、状況再現、half エントリー問題
	3, 9	new4	half エントリー問題
5/27	9	new2	状態の悪い new2 で測定→chip24, 26 ラインのショートを確認
	これ以降は ROC9 C ポートキャリブレーション信号をオシロのトリガーにする		
	9, C1	new4	half エントリー問題
5/28	9, C1	new4	half エントリー問題、インターセプションボード (IB) 上でラインをショートさせ、人工的に half エントリーを作る試み始める
	9, C1	プレプロダクション #25	動作確認、Eye ダイアグラム測定
	オシロスコープの測定を ROC 上で行い、IB の影響を排除する		
5/29	9, C1	プレプロダクション #25	動作確認、Eye ダイアグラム測定
	9, C1	new4	half エントリー問題

セットアップ、測定内容

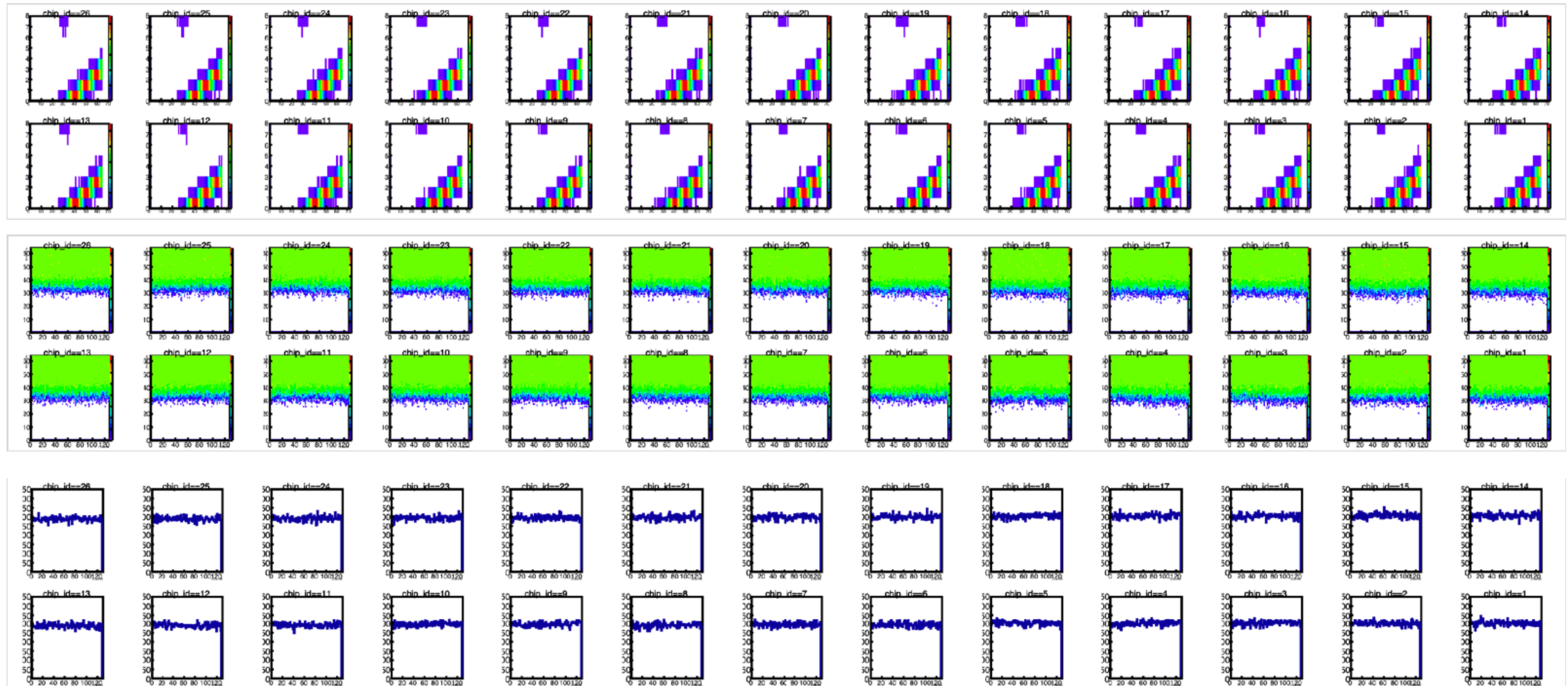


1. キャリブレーション動作時の FPHX チップの出力波形を高速オシロスコープで測定した
 - ・ IB 出力ピン、セフルトリガー
 - ・ IB 出力ピン、ROC のキャリブレーション信号トリガー
 - ・ ROC 上でプローブ、ROC のキャリブレーション信号トリガー
2. キャリブレーション結果 (full entry, half entry, no data) に応じて eye ダイアグラムの形が変わるか調べた
3. プリプロダクション #25 使用時のキャリブレーション

プレプロダクション #25 の動作

ROC9 C1 (3.0V レギュレーター), LVDS = 8mA で良好な結果が得られる (8/17 回)

nwu_fphx_raw_20210529-1126_0.dat



プレプロダクション #25 の動作

チップごとの統計 (#25, ROC9-C1, 8 mA) , full entry でないチップ : 15/442 → 3.4%

full entry	chip26	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18	chip17	chip16	chip15	chip14
	17	17	17	17	17	16	13	17	17	17	17	17	17
						1	4						
half entry	chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5	chip4	chip3	chip2	chip1
	13	17	16	17	17	12	17	17	17	17	17	17	17
	4		1			5							
no entry													

チップごとの統計 (new4, ROC9-C1, 8 mA) , full entry でないチップ 21/442 → 4.8%

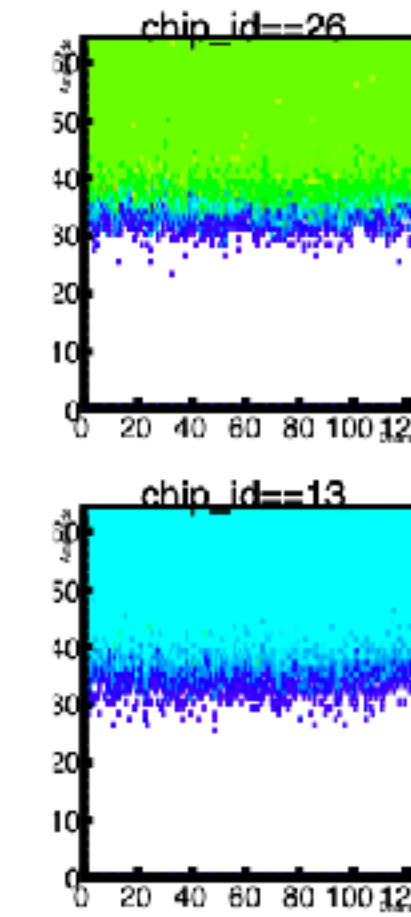
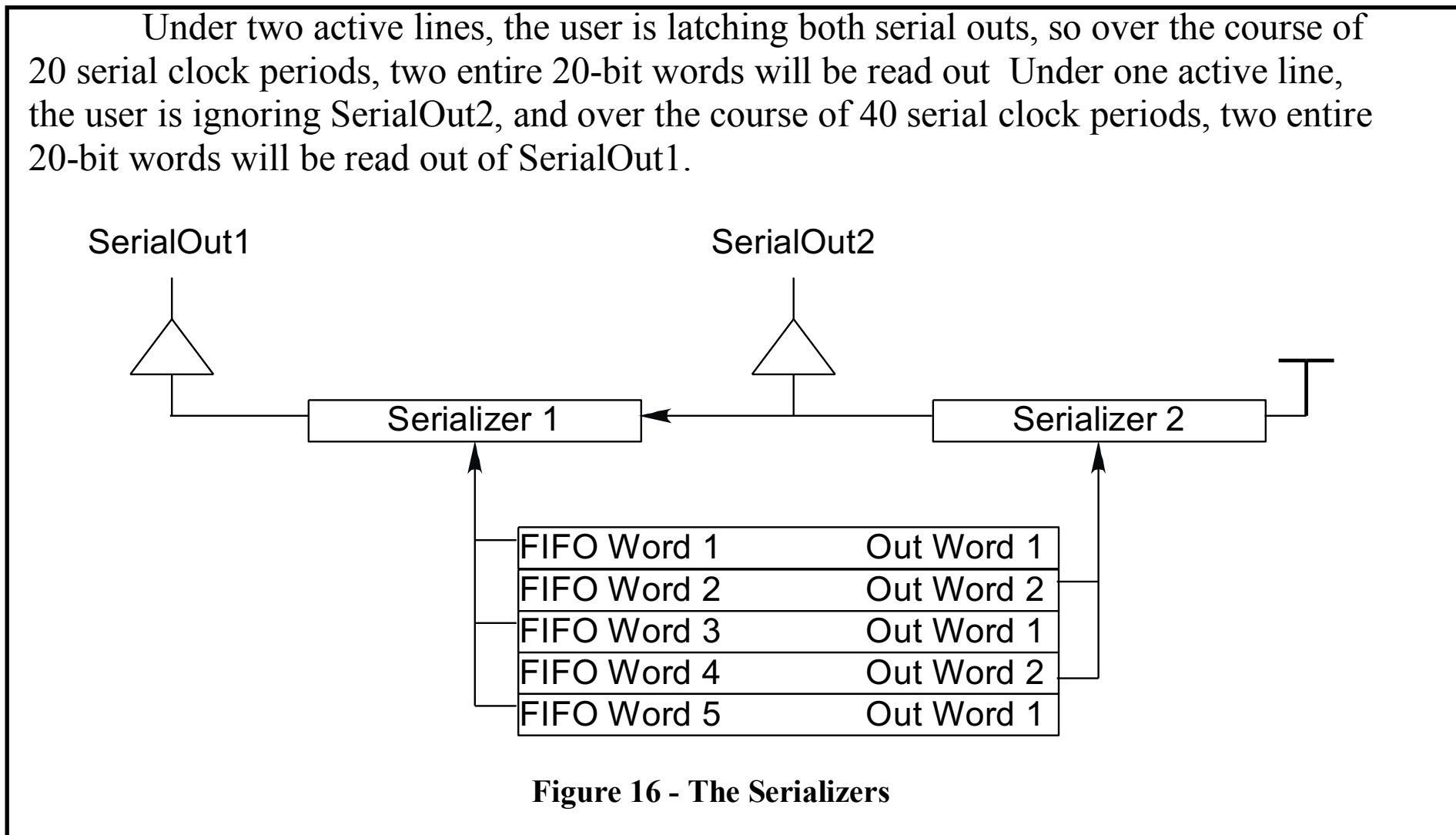
full entry	chip26	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18	chip17	chip16	chip15	chip14
	17	17	17	17	17	10	12	17	17	17	17	17	17
						7	5						
half entry	chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5	chip4	chip3	chip2	chip1
	17	16	17	17	16	17	15	15	14	17	17	17	17
		1			1		2	2	3				
no entry													

チップごとの統計 (new2, ROC9-C1, 8 mA) , full entry でないチップ : 78

full entry	chip26	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18				
	0	20	0	20	20	11	11	20	20				
	20		20			9	9						
half entry	chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5				
	19	19	20	19	14	20	12	18	18				
	1			1	6		8	2	2				
no entry													

#25 は
 ・new4 と同程度か、より良い
 ・chip8, 13, 20 が half entry になりやすい

new4 を使った half entry 問題のデバッグ



Full entry な結果

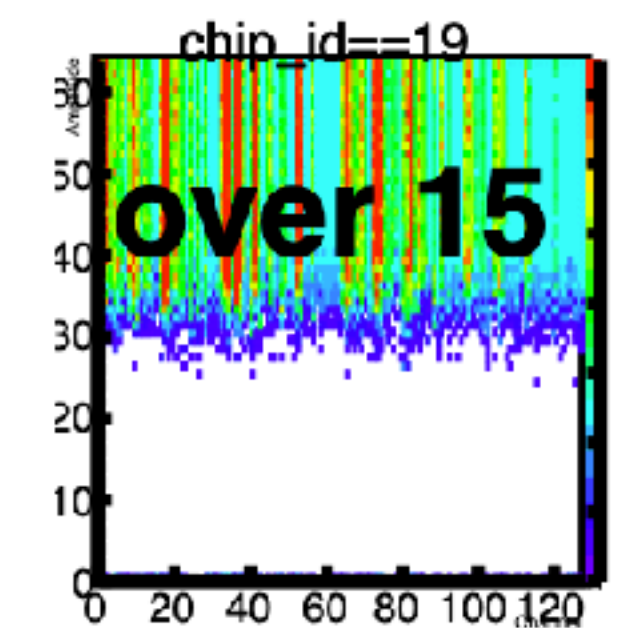
Half entry な結果

「Half entry は FPHX チップにある 2 系統の出カラインのうち、片側が死んでいるのが原因」という仮説の検証

- Full entry な結果が得られたときの両ラインの eye ダイアグラム
- Half entry な結果が得られたときの両ラインの eye ダイアグラム
 - ▶ LVDS 電流値を 2 mA に下げ、強制的に half entry な結果を得る
 - ▶ IB 出力ピンをショートさせ、強制的に half entry な結果を得る
- No entry な結果が得られたときの両ラインの eye ダイアグラム

new4 を使った half entry 問題のデバッグ

チップ	観測 line	LVDS (mA)	IB 上でのショート	キャリブレーション結果	Eye ダイアグラム
Chip7	line0	8	なし	1/3 回 half	18
	line1	8	なし	full entry	19
	line0	2	なし	half entry	31
	line1	2	なし	half entry	30
	line0	2	line1	half entry	32
	line1	2	line0	no entry	34
Chip8	line0	8	なし	full entry	20
	line1	8	なし	full entry	21
	line0	2	line1	no entry	33
	line1	2	line0	ringing	35
Chip19			なし	half entry	x
	line0	2	line1	no entry	38
	line1	2	line0	ringing	39



IB による ringing 効果？

new4 を使った half entry 問題のデバッグ

ショートなし (new4, ROC9-C1, 2 mA)

chip26	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18	chip17	chip16	chip15	chip14
full entry	0	3	3	3	1	3	3	0	3	1	3	3
half entry				2			3		2			
no entry	3											
chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5	chip4	chip3	chip2	chip1
full entry	0	1	0	3	3	0	0	1	2	3	3	3
half entry	3	2	3		3	3	2	1				
no entry												

Line0 ショート (new4, ROC9-C1, 2 mA)

chip26	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18	chip17	chip16	chip15	chip14
full entry	0	0	0	0	0	0	0	0	0	0	0	0
half entry		2	2	2	2	2	2	2		2	2	2
no entry	2								2			
chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5	chip4	chip3	chip2	chip1
full entry	0	1	1	0	0	0	0	0	0	0	0	0
half entry			2	2		2	2	2	2	2	2	2
no entry	2	1	1		2							

Line1 ショート (new4, ROC9-C1, 2 mA)

chip26	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18	chip17	chip16	chip15	chip14
full entry	0	0	0	0	0	0	0	0	0	0	0	0
half entry		2	2	2	2	2		2	2	2	2	2
no entry	2						2					
chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5	chip4	chip3	chip2	chip1
full entry	0	0	0	0	0	0	0	0	0	0	0	0
half entry	2	2	2	2	2		2	2	2	2	2	1
no entry						2						1

new4 を使った half entry 問題のデバッグ

■ no entry
■ 仮説と一致
■ 仮説と一部一致
■ 問題なし

ショートなし (new4, ROC9-C1, 2 mA)

	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18	chip17	chip16	chip15	chip14	
full entry		3	3	3	1	3	3	3	1	3	3	3	
half entry				2			3		2				
no entry													
full entry	chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5	chip4	chip3	chip2	chip1
full entry	0	1	0	3	3	0	0	1	2	3	3	3	3
half entry	3	2	3			3	3	2	1				
no entry													

Line0 ショート (new4, ROC9-C1, 2 mA)

	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18	chip17	chip16	chip15	chip14	
full entry	0	0	0	0	0	0	0	0	0	0	0	0	
half entry	2	2	2	2	2	2	2	2		2	2	2	
no entry									2				
full entry	chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5	chip4	chip3	chip2	chip1
full entry	0	1	1	0	0	0	0	0	0	0	0	0	0
half entry				2	2		2	2	2	2	2	2	2
no entry	2	1	1			2							

Line1 ショート (new4, ROC9-C1, 2 mA)

	chip25	chip24	chip23	chip22	chip21	chip20	chip19	chip18	chip17	chip16	chip15	chip14	
full entry	0	0	0	0	0	0	0	0	0	0	0	0	
half entry	2	2	2	2	2	2		2	2	2	2	2	
no entry							2						
full entry	chip13	chip12	chip11	chip10	chip9	chip8	chip7	chip6	chip5	chip4	chip3	chip2	chip1
full entry	0	0	0	0	0	0	0	0	0	0	0	0	0
half entry	2	2	2	2	2	2		2	2	2	2	2	1
no entry							2						1