

# Half Entry Debugging

## これまでの観察

- これまでの観測の範囲では、Half entry問題はデータのパターン依存していない。データのパターンに依存するなら、きっかり半分のエントリーとはならないはず。
- データのパターンによらないとすると、Sync Bit自体の認識に失敗していると考えられる。
- 推察だがSync Bitが認識されなければ、データに何が格納されていようと、無視されるだろう。
- 以上の仮説が正しいとすると、Half entry時に不採用となるデータラインのSync bitの形は、採用されるSync bitの形に比べて明らかな劣化が観測されるはず。

# インターセプションボードをで観測した 信号測定

- Interceptionボード上の信号線の長さに形が強く依存しており、近藤さんのシミュレーションの有効性を議論するには有効。
- しかし信号波形そのものは波形が大きく崩れており、half entry問題に言及するのにはあまり有用ではなさそう。優先順位は低い。

# 戦略（最優先）

1. Sync Bitのみのeye diagramで比較。
2. Chip-7のLine-0とLine-1のA, B, Cファイル比較。ABCをそれぞれ3つ足し合わせる。
3. Sync Bit+Data bitsで2と同様の比較
  1. Aについてはすでに森田さんが土曜日に比較済みならず。その時の解析では、Sync Bitのみと思われる比較でも有意な差は見られなかった。
4. Chip-8, 19についても同様の解析をする。
  1. Chip-7よりも顕著な差は期待できない？ Chip-7でダメならChip-8, 19もダメか？

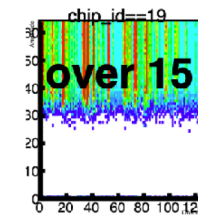
# Eye diagram比較の自由度

- Eye Diagramを比較する際に、何を基準とするか？
- ベースライン : 0, 1
- タイミング
- マスク

# 取得したデバッグ用データ

ベスト

チップ	観測 line	LVDS (mA)	IB 上でのショート	キャリブレーション結果	Eye ダイアグラム
Chip7	line0	8	なし	1/3 回 half	18
	line1	8	なし	full entry	19
	line0	2	なし	half entry	31
	line1	2	なし	half entry	30
	line0	2	line1	half entry	32
	line1	2	line0	no entry	34
Chip8	line0	8	なし	full entry	20
	line1	8	なし	full entry	21
	line0	2	line1	no entry	33
	line1	2	line0	ringing	35
				なし	half entry
Chip19	line0	2	line1	no entry	38
	line1	2	line0	ringing	39



IB による ringing 効果？