

2021/08/03 INTT 日本語ミーティング

理研テストベンチでの Half entry 問題の検証 (5)

理研、RBRC

秋葉康之、中川格、糠塚元気

立教大学：

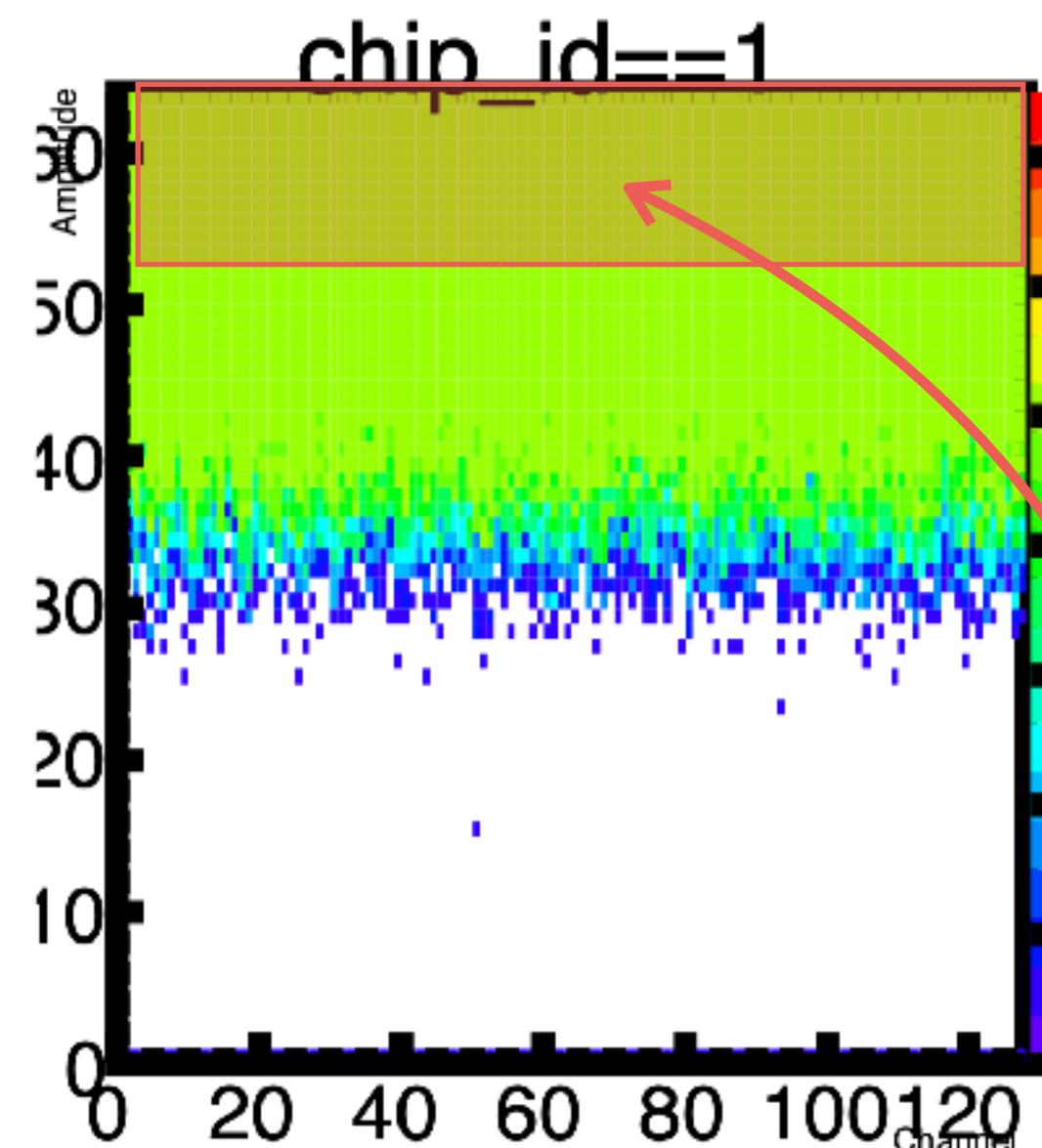
今井皓、中村友亮、中野元太

Calibration test 成功率

データ :

ladder	ROC	ROC port	Conv.	Bus	LVDS
PPB2-L4S	NW1			なし	1
	SW5	A1	L3	1.2m	2
		A2		Prepro3	3
		A3		1.2m	4
	NE2	C1	S8	Prepro4	5
		C2		1.2m	6
		C3		Prepro5	7

ROC	port	LVDS = 1 mA	2	3	4	5	6	7	8
NW1	A2		3						
NW1	C3		29		20				
SW5	A1		11						
SW5	A2	56	56		50				102
SW5	A3		3						
SW5	C1		3						
SW5	C2		4						
SW5	C3	115	122	115	215	115	15	15	185
7	A1		7						3
7	A2		5						
7	A3		5						
7	C1		17						
7	C2	3	57		53				53
7	C3		3						
NE2	A1		9						
NE2	A2	142	516	105	205	106	104	133	208
NE2	C1	224	253	223					226



チップを half entry とする条件:
 $12700 \times 40\% < \text{entry} < 12700 \times 60\%$

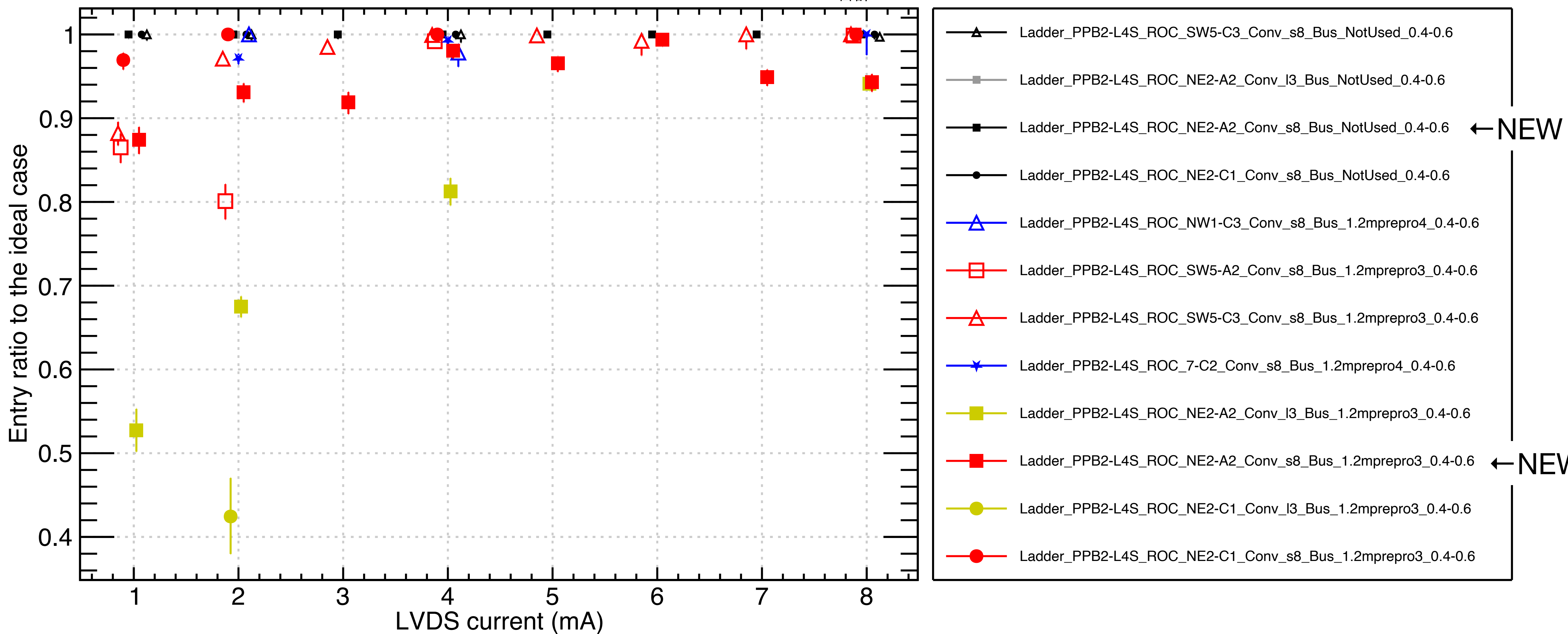
チップの全 entry の数え方:
 $12700 \times 40\% < \text{entry}$

Calibration 成功率 :
 $\text{half entry} / \text{全 entry}$

0 < ch < 128 (ノイズの多い ch0 は捨てる)
 53 < ampl < 65 (しきい値から遠い領域のみ選択)
 → 127 × 10 × 10 = 12700 イベント/チップ

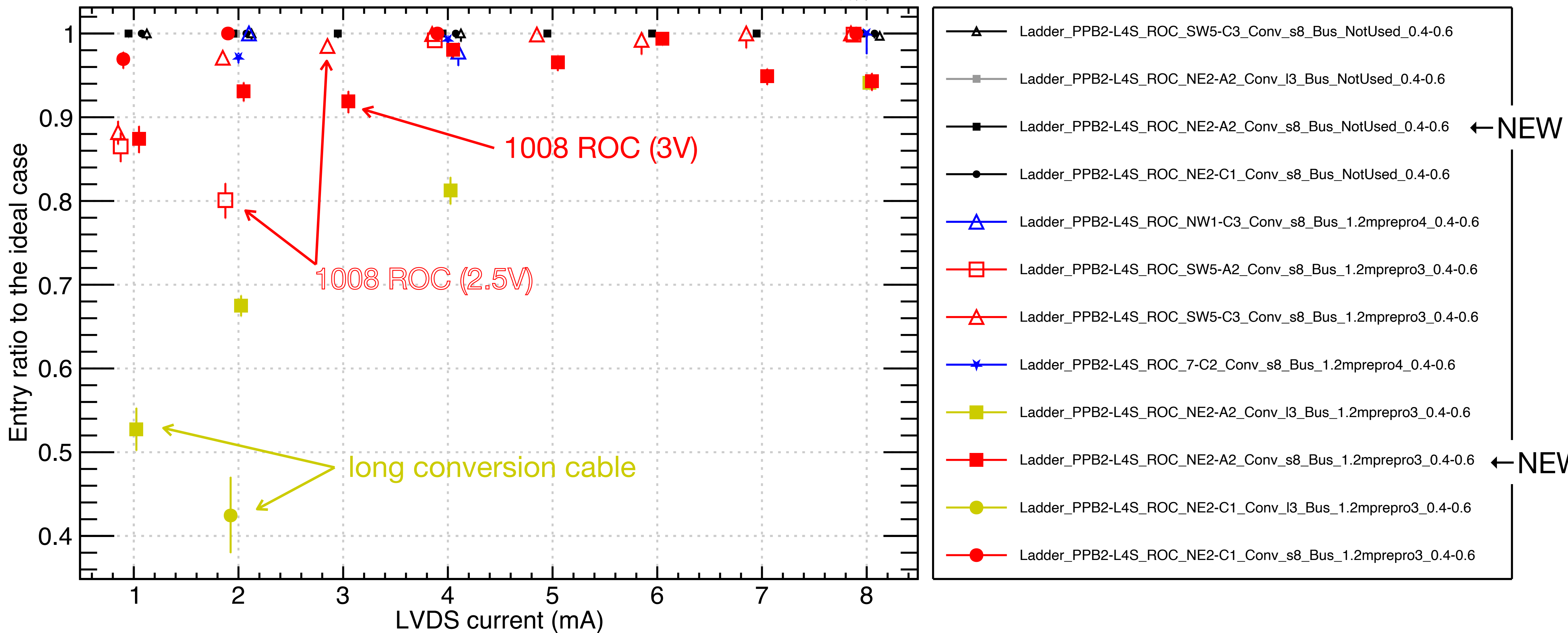
Half entry でない割合

Chip ratio: $\frac{\overset{\text{合計}}{[0.4, 1]} - \overset{\text{half entry}}{[0.4, 0.6]}}{\underset{\text{合計}}{[0.4, 1]}}$



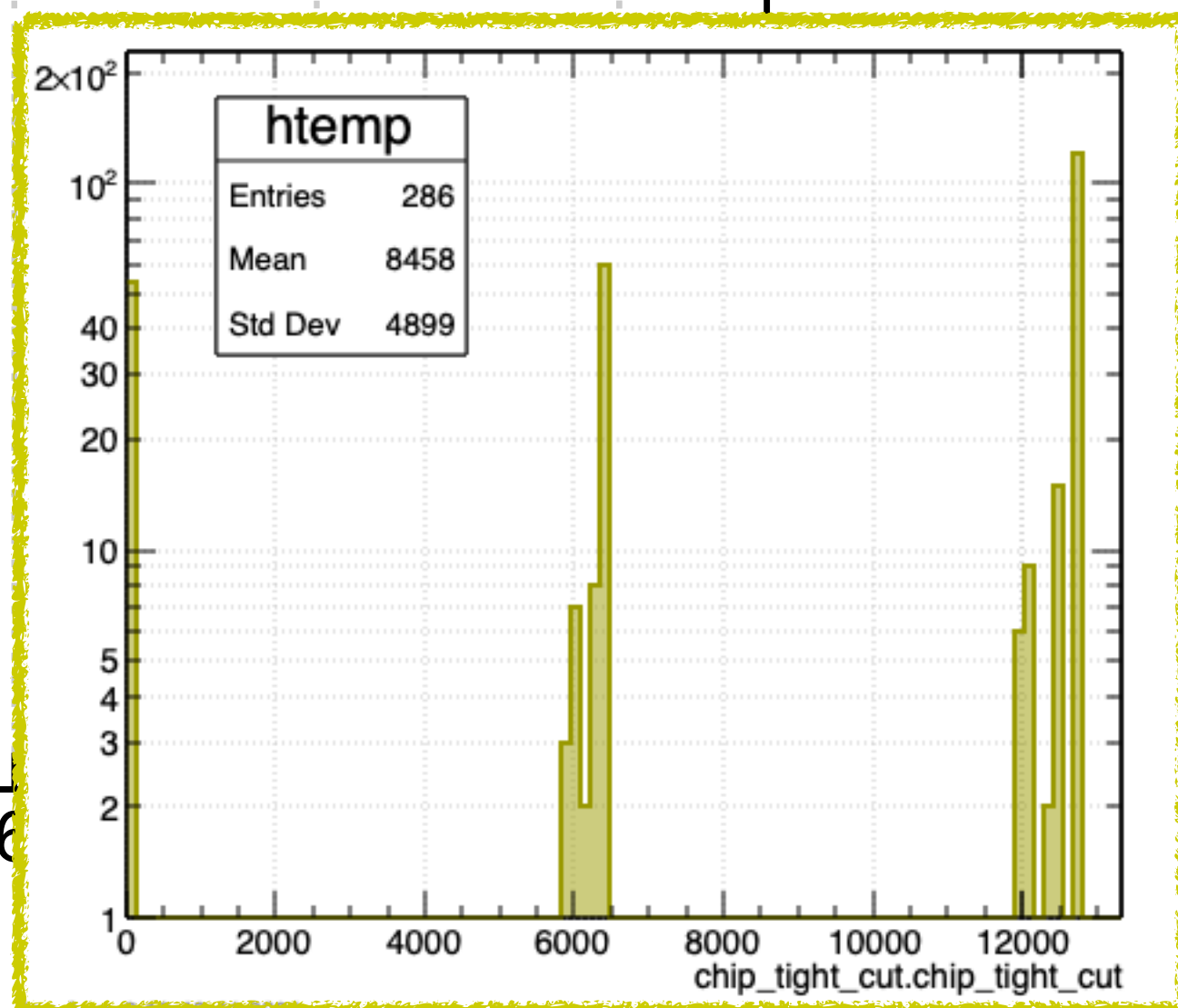
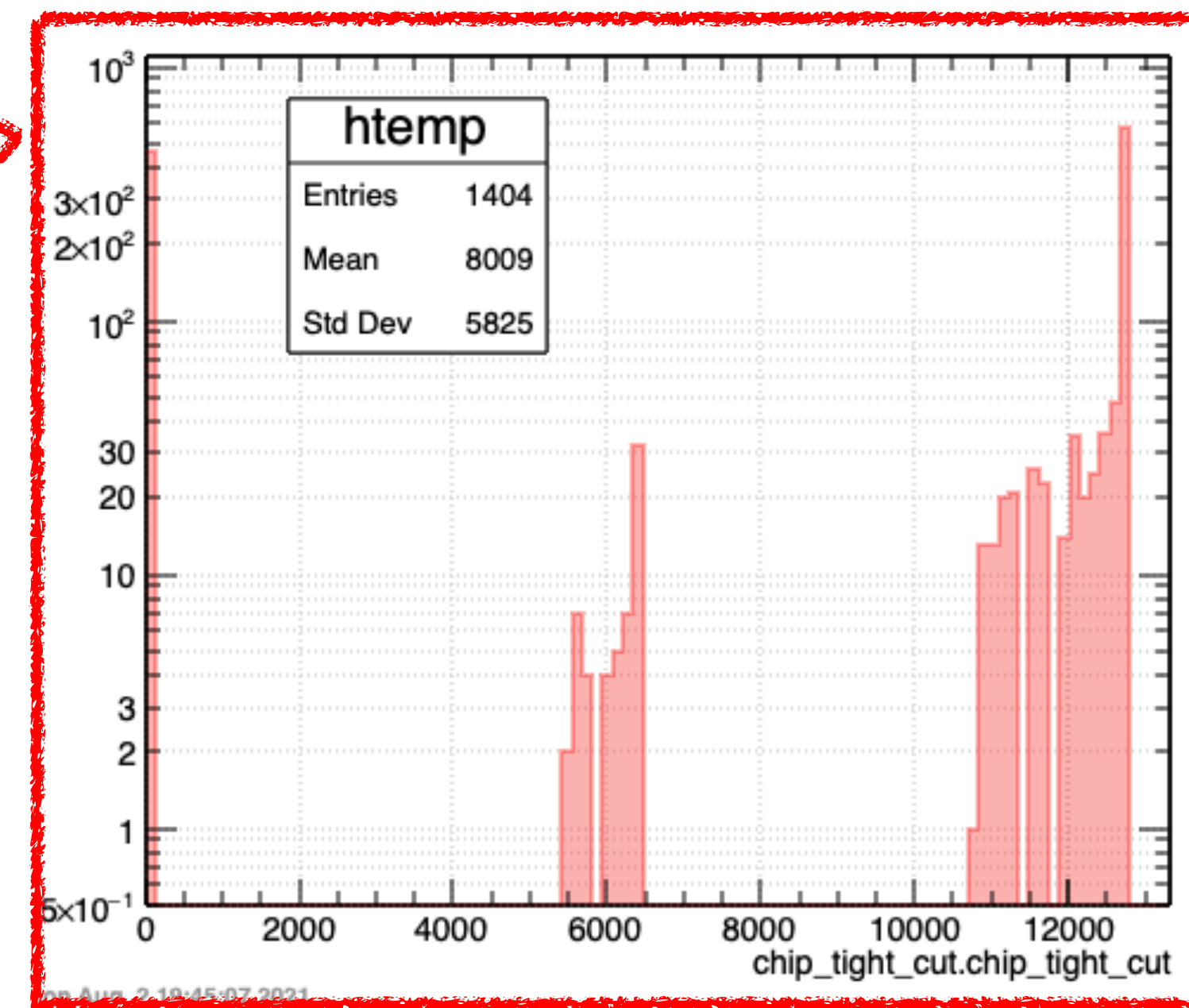
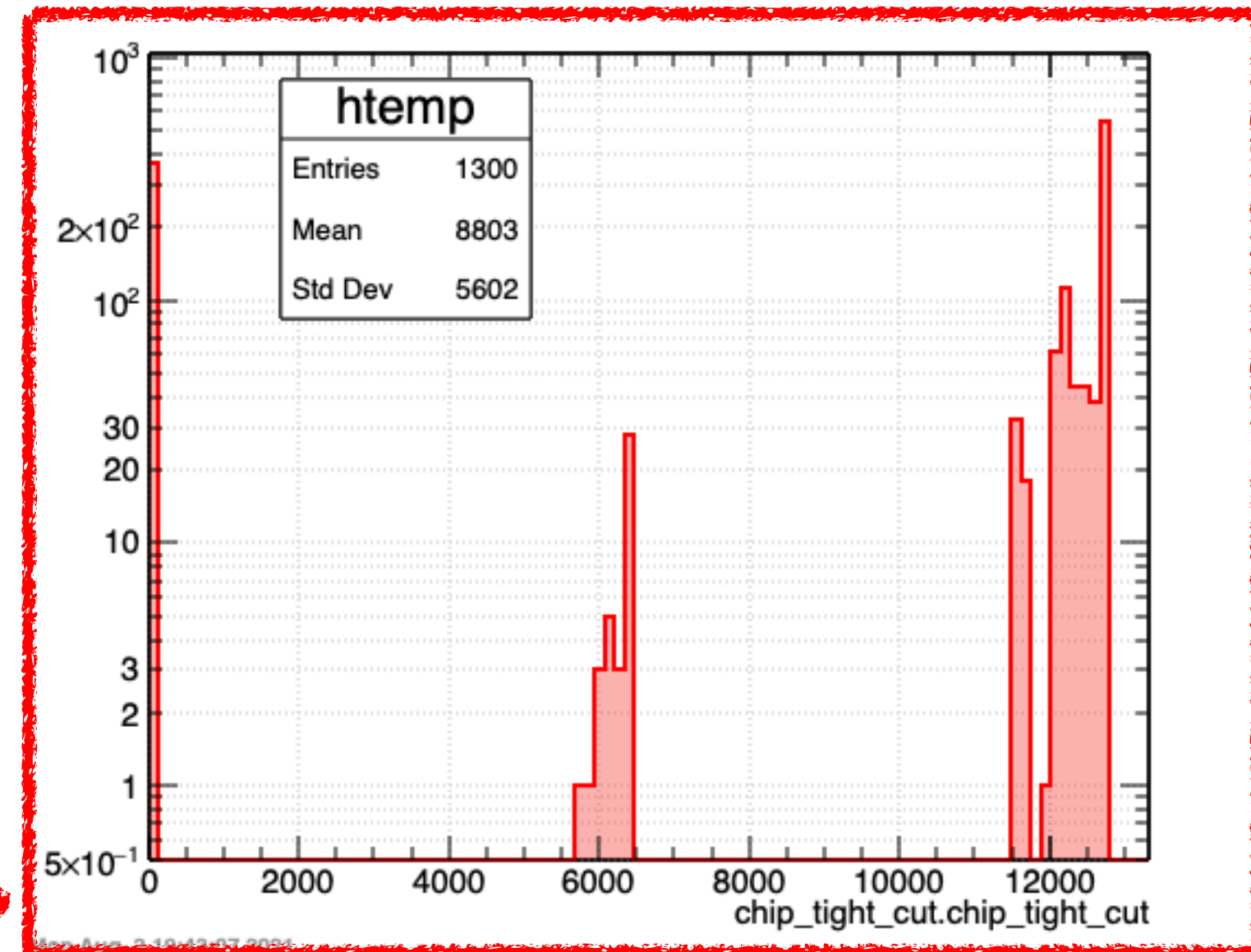
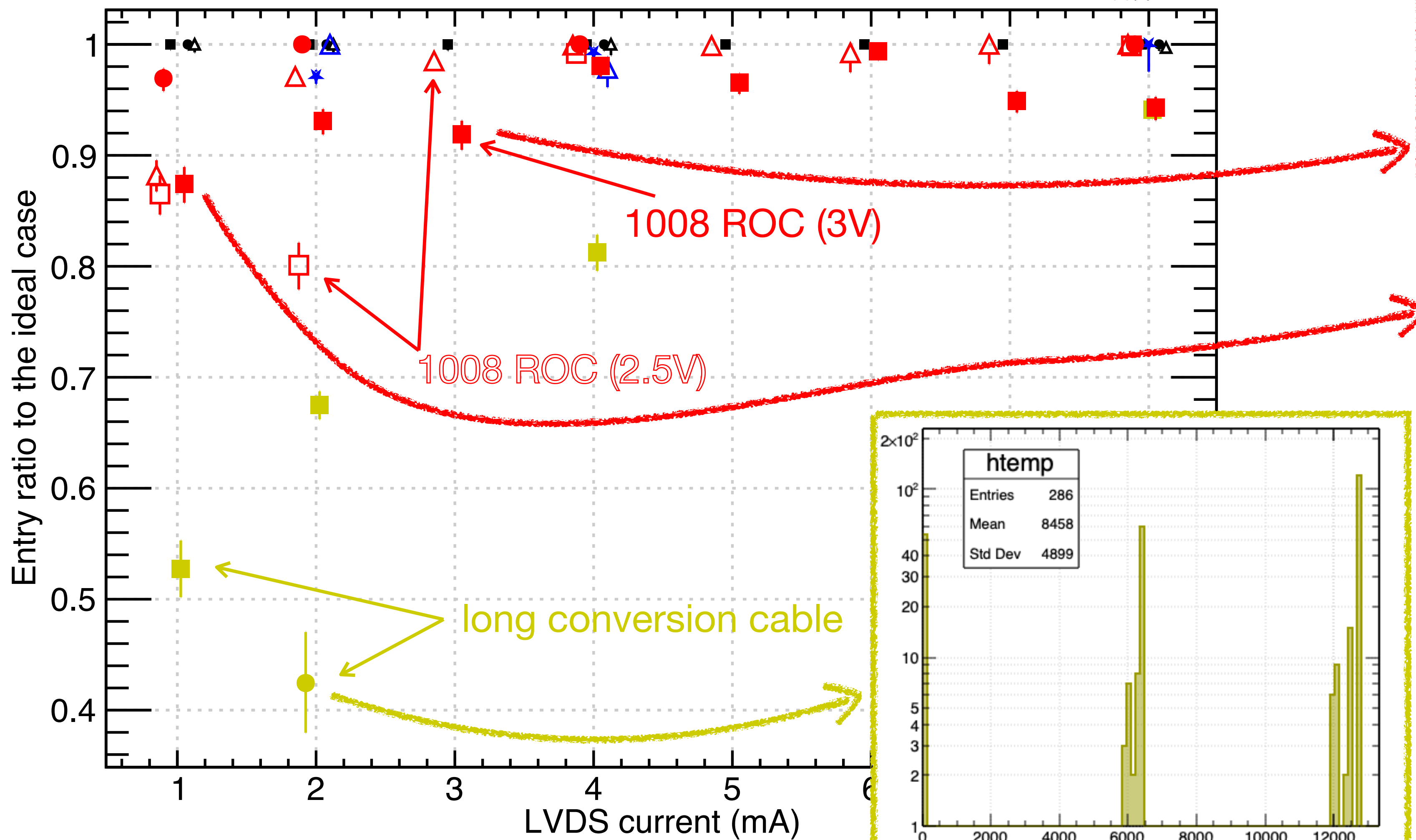
Half entry でない割合

Chip ratio: $\frac{\overset{\text{合計}}{[0.4, 1]} - \overset{\text{half entry}}{[0.4, 0.6]}}{\underset{\text{合計}}{[0.4, 1]}}$



Half entry でない割合

Chip ratio: $\frac{\overset{\text{合計}}{[0.4, 1]} - \overset{\text{half entry}}{[0.4, 0.6]}}{\underset{\text{合計}}{[0.4, 1]}}$

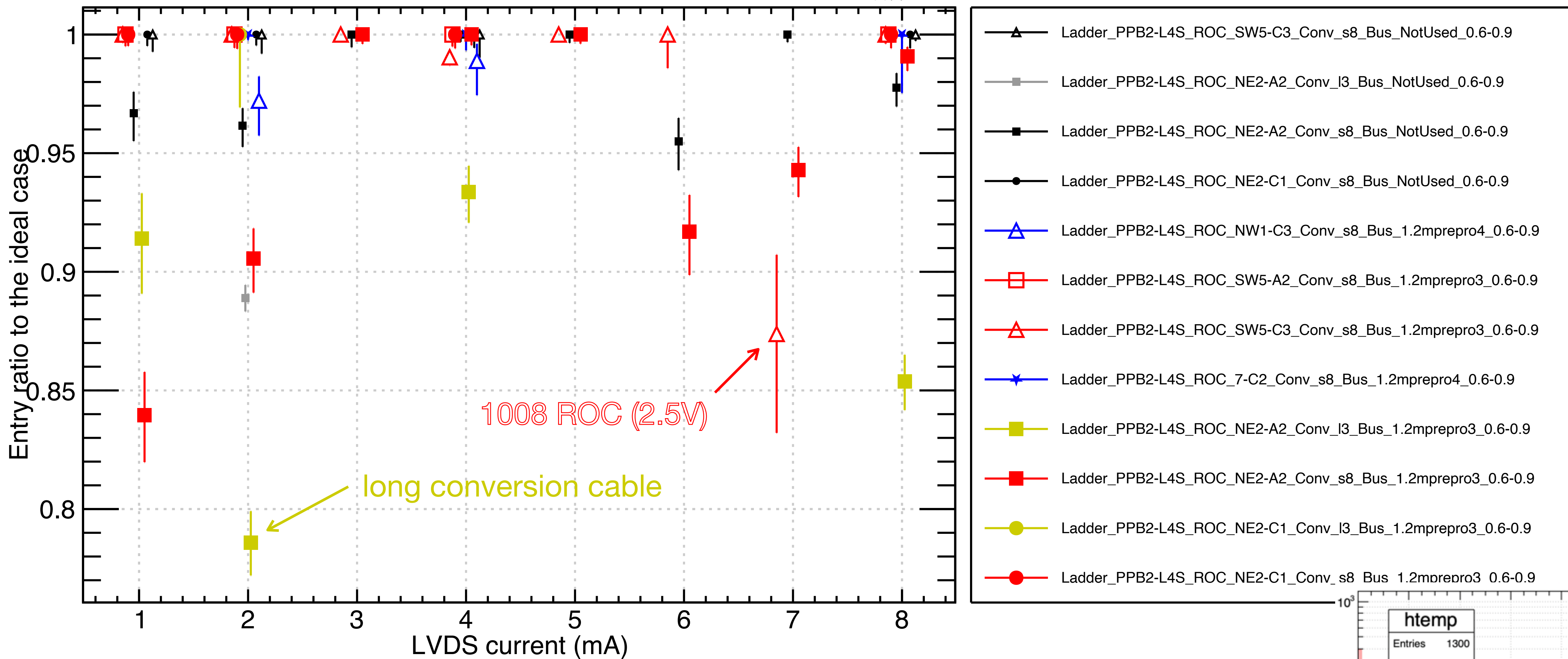


データ量が 60%~90% かどうか

$$\text{Chip ratio: } \frac{\overset{\text{合計}}{[0.6, 1]} - \overset{\text{half 以上 90\% 未満}}{[0.6, 0.9]}}{\underset{\text{合計}}{[0.6, 1]}}$$

データ量が 60%~90% かどうか

Chip ratio: $\frac{\overset{\text{合計}}{[0.6, 1]} - \overset{\text{half 以上 90% 未満}}{[0.6, 0.9]}}{\underset{\text{合計}}{[0.6, 1]}}$



データ量が 60%~90% かどうか

Chip ratio: $\frac{\overset{\text{合計}}{[0.6, 1]} - \overset{\text{half 以上 90\% 未満}}{[0.6, 0.9]}}{\underset{\text{合計}}{[0.6, 1]}}$

