

RHIC-sPHENIX実験における INTTシリコンモジュールの性能評価 ビームテスト実験のデータ解析

2020.2.14 修士論文発表会

奈良女子大学大学院

高エネルギー物理学研究室

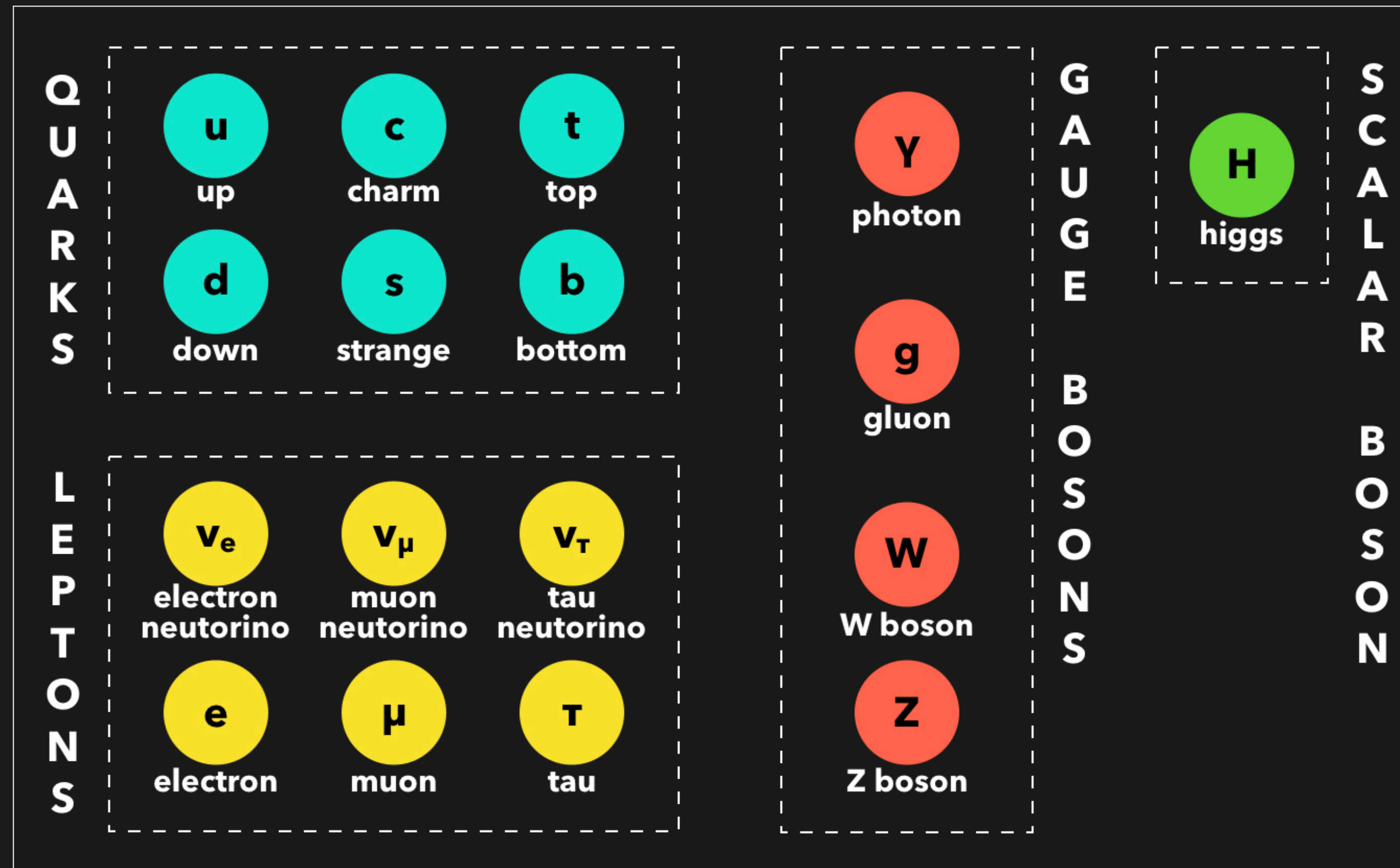
鈴木 彩香



OUTLINE

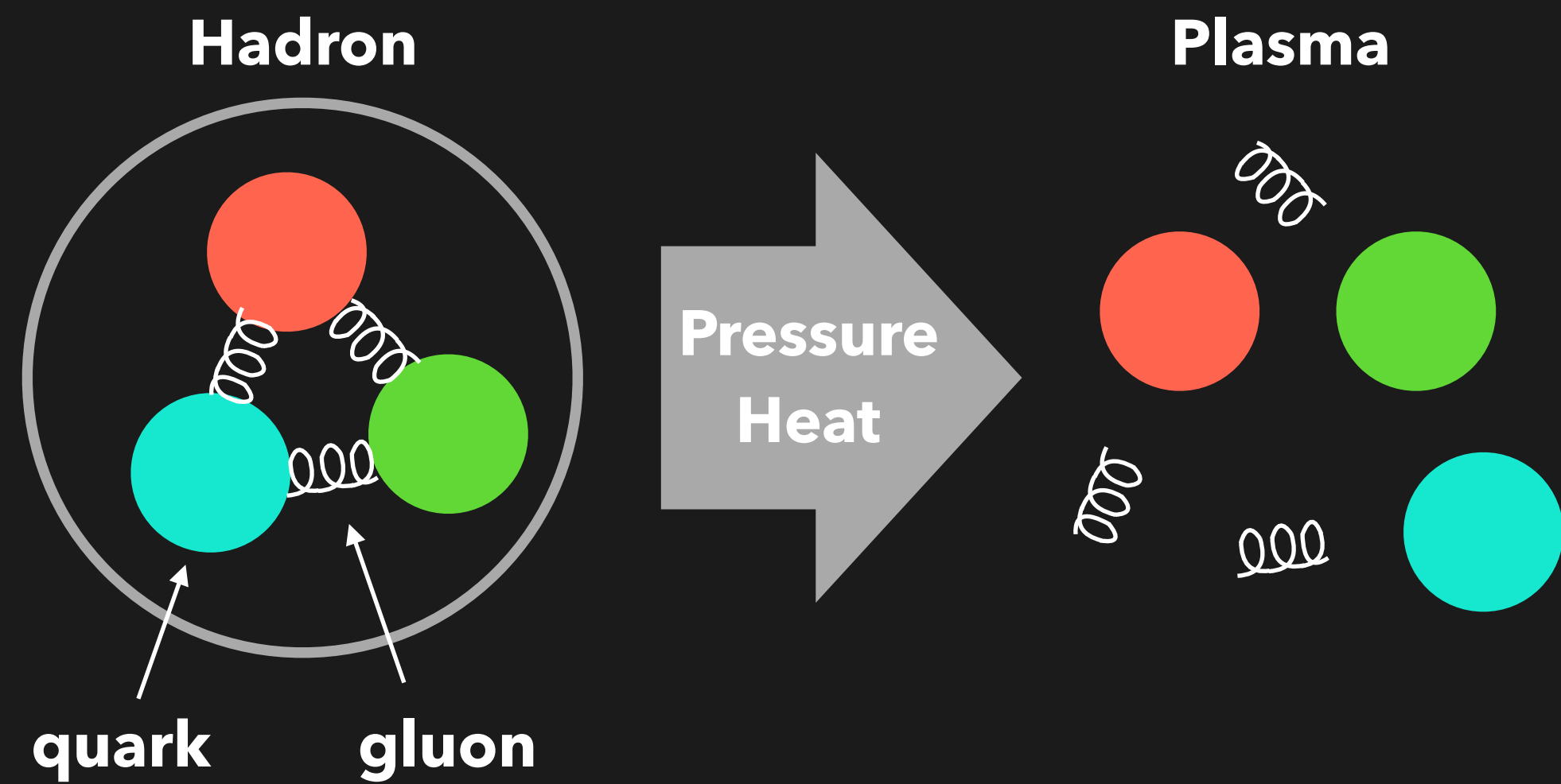
- **イントロダクション** 素粒子標準モデル, クォークグルーオンプラズマ, 重イオン衝突実験
- **INTTシリコン検出器** モチベーション, シリコンモジュールの構造
- **ビームテスト実験でのシリコンモジュールの性能評価**
- **検出効率測定** 検出効率測定方法, 結果
- **議論** シミュレーションでの検出効率導出, 前年度データと比較, 非検出効率の原因追求
- **まとめと今後の展望**

STANDARD MODEL

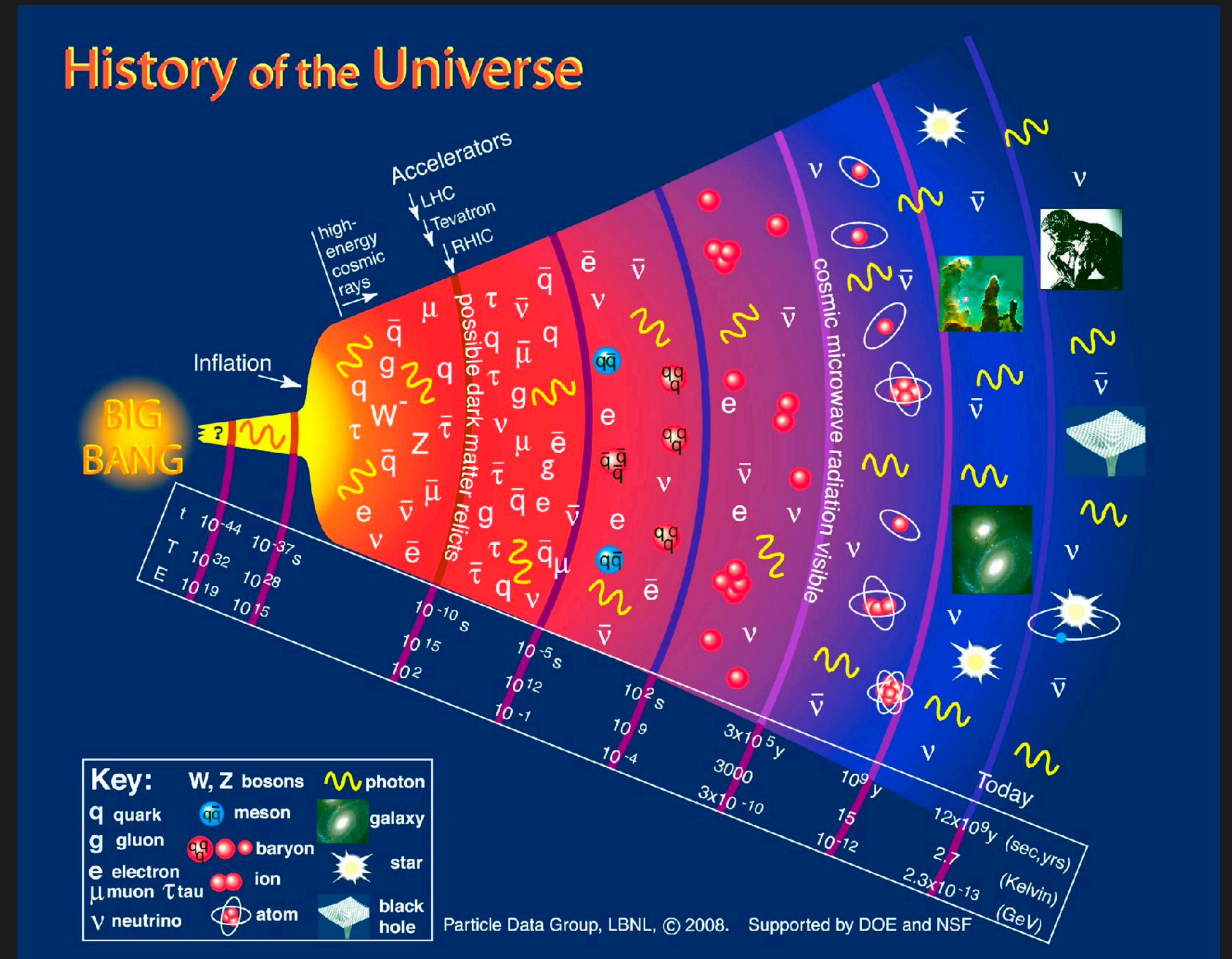


陽子(u,u,d)や中性子(u,d,d)などのハドロンはクォークとグルーオンから構成されるが
クォークやグルーオンは単体で観測できない (ハドロン内の閉じ込め)

QUARK GLUON PLASMA



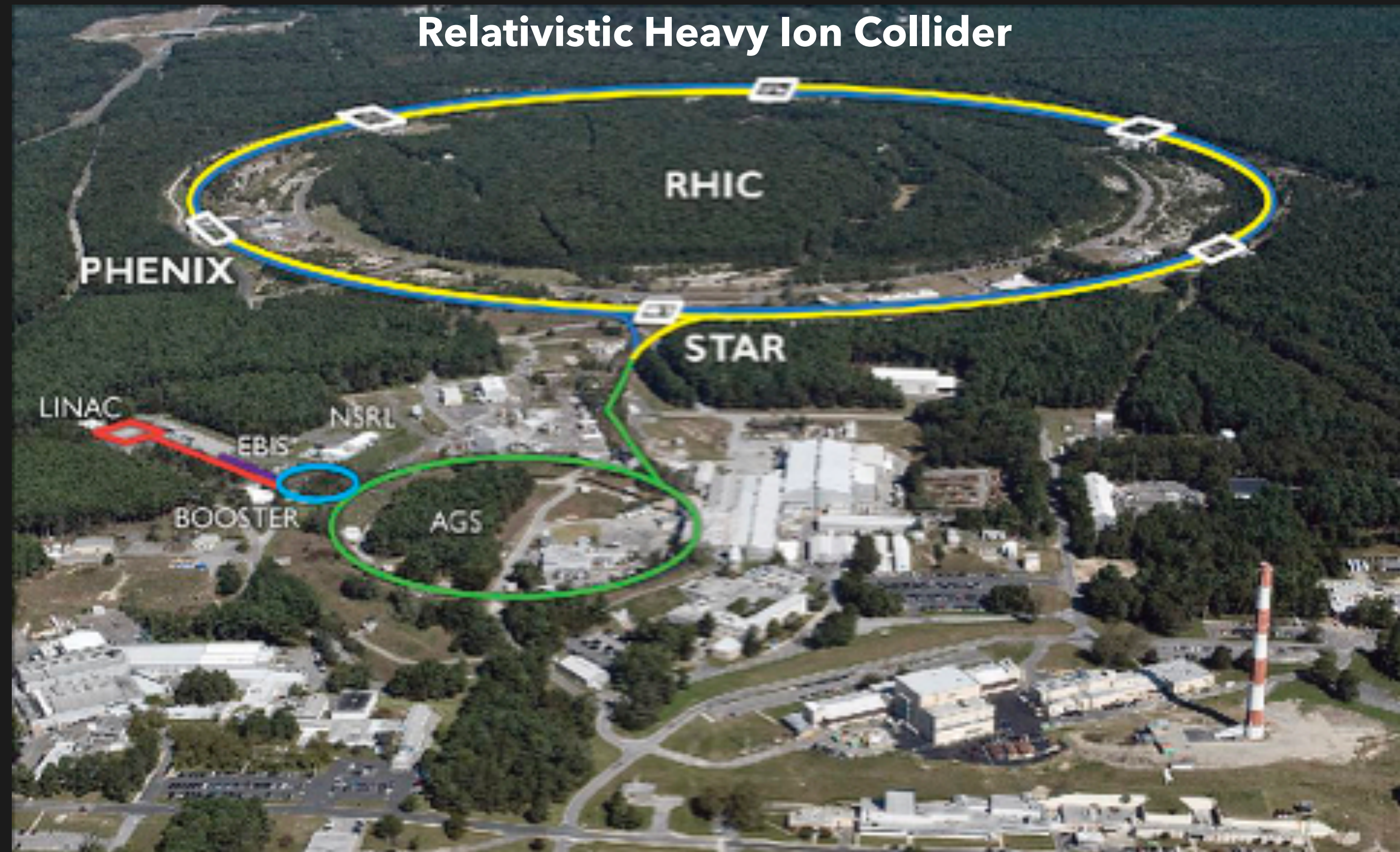
クォークとグルーオンは高温・高密度で
ハドロン内の閉じ込めから解放される
→ クォークグルーオンプラズマ (QGP)



QGPは宇宙の始まりであるビッグバンから数十 μ s後に存在した

→ 宇宙初期状態を理解するためQGPの性質を解明する

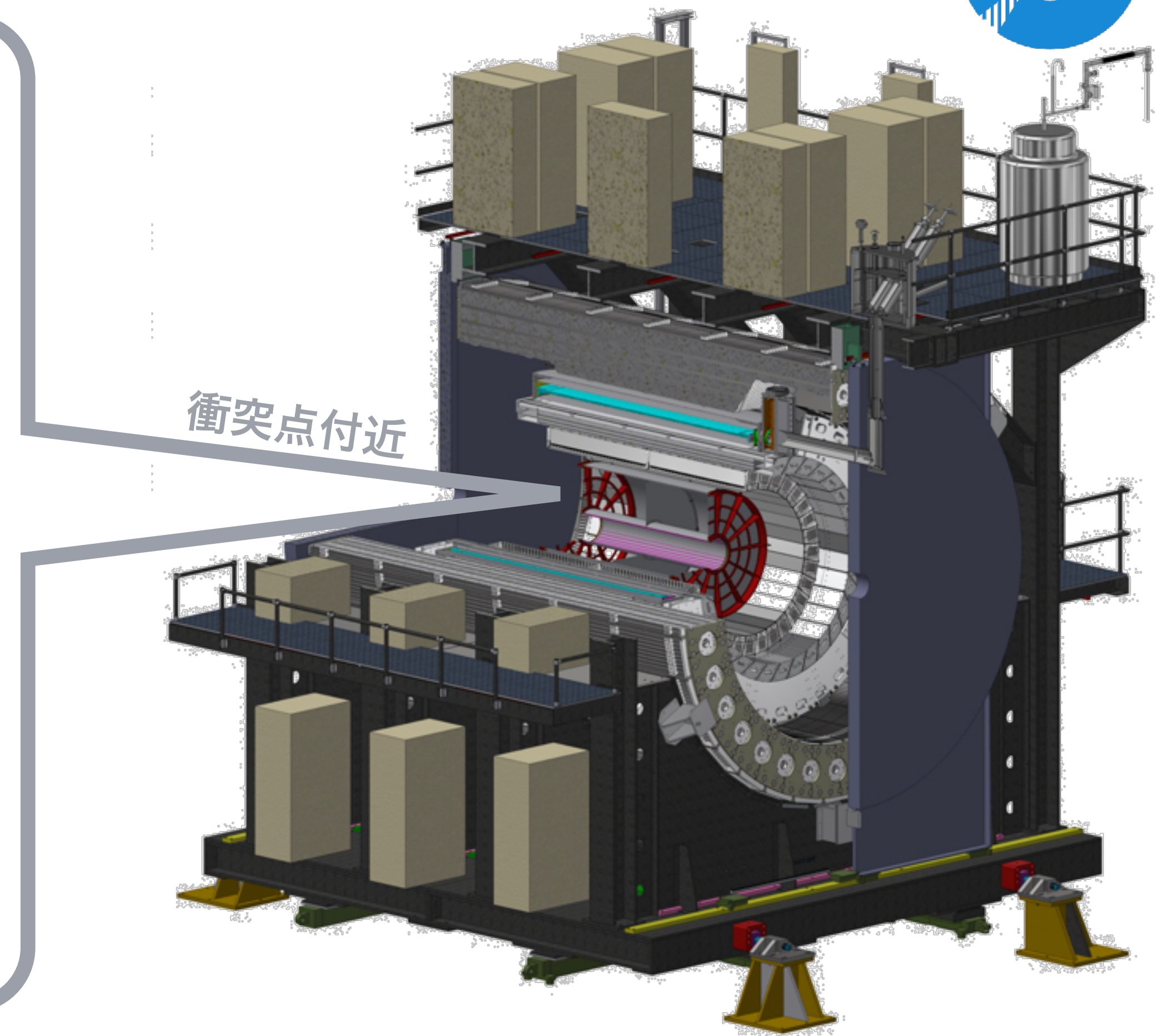
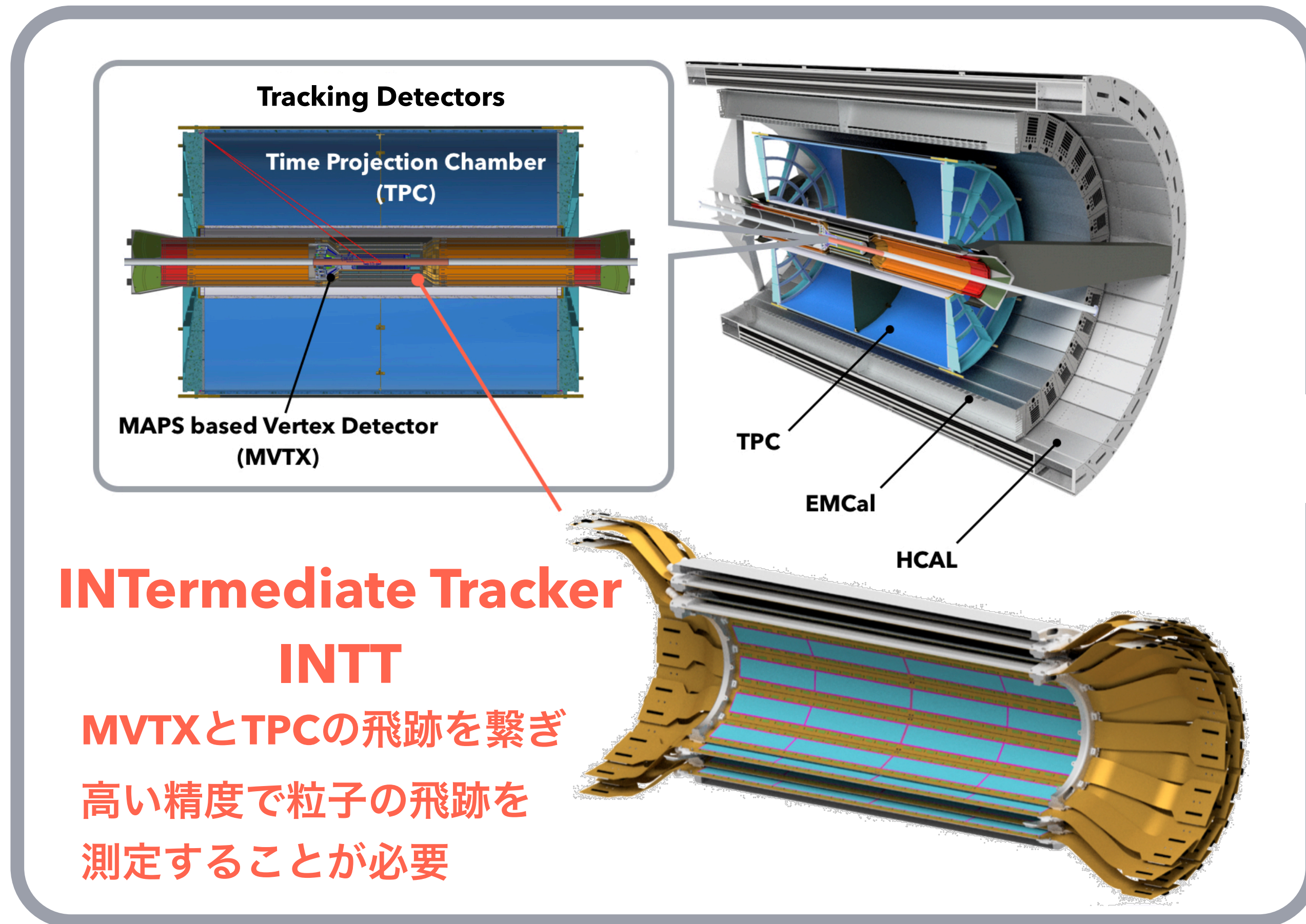
HEAVY ION COLLISION EXPERIMENT



QGPの実現には高温・高密度状態を作ることが必要

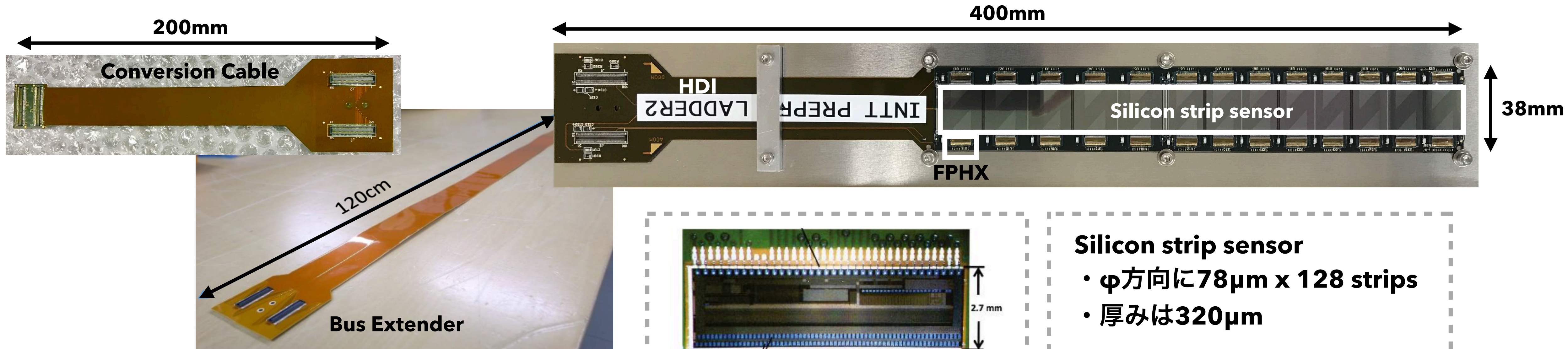
→重い原子核同士を光速近くまで加速し正面衝突させることで再現（重イオン衝突型加速器）

INTERMEDIATE TRACKER : INTT AT RHIC-SPHENIX



INTT検出器の性能を評価することが重要

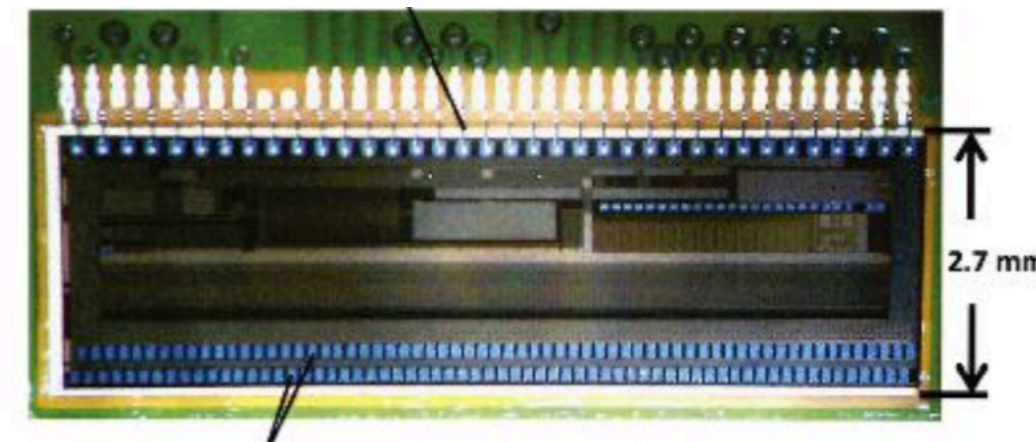
INTT SILICON MODULE



INTTシリコンモジュールは

- Silicon strip sensor
- FPHX read out chip
- High Density Interconnect (HDI)
- Bus Extender + Conversion Cable

から構成される

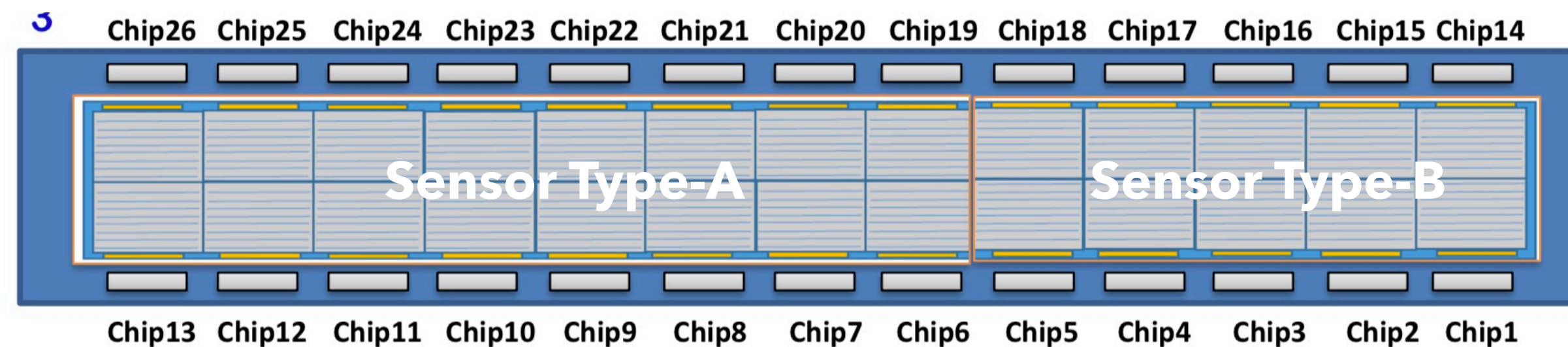
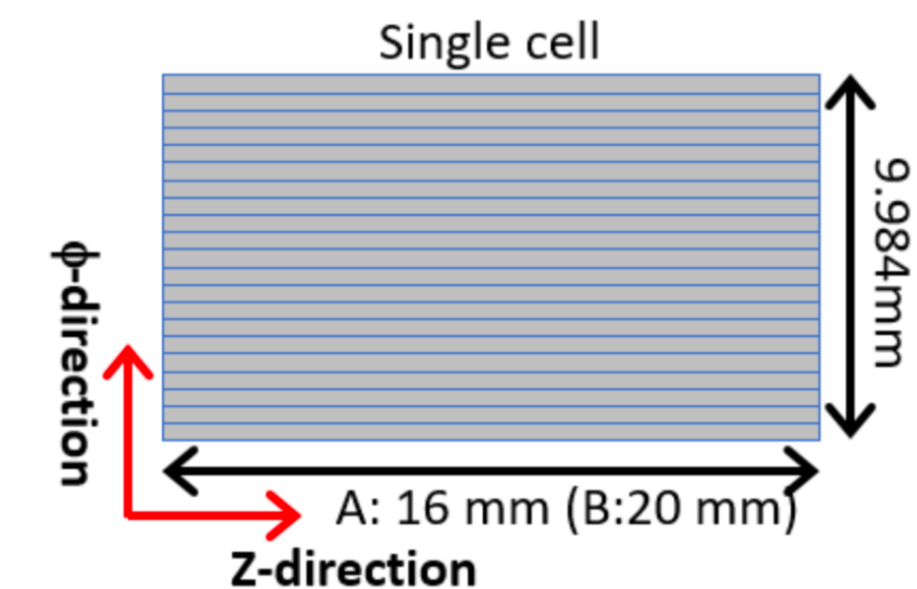


FPHX chip

- 128ch読み出しチャンネル
- 3bit ADC出力, 8bit DAC設定

Silicon strip sensor

- φ方向に78μm x 128 strips
- 厚みは320μm



BEAM TEST AT FERMILAB

June, 2019

ビームテスト実験の目的

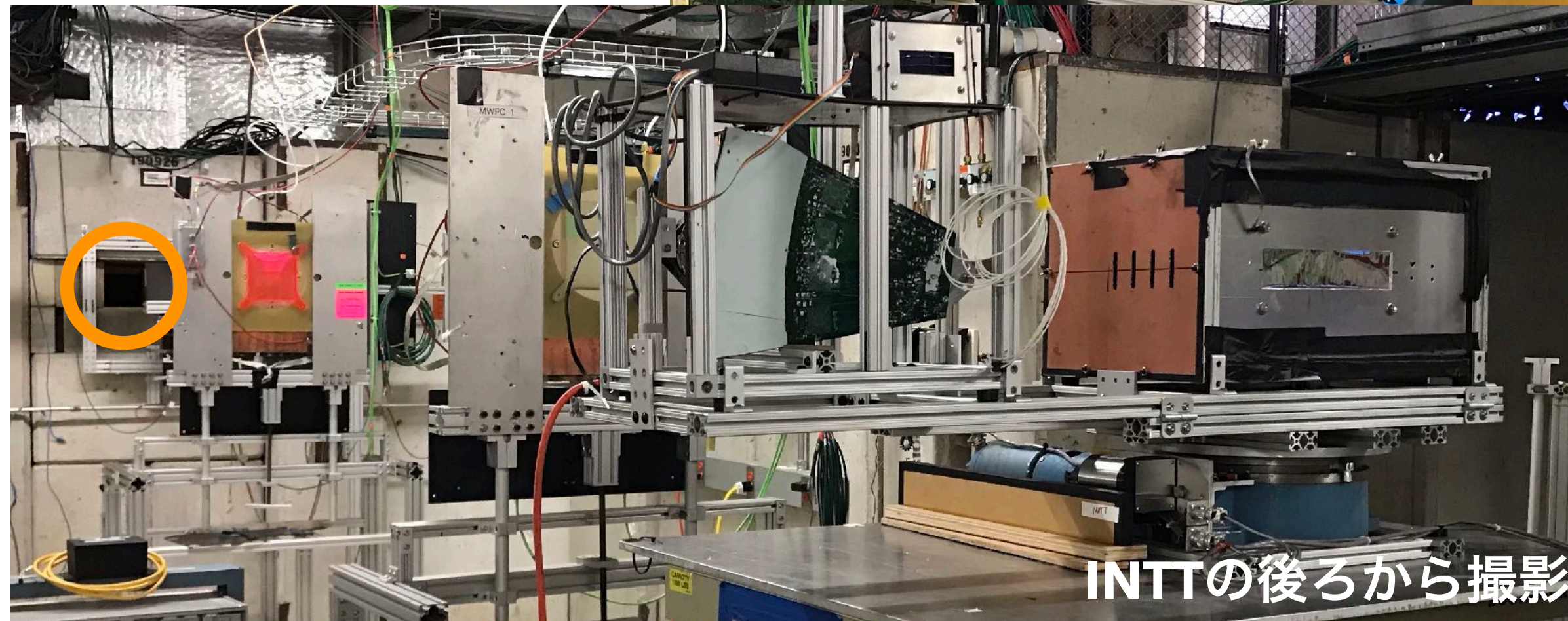
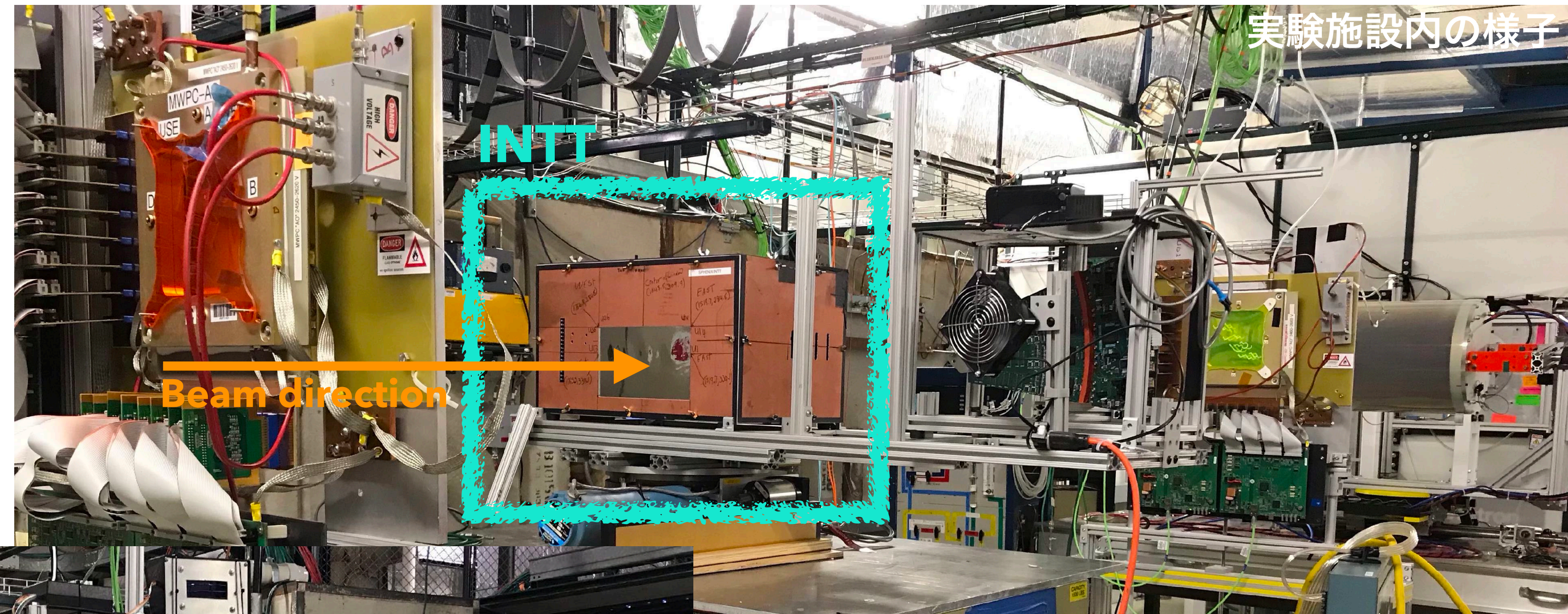
INTTシリコンモジュールの性能評価

- 検出効率測定
- 通過荷電粒子のエネルギー損失測定
- Bus Extenderを用いた測定

BEAM TEST AT FERMILAB

Beam information

- 120 GeV 陽子ビーム
- 1分毎に4秒間発射
- 幅(σ)は約1cm

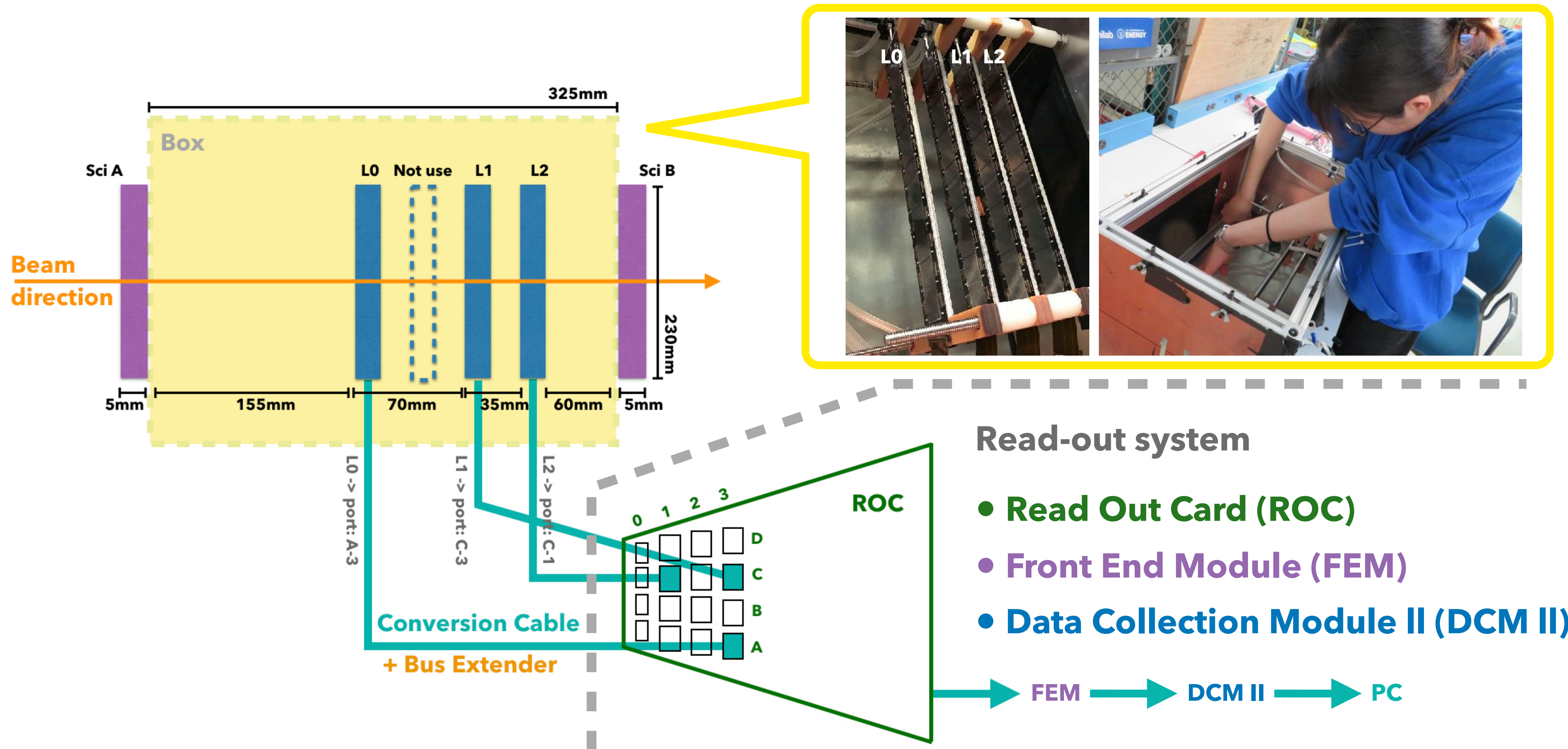


Beam time: 6/17 - 22



INTT Group

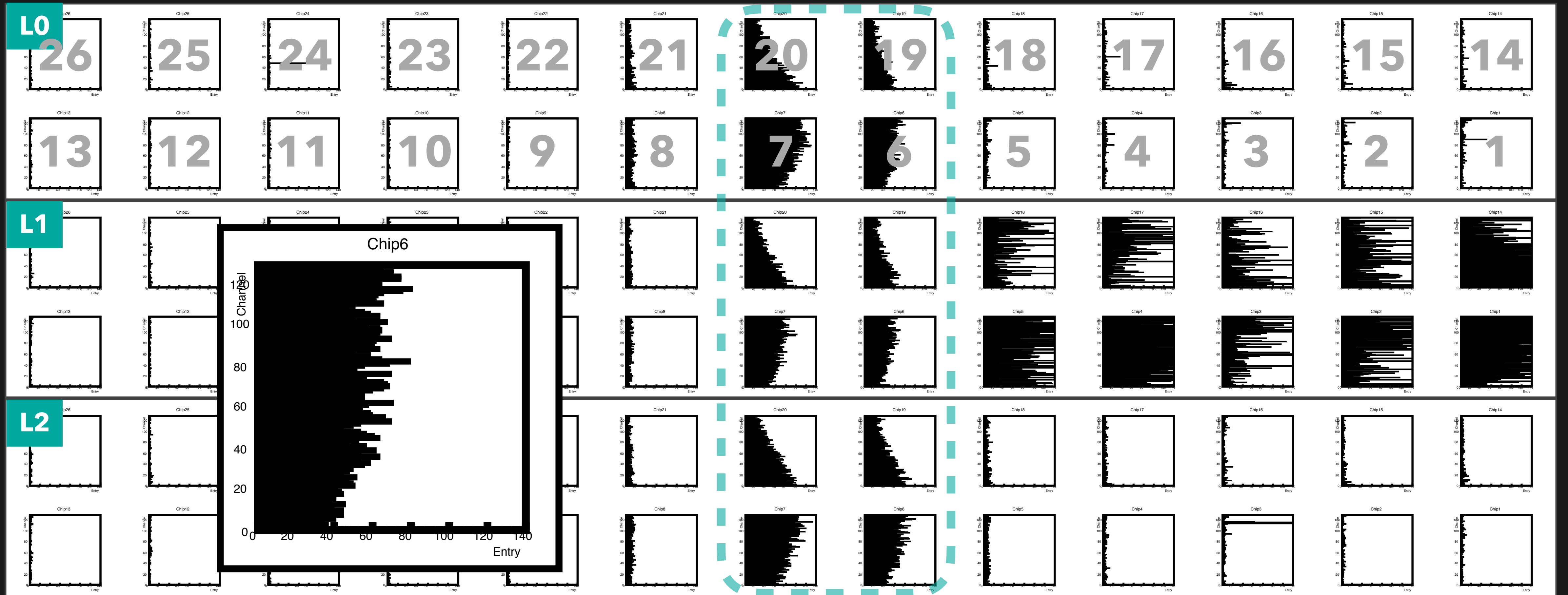
BEAM TEST SETUP



L0, L1, L2の検出効率を求めシリコンモジュールの性能を評価する
 * Layerと呼ぶ

HIT CHANNEL DISTRIBUTION

シリコンセンサーのどこにビームが当たったかチップ毎のヒットチャンネル分布で確認



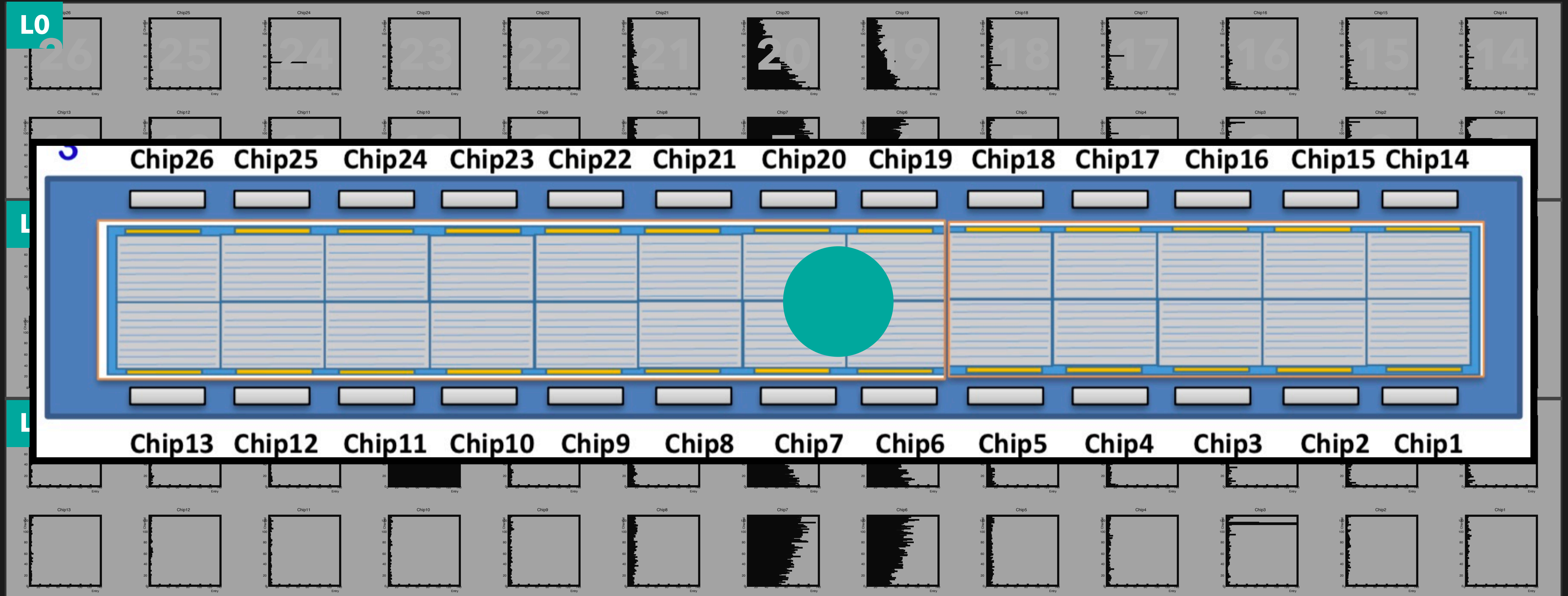
縦軸：チャンネル番号, 横軸：エントリー (最大140)

L0, L1, L2どれもChip 6, 7, 19, 20にヒットが集中している

w/o Bus Extender
全エントリー: 約500K

HIT CHANNEL DISTRIBUTION

シリコンセンサーのどこにビームが当たったかチップ毎のヒットチャンネル分布で確認



L0の検出効率の導出方法について説明する

HOW TO CALCULATE THE EFFICIENCY

L0の検出効率の定義

4 chips around beam spot

$$\text{L0 efficiency} = \frac{N(\text{L0 hit} \& \text{L1 hit} \& \text{L2 hit})}{N(\text{L1 hit} \& \text{L2 hit})}$$

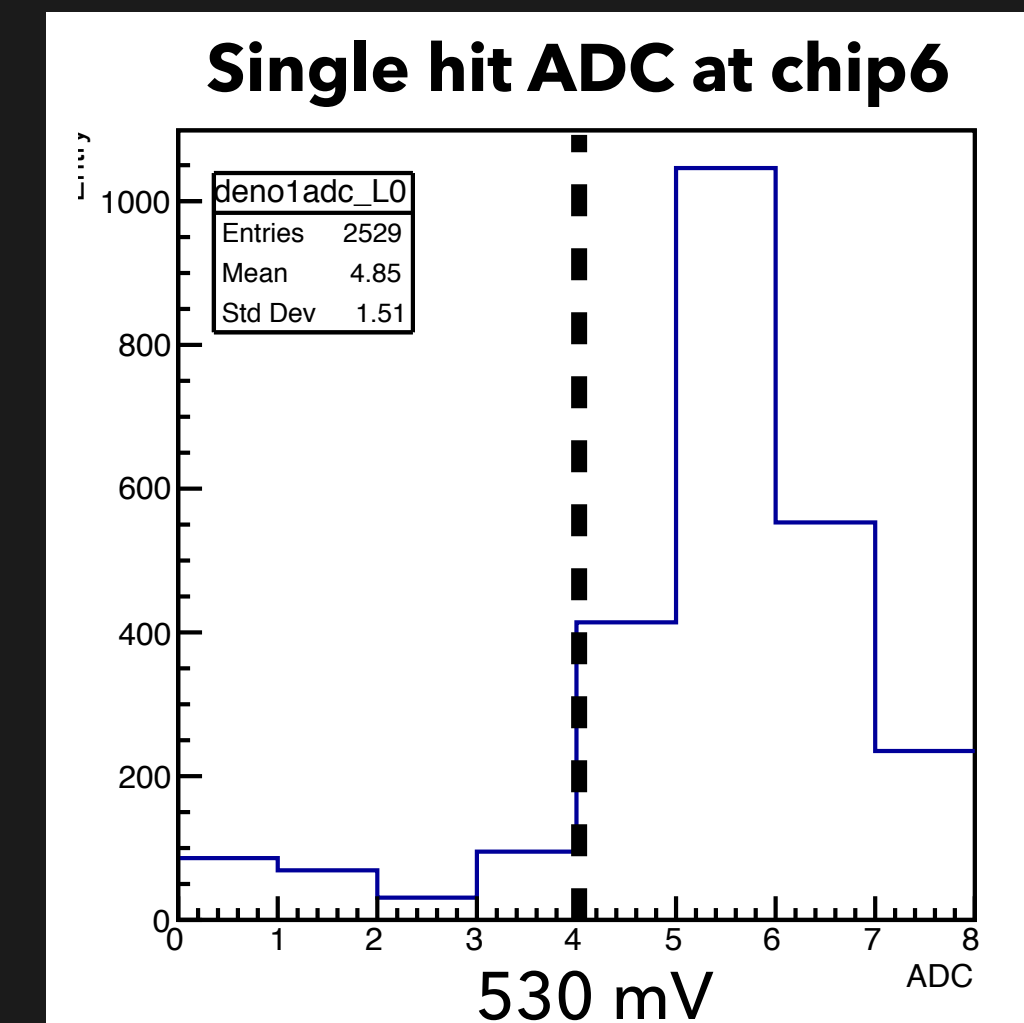
chip6, single hit, ADC ≥ 4

< ノイズを減らすため各Layerへヒットの要求をする >

- L1, L2 : chip6でのADC ≥ 4のシングルヒット

↳ 1イベント内で1エントリー/チップ
↳ ADC4: DAC4閾値 = 530 mV

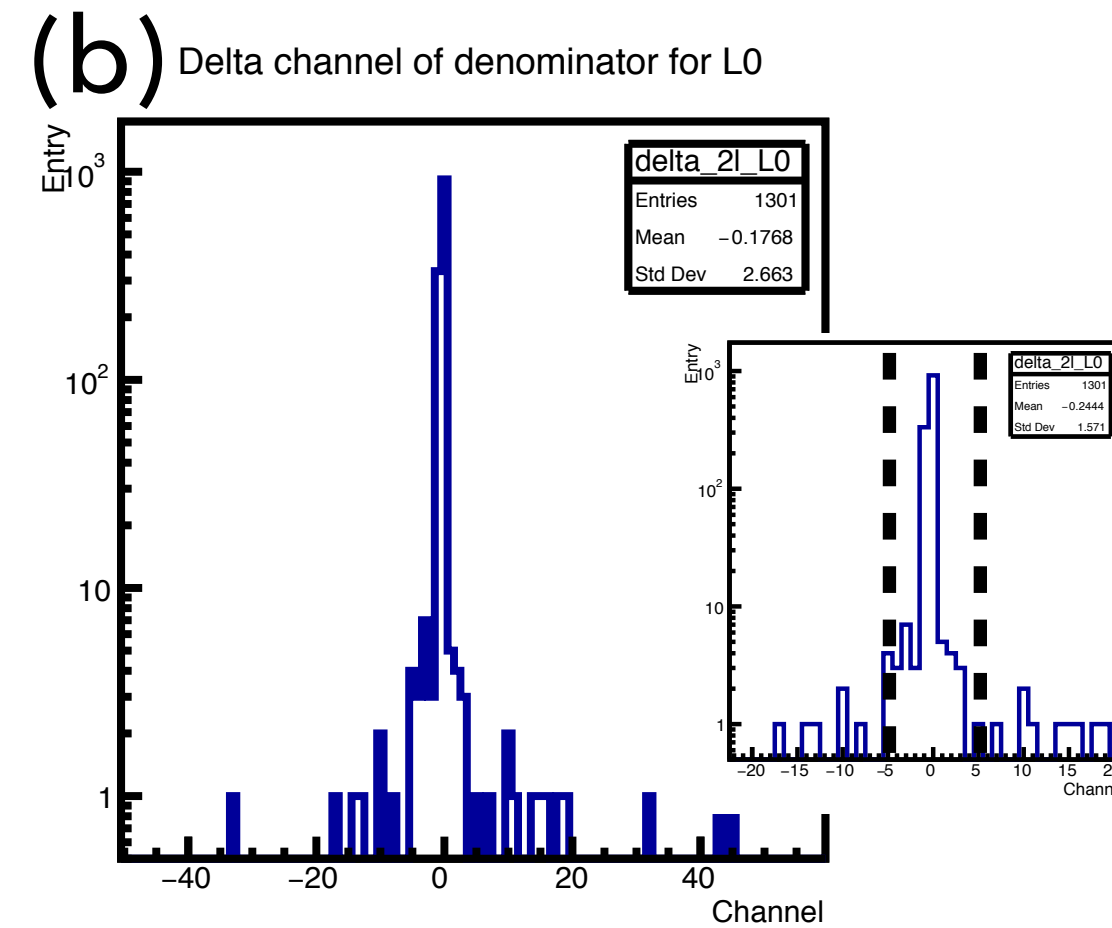
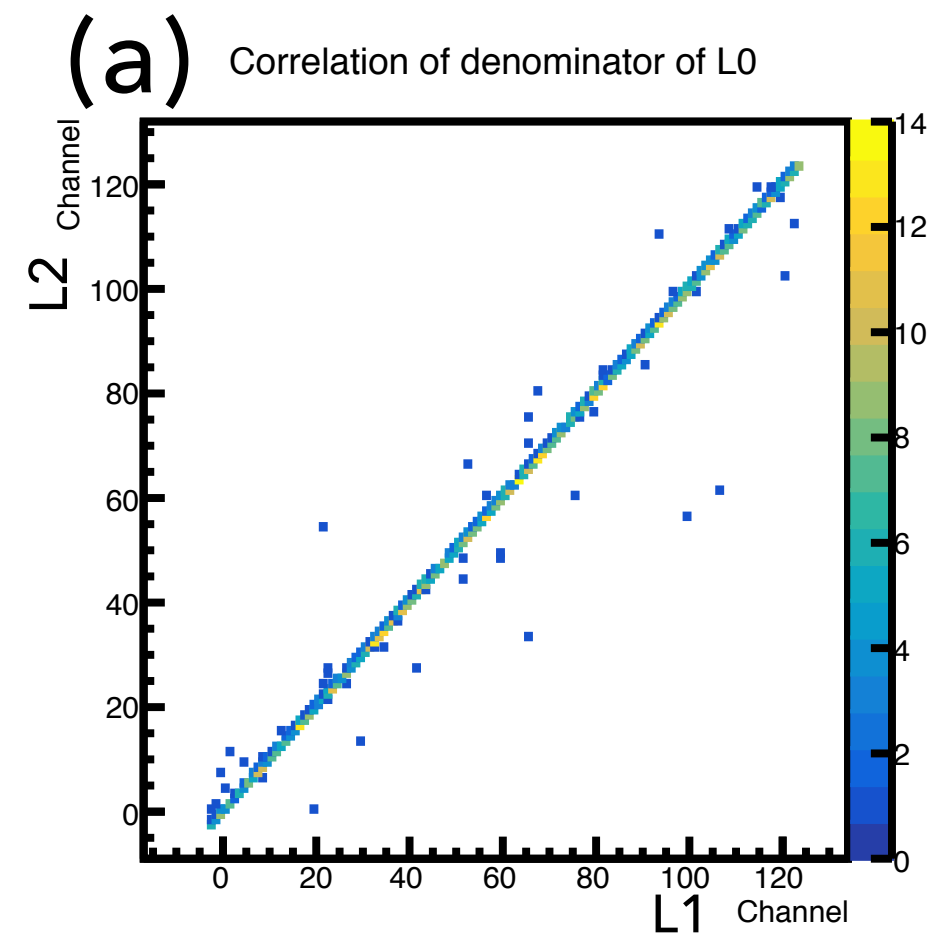
- L0 : ビームスポット付近のchip 6, 7, 19, 20



EVENT SELECTION

L0, L1, L2の各ヒットが同一トラックであることを保証するためイベント選定を行う

チャンネル相関分布



(a) L1, L2のヒットチャンネル相関あり

(b) L1, L2のヒットチャンネル差を計算

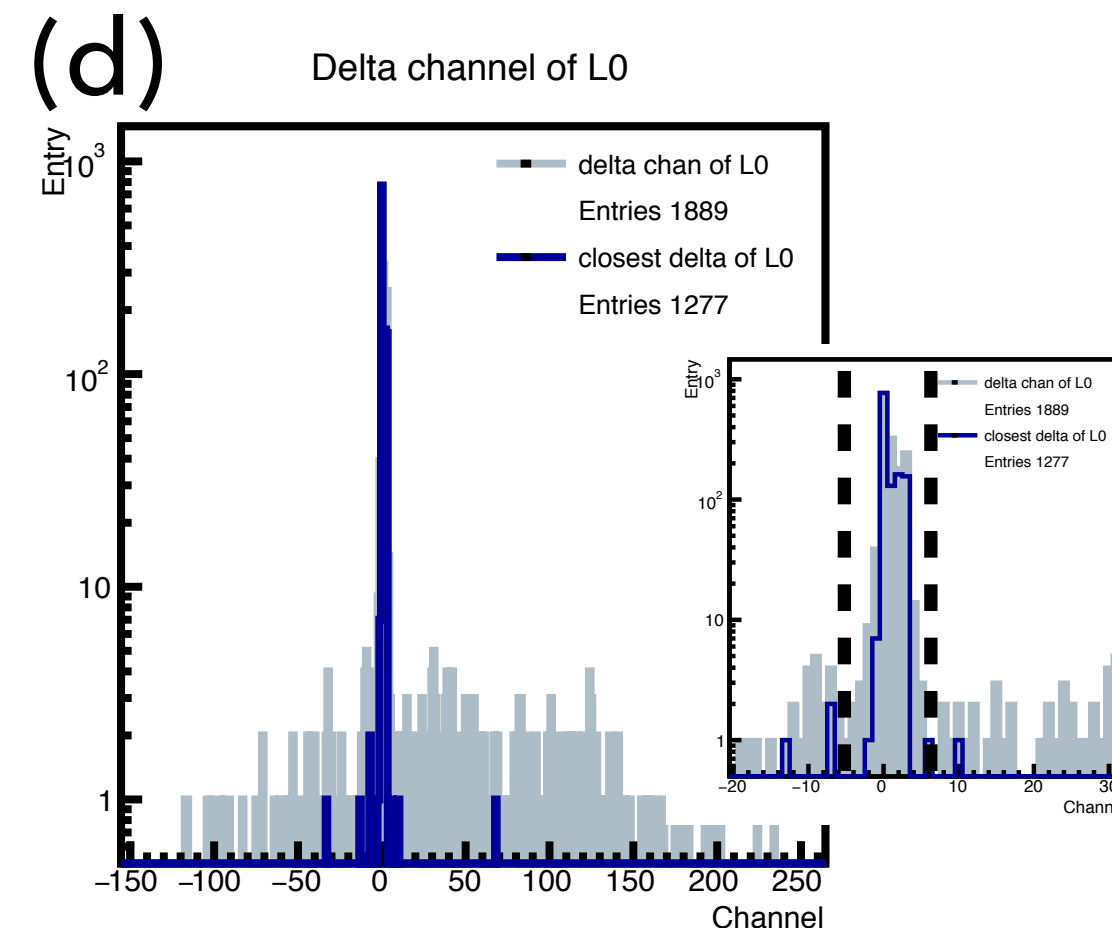
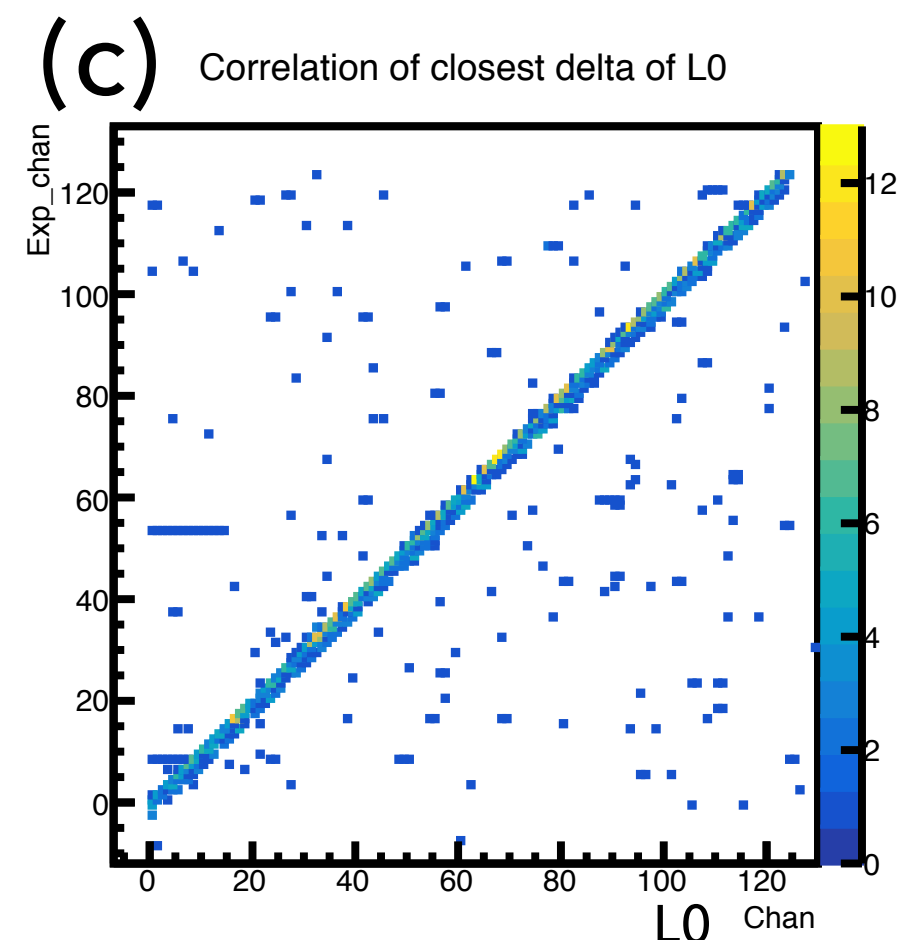
→ 差が ± 5 chan 未満のイベントを選択 → 分母

L1, L2のヒット位置からL0のヒット位置を予想

$$L0_{exp} = L1 \times 3 - L2 \times 2$$

(c) L0予想値とL0実測値のチャンネル相関あり

(d) 実測値と予想値の差を計算



→ 1イベント内で差が最も小さいヒットを選択

→ 最小差のうち ± 5 chan 未満のイベントを選択

→ 分子

RESULTS AND ISSUES

$$\text{L0 efficiency} = \frac{\text{N (L0 hit \& L1 hit \& L2 hit) : 1226 events}}{\text{N (L1 hit \& L2 hit) : 1277 events}}$$

$$= 96.0 \pm 0.6 \%$$

誤差は二項分布より

同様にして

$$\text{L1 efficiency} = 65.6 \pm 1.1 \%$$

$$\text{L2 efficiency} = 85.9 \pm 1.0 \%$$

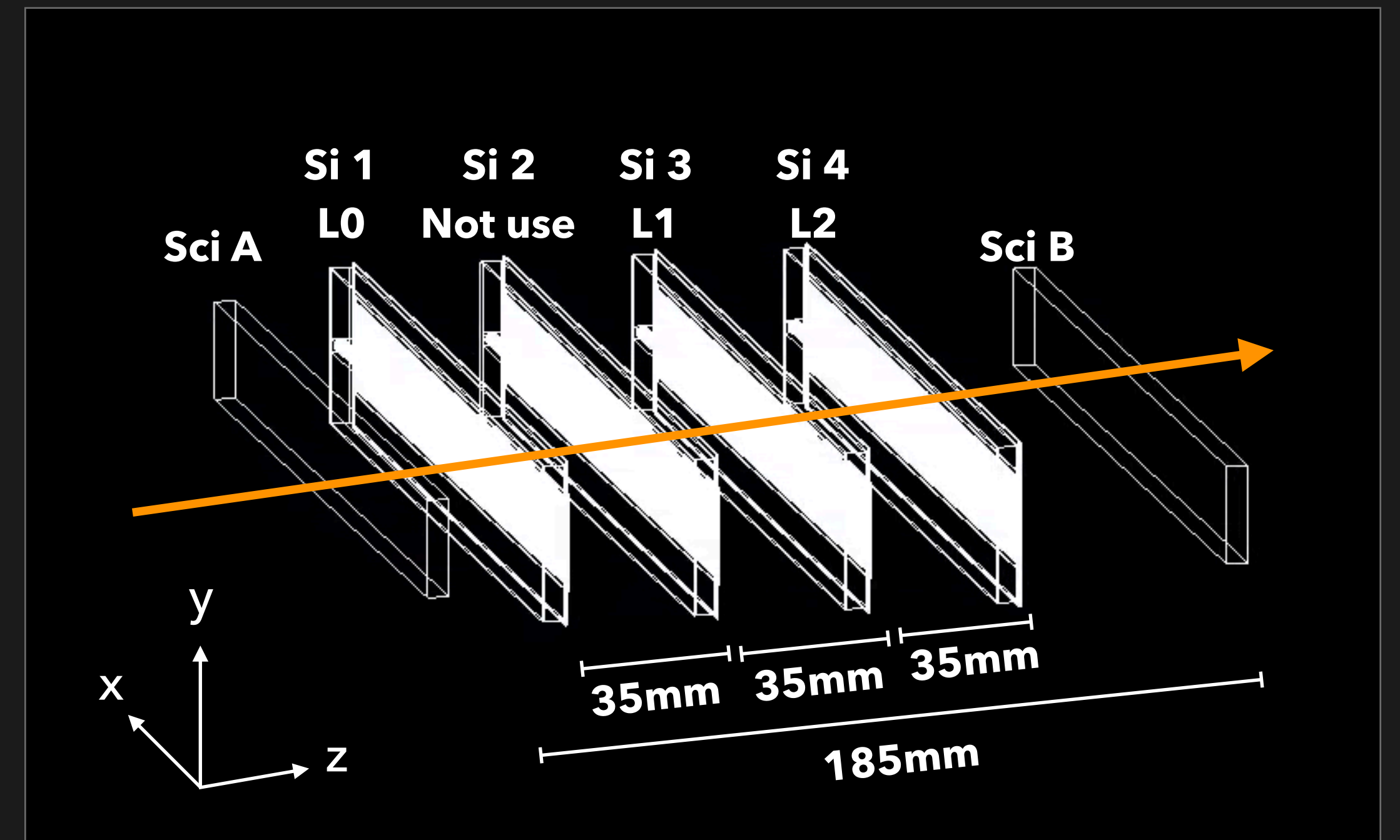
議論点

- 期待より低い → シミュレーションでの検出効率確認、前年度収集のデータ結果と比較
- L0, L1, L2ではらつきがある → 測定条件の異なるデータと比較

GEANT4 SIMULATION SETUP

検出器シミュレーションを用いて検出効率が100%であるか確認する

- 4つのシリコンモジュールと2つのシンチレーションカウンタを配置
→ ビームテスト実験同様L0, L1, L2の検出効率を求める
- センサーモジュール
 - Silicon size: 232.2mm x 22.5mm x 0.32mm
 - HDI (Kapton, Copper, Carbon fiber)
 - Cooling system (Polystyrene, Water)
- シンチレーションカウンタ
 - Elements: Poly vinyl, Anthracene
 - Size: 232.2mm x 22.5mm x 5mm
- ビーム
 - 120 GeV proton beam
 - Beam direction: $\theta = 2^\circ$, $\varphi = \pi/2$



RESULTS FROM SIMULATION

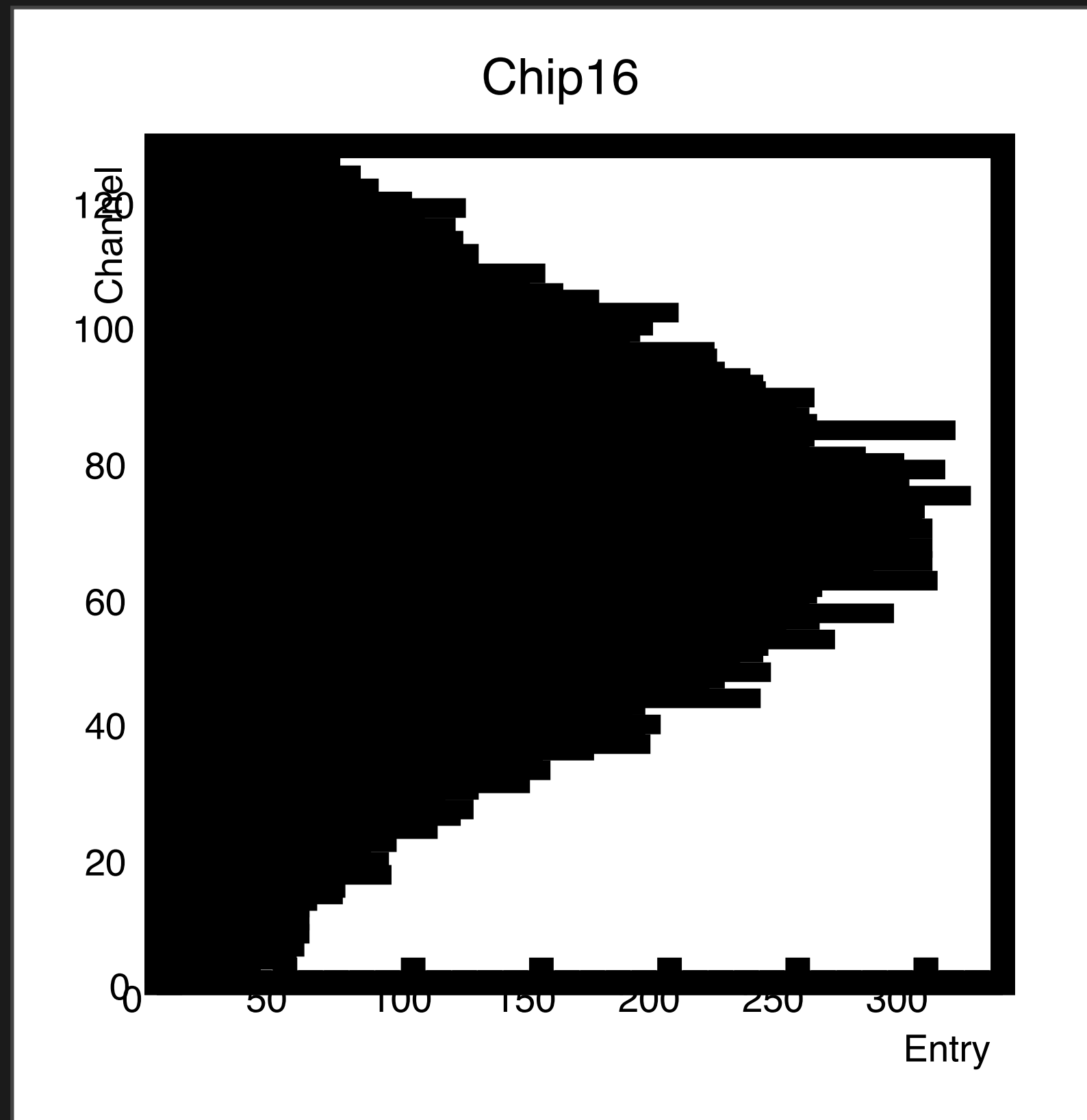
データに一致するようにADCの閾値を決めた後
データと同じ解析アルゴリズムによりシミュレーションでの検出効率測定

	L0	L1	L2
Data	96.0 ± 0.6 %	65.6 ± 1.1 %	85.9 ± 1.0 %
Simulation	100%	100%	99.98 ± 0.02 %

全Layerで期待通り100%の検出効率を確認できた
→ 解析アルゴリズムが正しいことも確認できた

PREVIOUS YEAR'S DATA

同じ解析ソフトウェアを用いて前年度収集データの検出効率と比較する



縦軸：チャンネル番号, 横軸：エントリー (最大140)

- ビームの絞りが高いため1チップにヒットが収まっている
- 各Layerは等間隔で配置されている
- シリコンセンサーの厚さは $200\mu\text{m}$ (今年の5/8倍)
- L1, L2のチャンネル相関を確認
 - 差が ± 5 chan のイベントを選択
- L0予想値と実測値のチャンネル相関を確認
 - 最小の差が ± 5 chanのイベントを選択

PREVIOUS YEAR'S DATA

全Layerの検出効率を比較

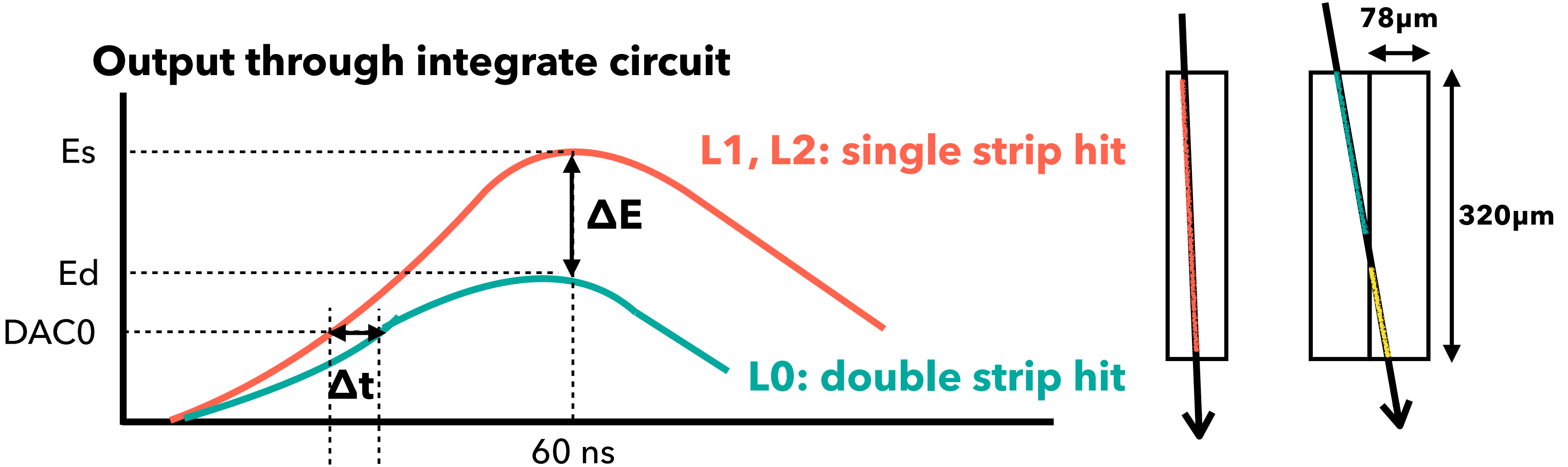
	L0	L1	L2	Chip No.	Run No.
2019	96.0 ± 0.6 %	65.6 ± 1.1 %	85.9 ± 1.0 %	6	615
2018	95.8 ± 0.2 %	97.7 ± 0.1 %	97.8 ± 0.1 %	7	97

前年度のデータでは全体的に高い検出効率が求められた

L0は前年度の結果と誤差の範囲で一致している

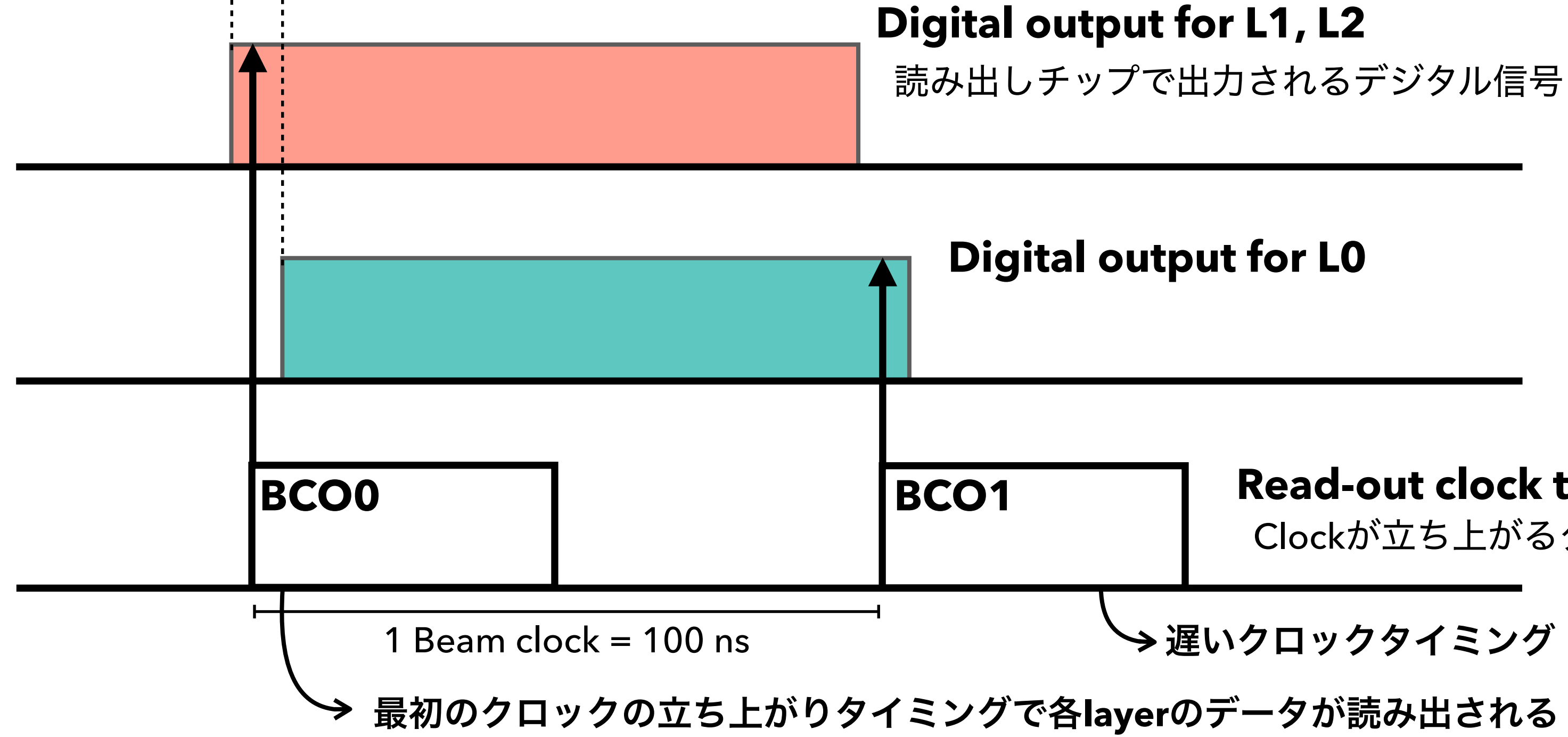
→100%に満たない原因がタイミングの遅れによると仮定し検証

TIMING DELAY HYPOTHESIS



$$\text{L0 efficiency} = \frac{\text{L0 \& L1 \& L2}}{\text{L1 \& L2}}$$

L0で複数ストリップヒットが起こると
 エネルギーがシェアされ波高が低くなる
 → 出力信号のタイミングが遅れる
 → 最初のクロックのタイミングで
 L0だけデータがない = 検出されない



波高の低い信号はタイミングが遅れ稀に最初のクロックで読み出されないことがあり得る
 → タイミングを制御することでこのようなクロックタイミングで読み出される場合を除く

READ-OUT TIMING CONTROL

読み出しタイミングを制御するためにL1, L2に対して異なるヒット条件を要求する

L2 : 隣同士のダブルヒットかつどちらかのヒットは低いADC ($0 < \text{ADC} < 5$)

ch1-ch2=1(ch1<ch2)

波高の低いヒット選択

L1 : 今まで同様シングルヒットかつADC \geq 4

Requirement for L2	Single hit	Double hits
L0	96.0 \pm 0.6 %	97.2 \pm 1.0 %

読み出しタイミングを制御したことで誤差の範囲内だが1.2%中心値が上がった

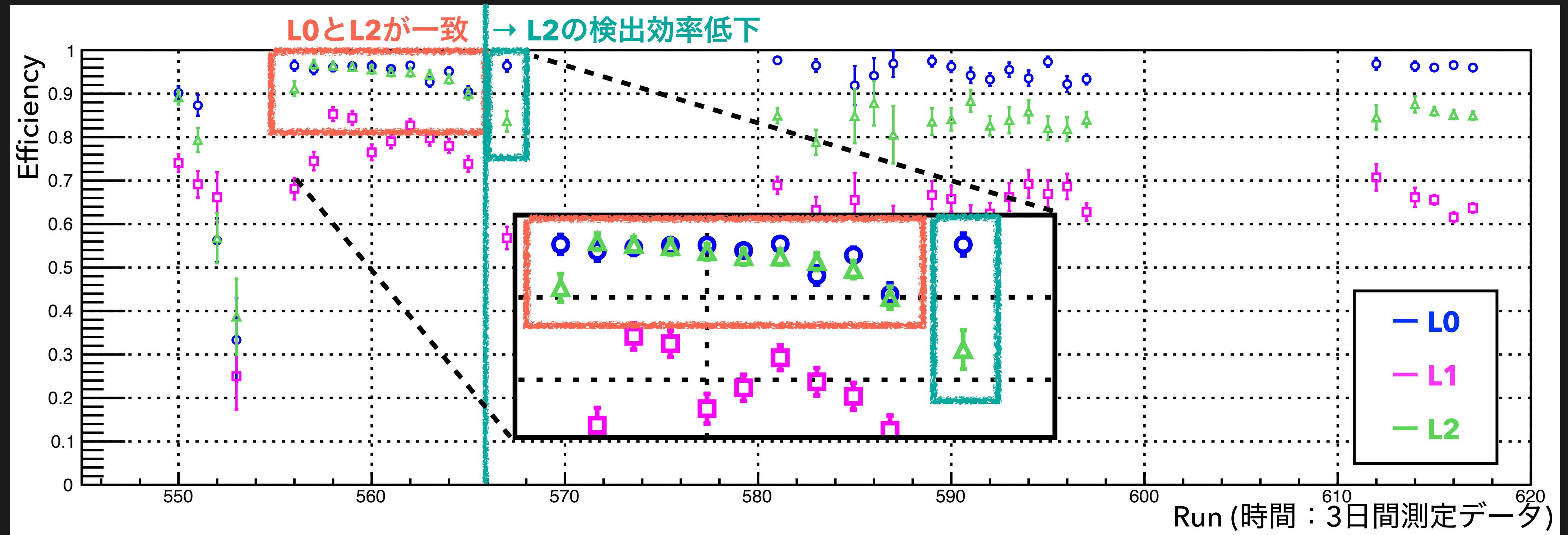
→ 他のタイミングとしてビームテスト時のクロックのジッターが考えられる

→ 次回のビームテストではクロックとビームの相対タイミングを記録して改善を期待

COMPARE WITH OTHER RUNS

L0, L1, L2の検出効率のばらつきが測定条件に依存するのかわ確認するため

複数のデータで検出効率を比較



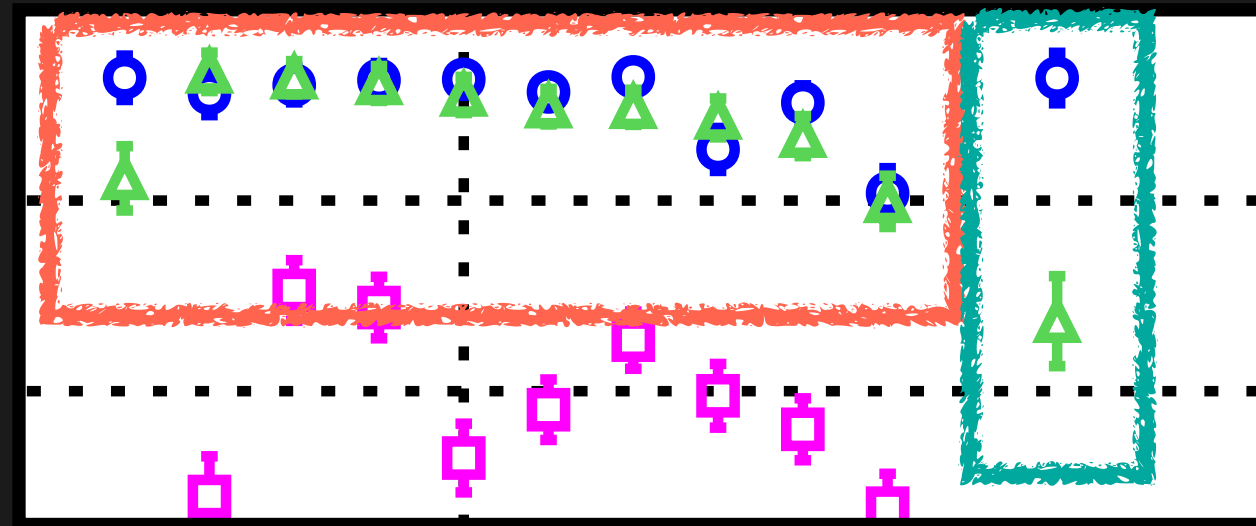
前半のデータではL0とL2の検出効率がよく一致している

あるデータでL2の検出効率が低下しそれ以降L0, L2の検出効率が一貫することはなかった

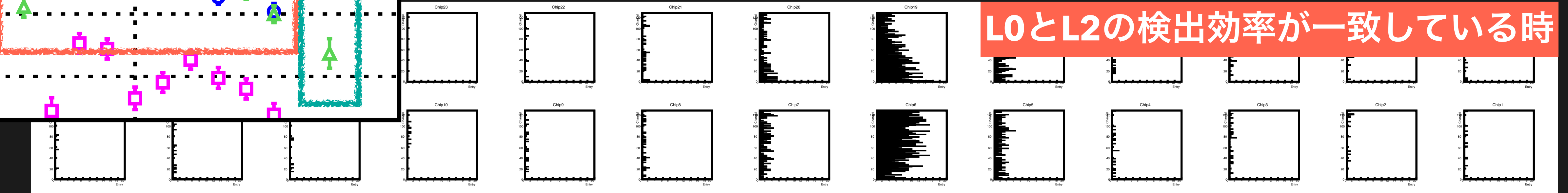
COMPARE WITH OTHER RUNS

L2の検出効率低下の原因を調べるため

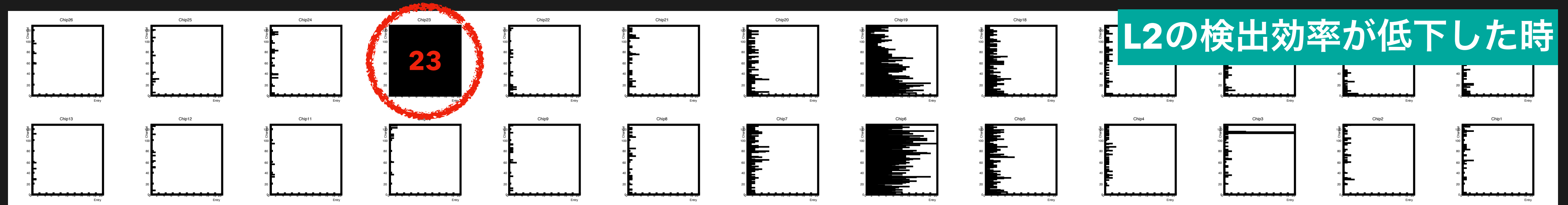
L2のチップ毎のヒットチャンネル分布を確認



L0とL2の検出効率が一致している時



L2の検出効率が低下した時



縦軸：チャンネル番号, 横軸：エントリー(最大140)

L2の検出効率低下の原因はノイズチップの影響が考えられる

データを一時的に保存するメモリーが飽和しヒットを取りこぼす可能性がある

→ ノイズの原因を調べる必要がある

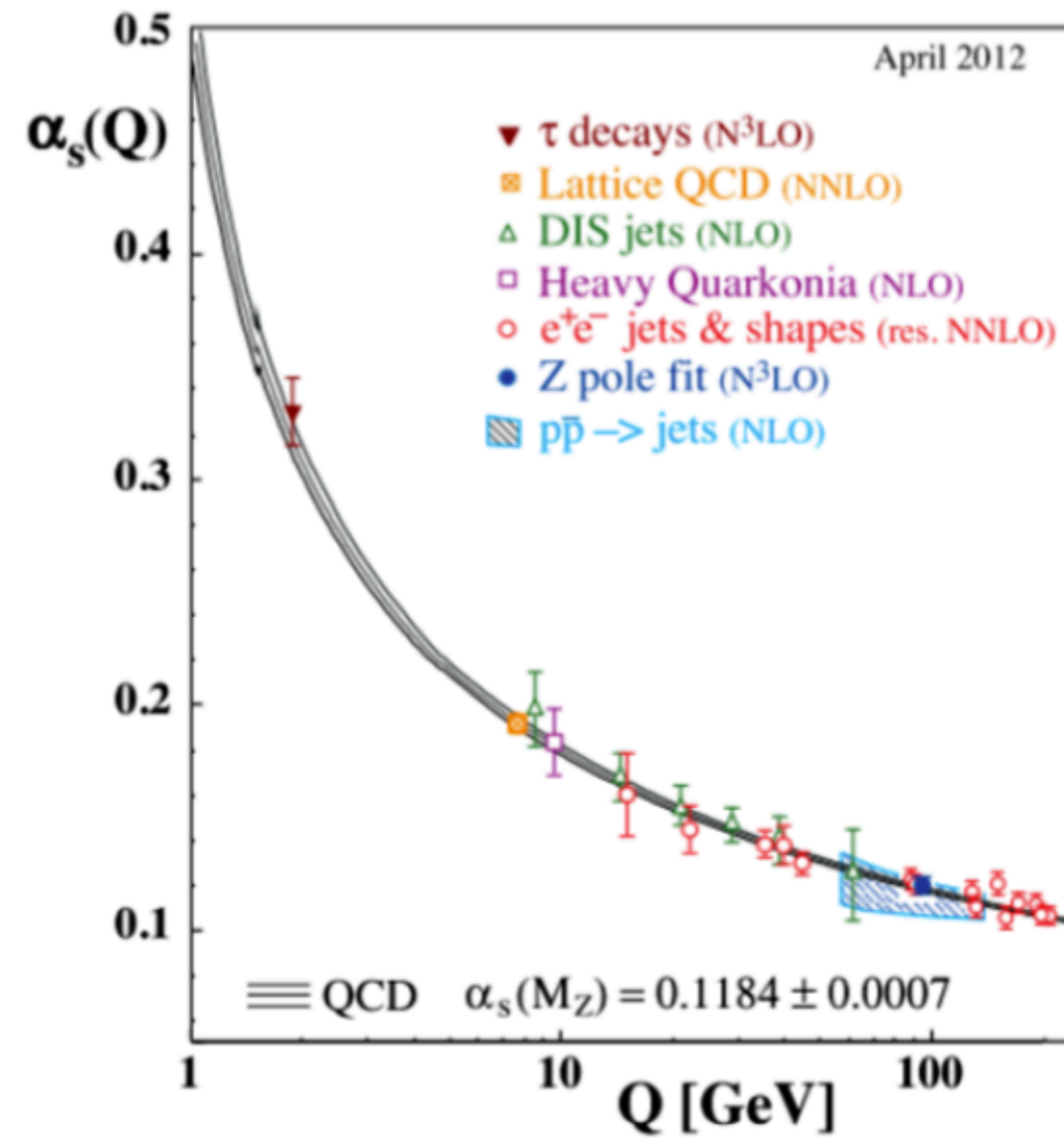
OUTLOOK

- RHIC-sPHENIX実験におけるINTTシリコン検出器の性能評価を行った
- 2019年6月にフェルミ国立加速器研究所でビームテスト実験を実施し、そこで得られたデータを解析することでシリコンモジュールの検出効率を求めた
- L0の検出効率は $96.0 \pm 0.6\%$ となり、前年度収集データでの検出効率と比較しても矛盾のない結果だった
- しかし期待される100%にわずかに届かず、その原因がクロックによるデータ取得タイミングのずれによると予想した
- この仮説を検証するため分母の2層に異なるヒット要求を与えた結果、L0の検出効率の中心値が上がったことから、他のタイミングずれの原因としてビームテスト実験時のクロックのジッターが考えられる
- 検出器シミュレーションからL0, L1, L2の検出効率が100%であることが確認できたので、クロックのジッター問題を解決することで100%の検出効率が期待できる
- また各Layerで検出効率にばらつきがある原因はノイズチップの影響が考えられるのでノイズの原因を調べ改善を期待する

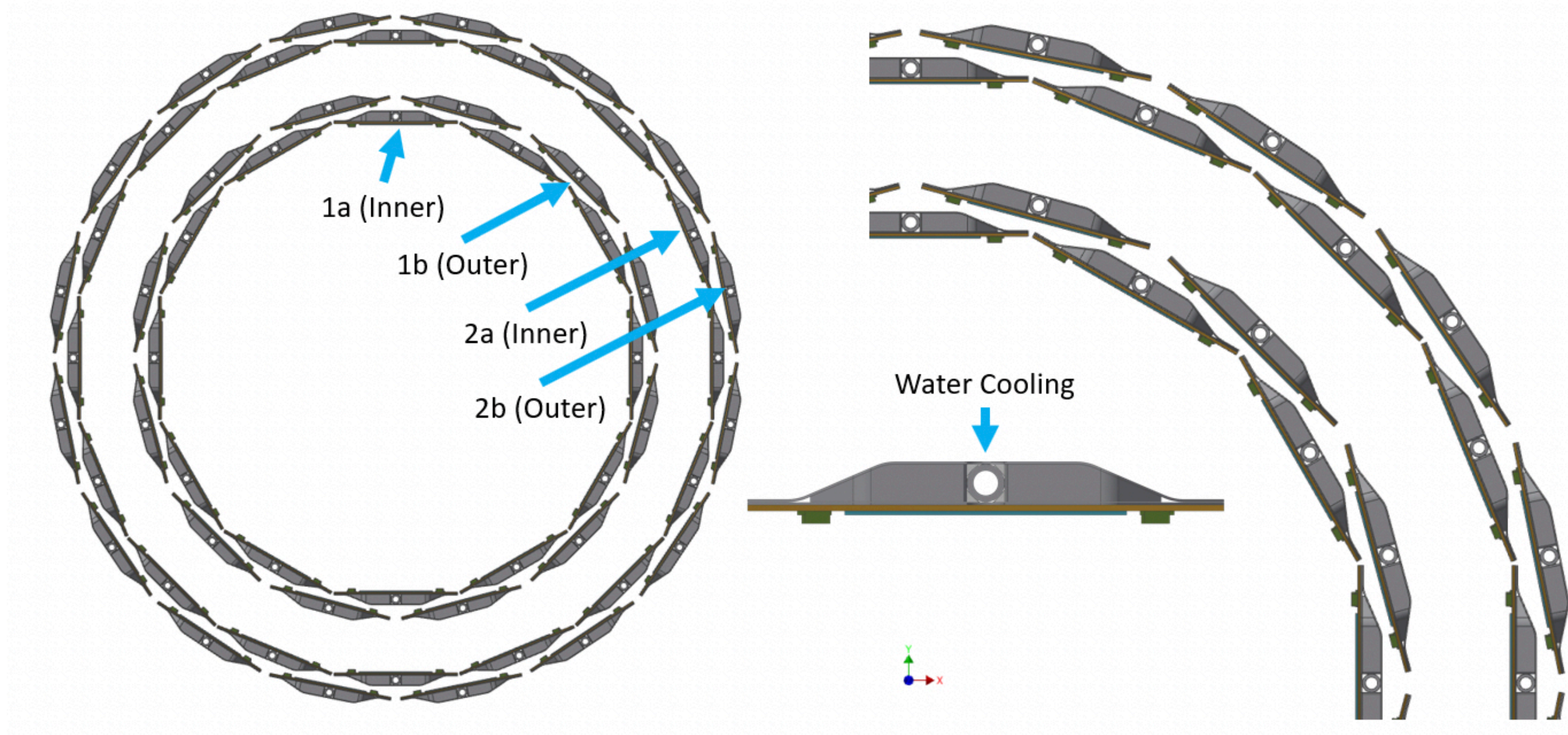
BACK UP

QUARK GLUON PLASMA

漸近的自由性



BARREL STRUCTURE

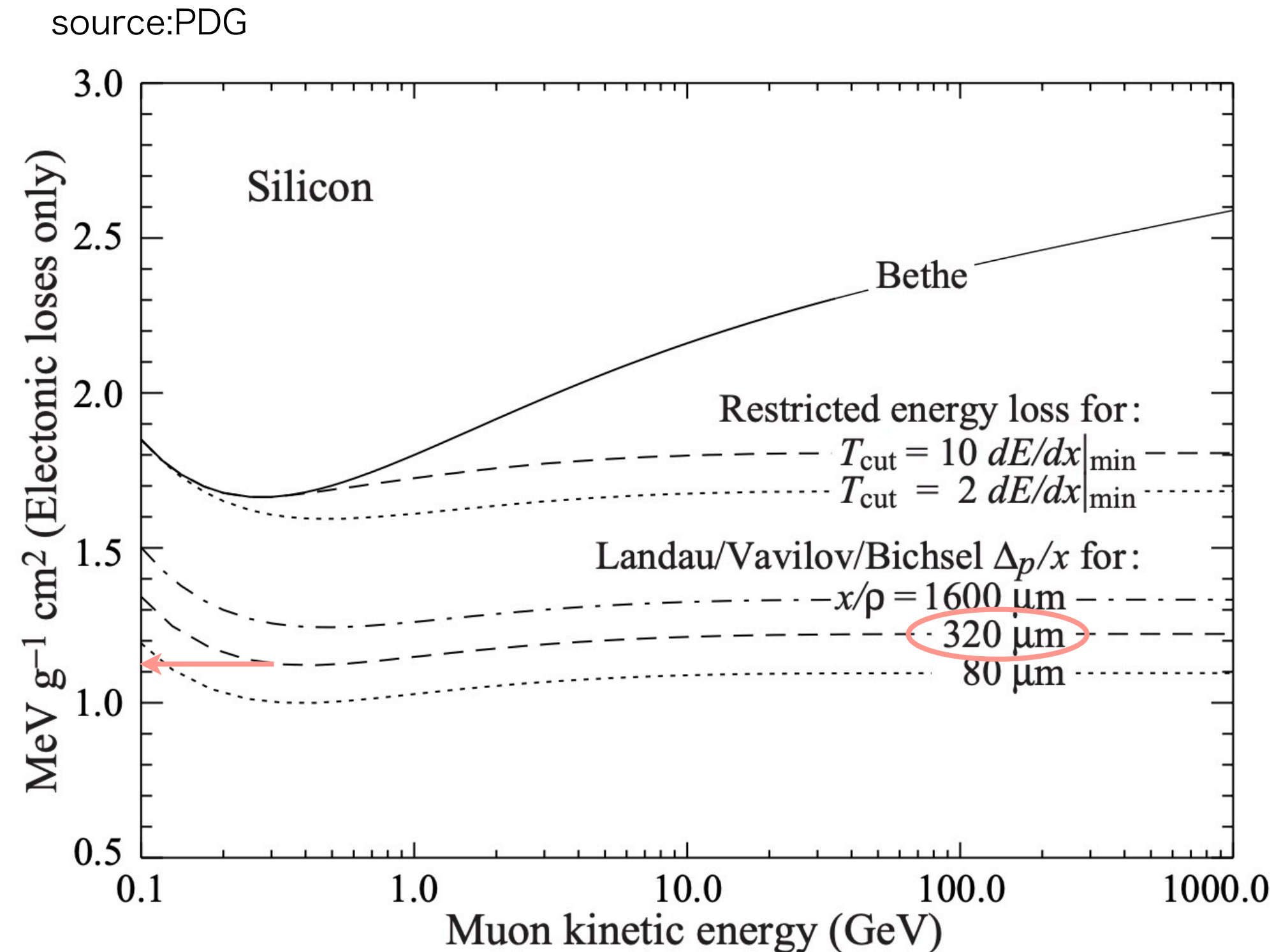


	本数	ビーム軸からの距離
1a	12	71.88 mm
1b	12	77.32 mm
2a	16	96.80 mm
2b	16	102.62 mm

方位角方向に対して 2π の範囲を覆う

EXPECTATION OF MIP ENERGY LOSS

320 μm 厚のシリコンセンサーで落とすエネルギー損失の期待値

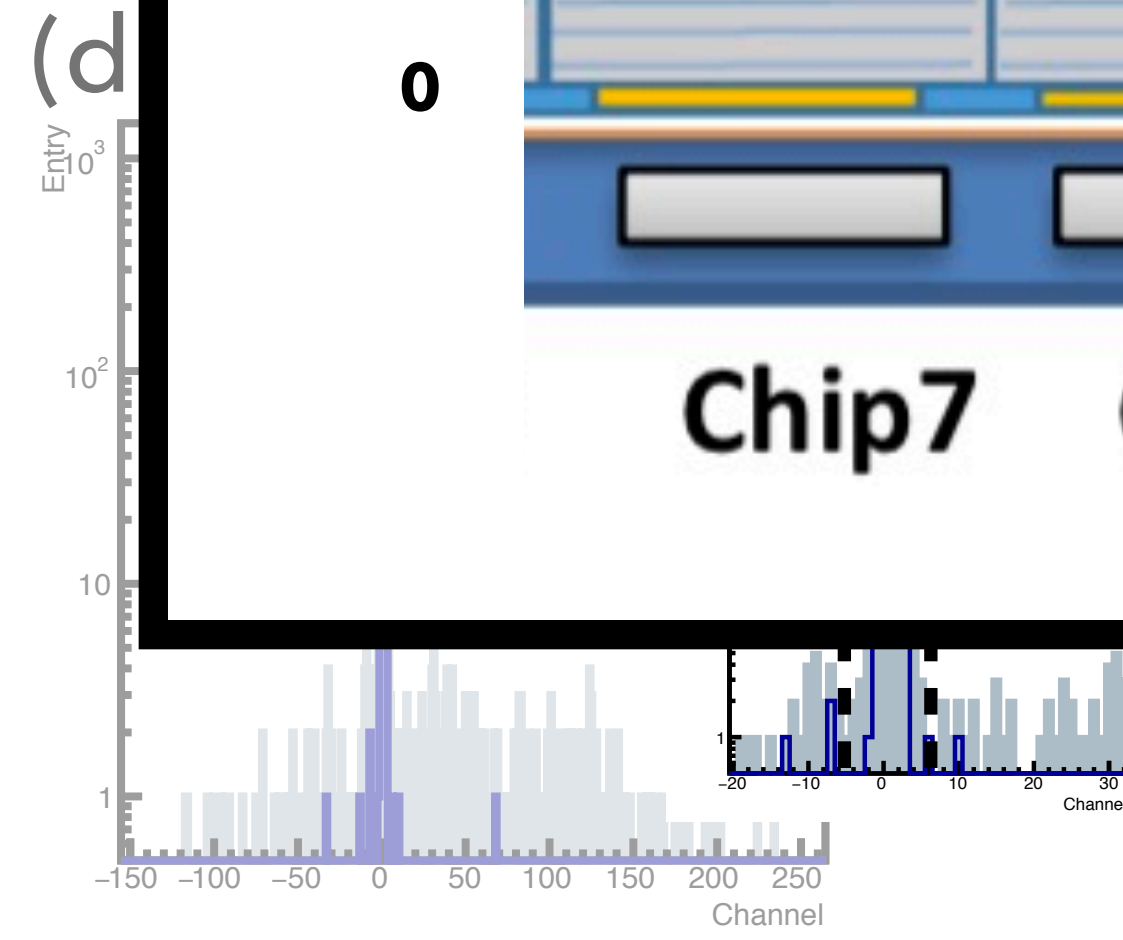
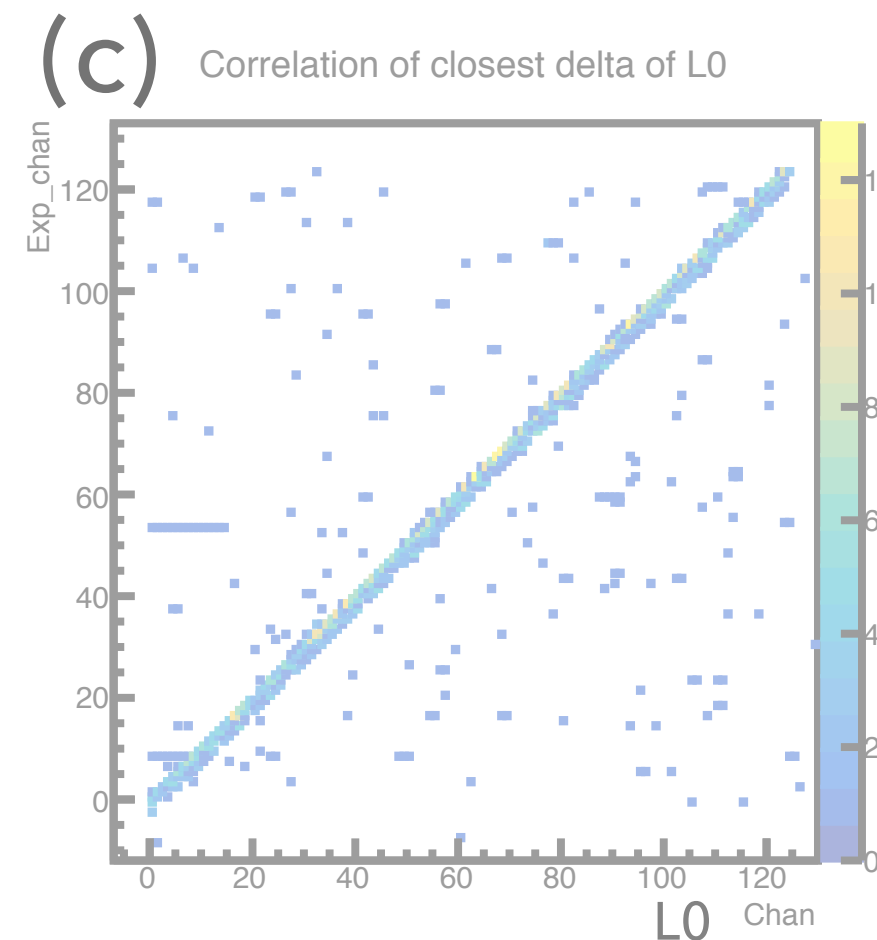
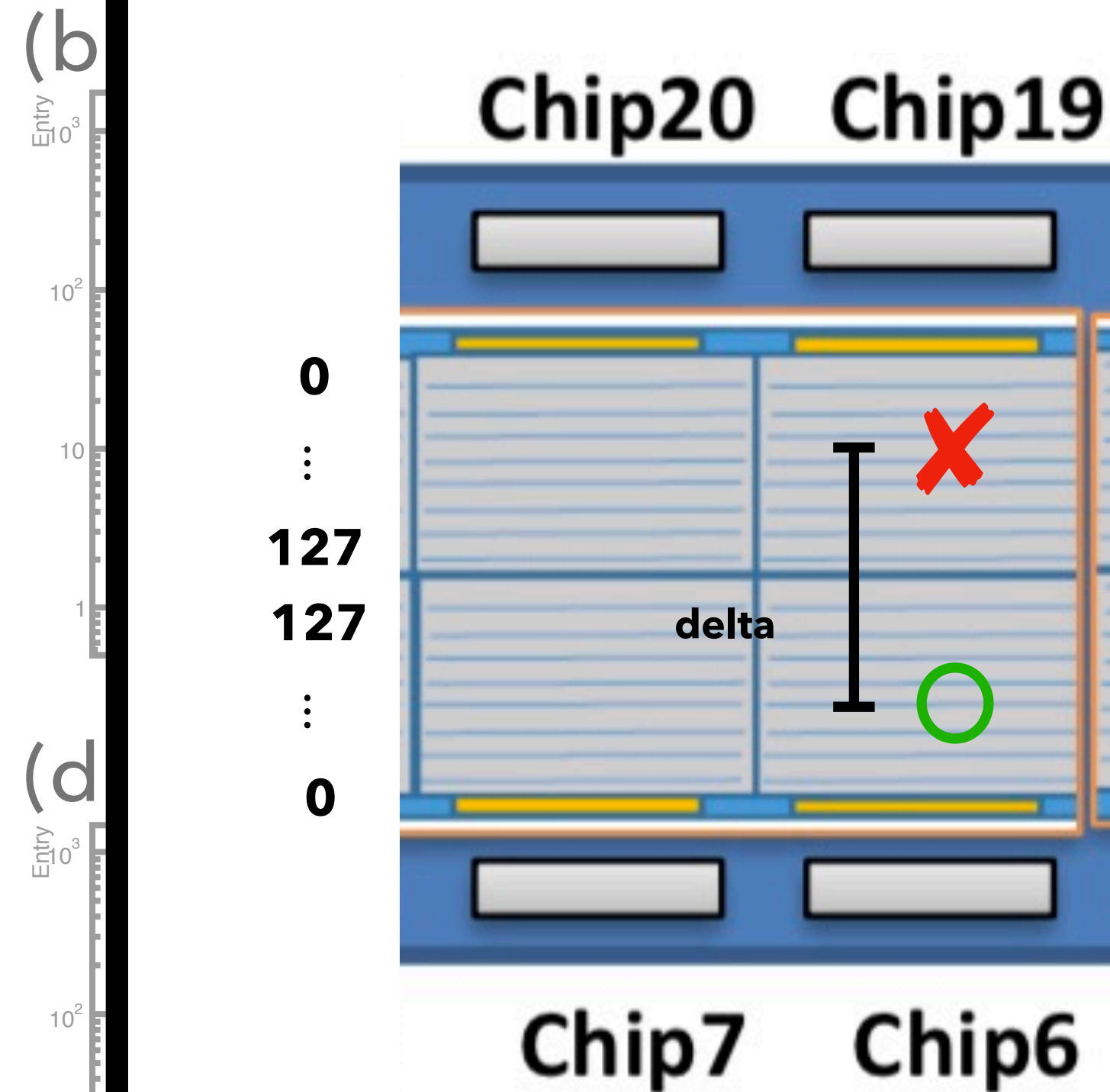
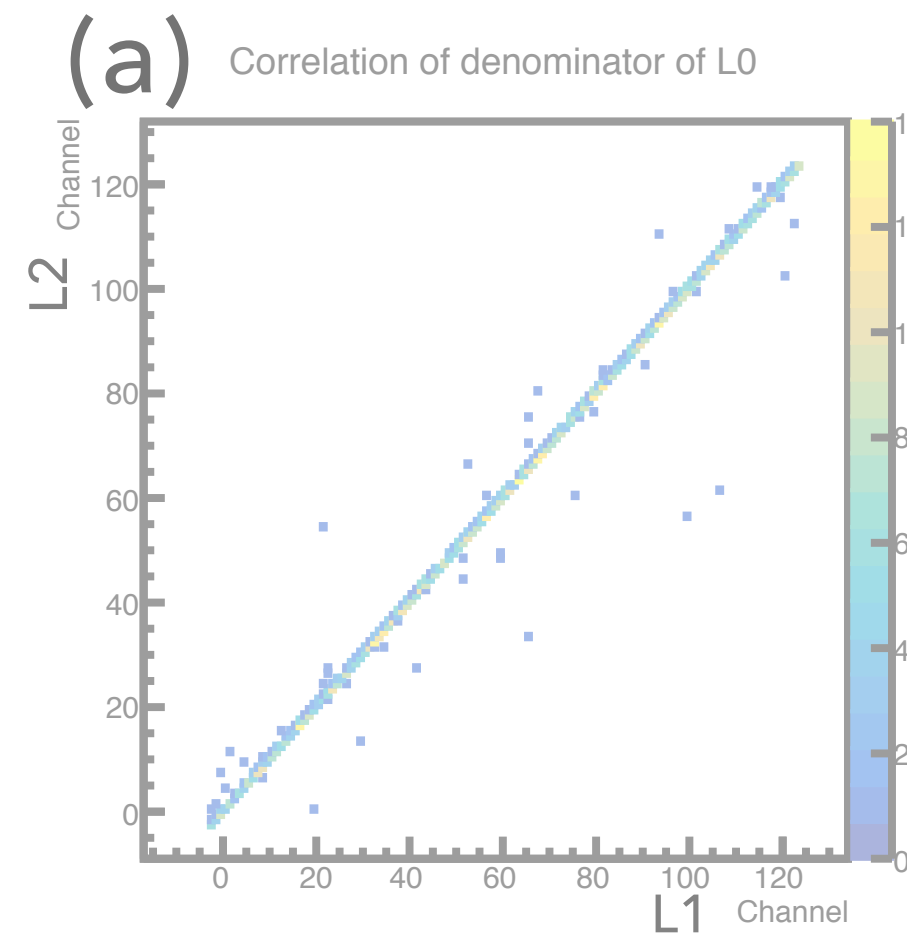


$$\text{Energy loss [mV]} = \frac{1.12 [\text{MeV/g} \cdot \text{cm}^{-2}] \times 0.032 [\text{cm}] \times 2.33 [\text{g/cm}^3] \times 1.6 \times 10^{-19} [\text{C}] \times 300 [\text{mV/fC}]}{3.62 [\text{eV/eh pair}]} \sim 1100 [\text{mV}]$$

EVENT SELECTION

L0, L1, L2の各ヒットが同一トラックであることを保証するためイベント選定を行う

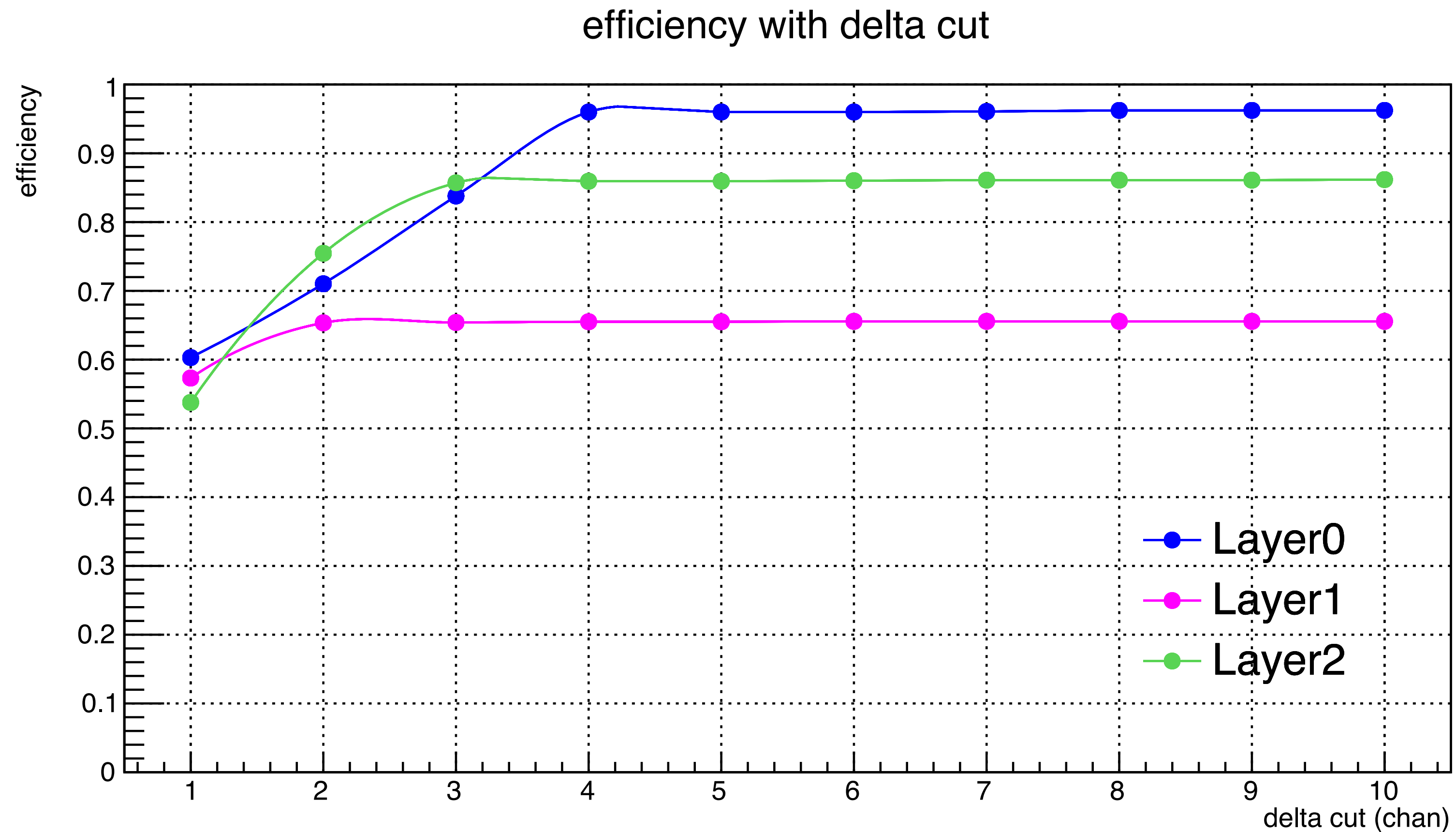
チャンネル相関分布



→ 最小差のつち ±5 chan 未満のイベントを選択

チャンネル相関あり
 チャンネル差を計算
 最も小さいイベントを選択
 0のヒット位置を予想
 2×2
 チャンネル相関あり
 計算
 最も小さいヒットを選択
 最小差のつち ±5 chan 未満のイベントを選択

CHANGE THE DELTA CHANNEL CUT OF (RAW - EXPECTATION) FOR TARGET LAYER



Delta cut = 4からどのLayerでも一定になる

CALCULATE ERROR OF BINOMIAL

誤差の見積もり

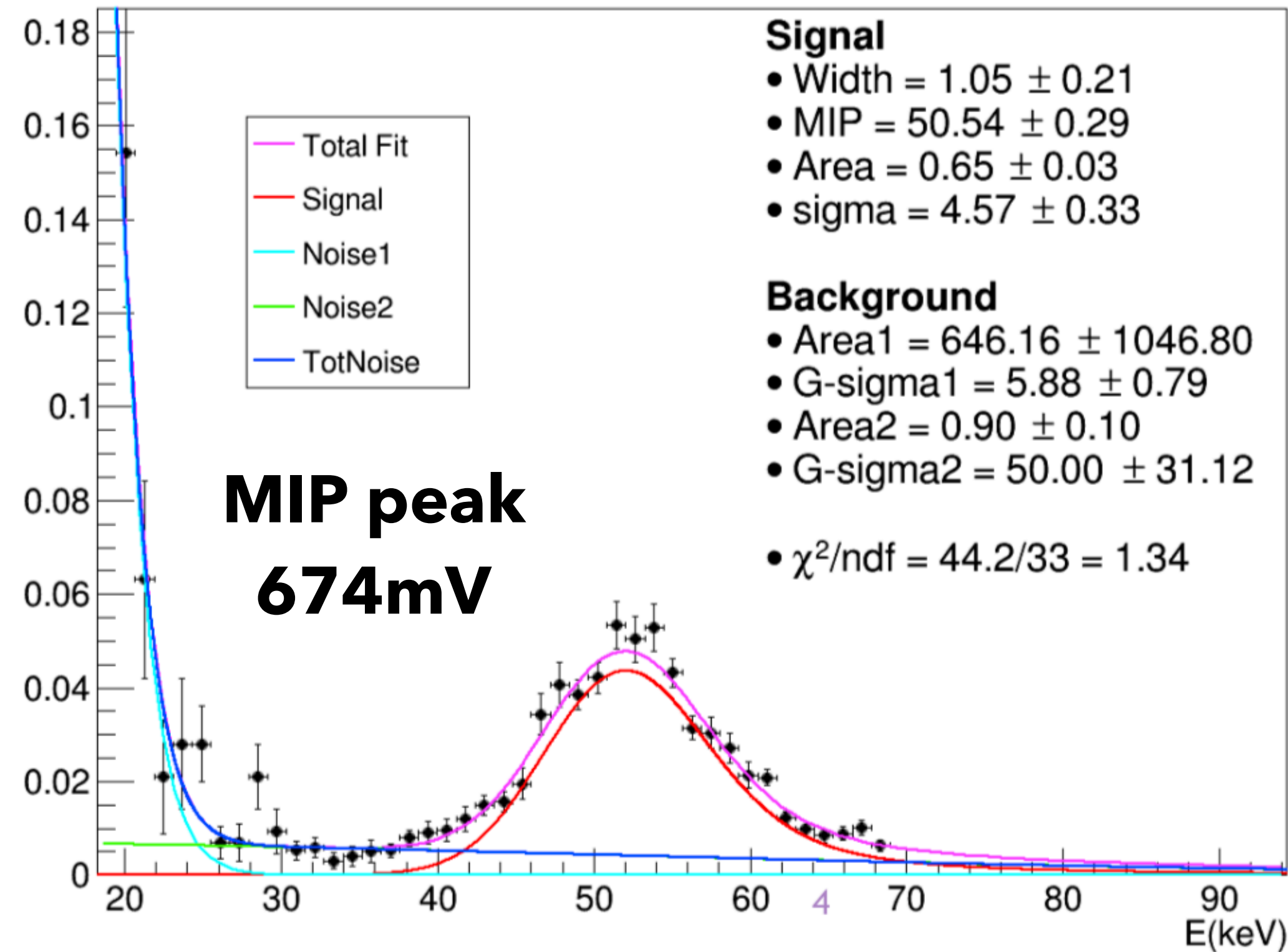
$$\text{L0 efficiency} = \frac{N(\text{L0 hit \& L1 hit \& L2 hit})}{N(\text{L1 hit \& L2 hit})}$$

$$\text{L0 efficiency error} = \frac{\sqrt{(N(\text{L0 hit \& L1 hit \& L2 hit}) \times (1 - \text{efficiency}))}{N(\text{L1 hit \& L2 hit})}$$

DATA VS SIMULATION: MIP PEAK

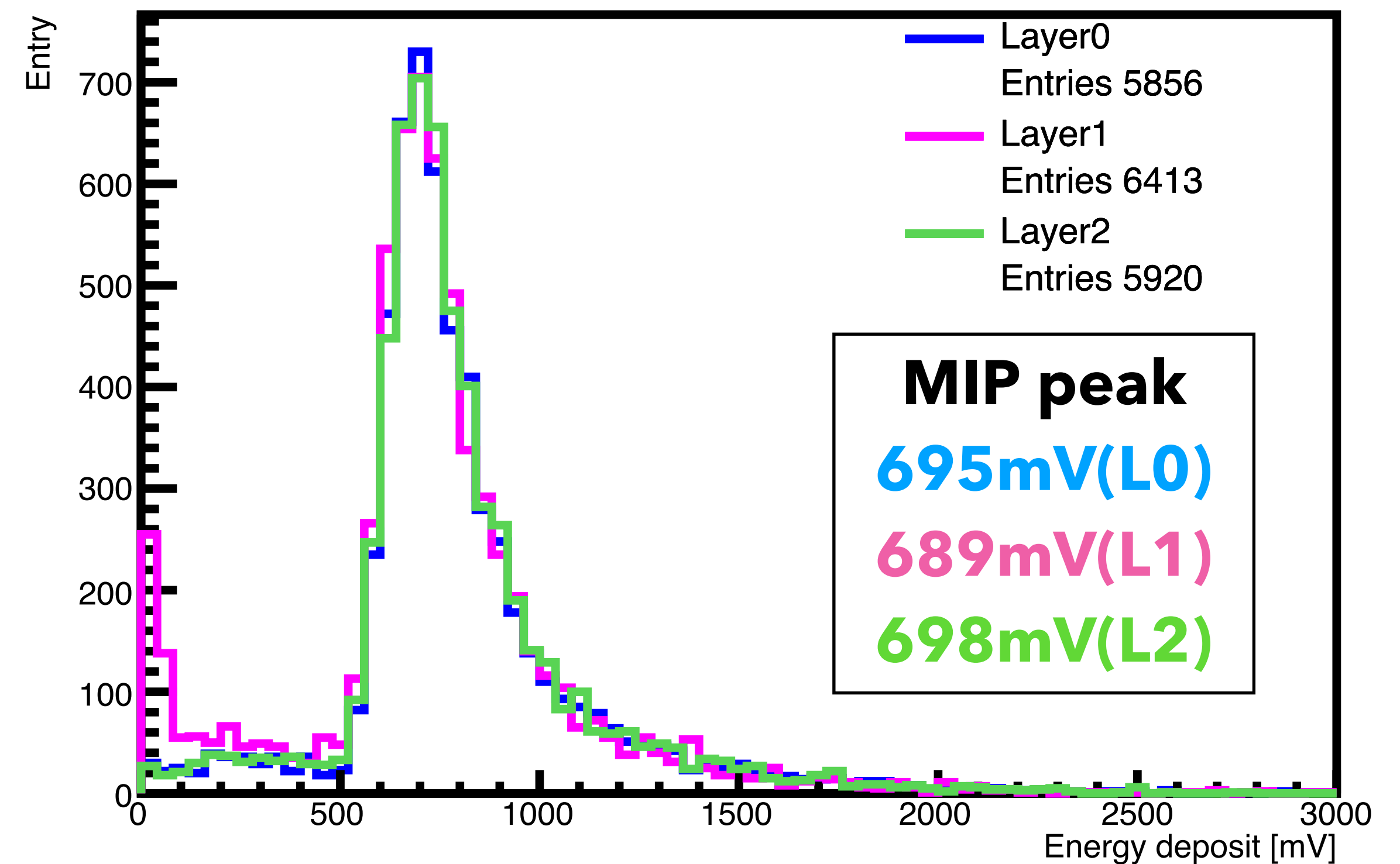
Data

Layer=0 chip=6



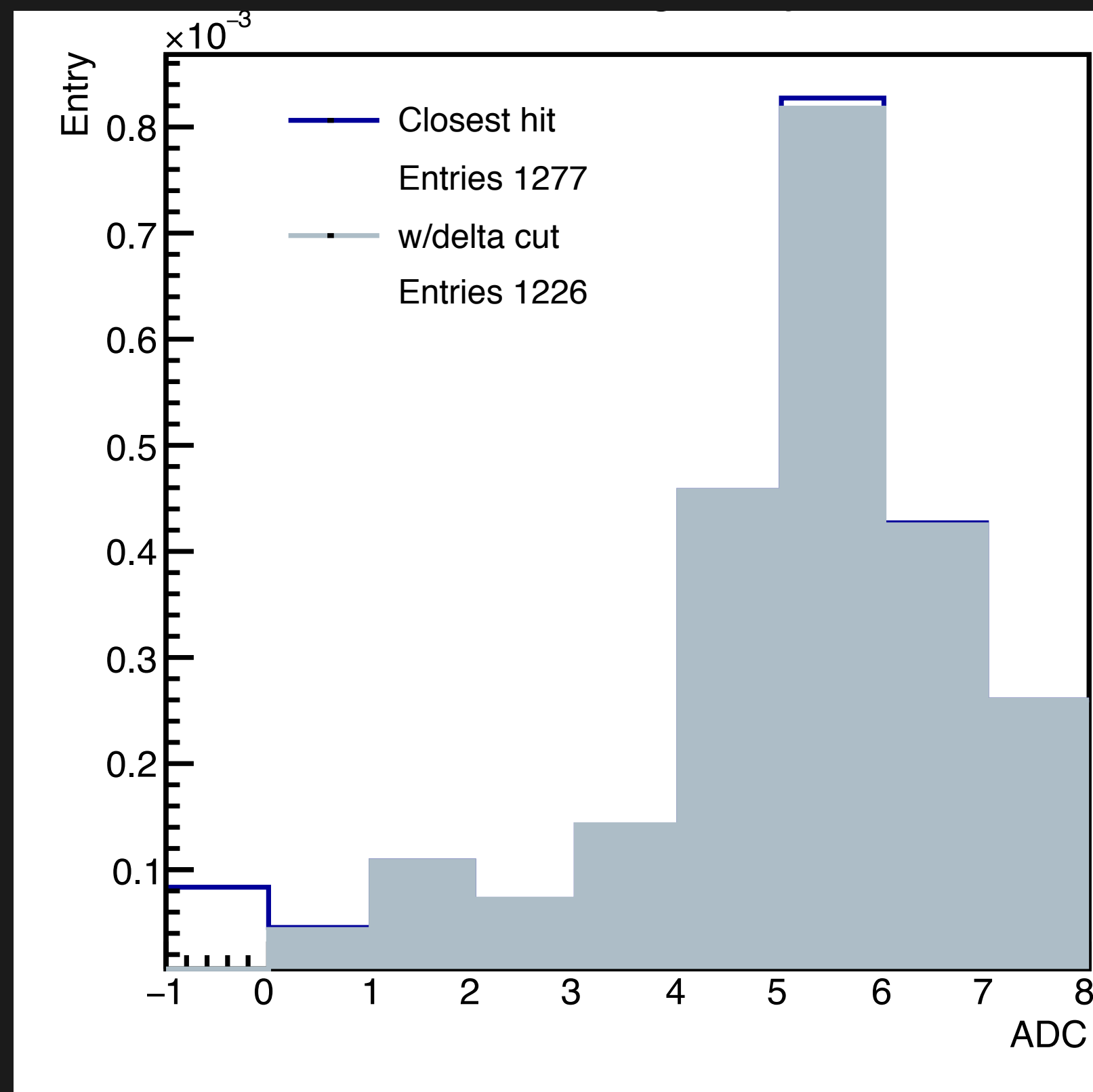
Simulation

Energy deposit

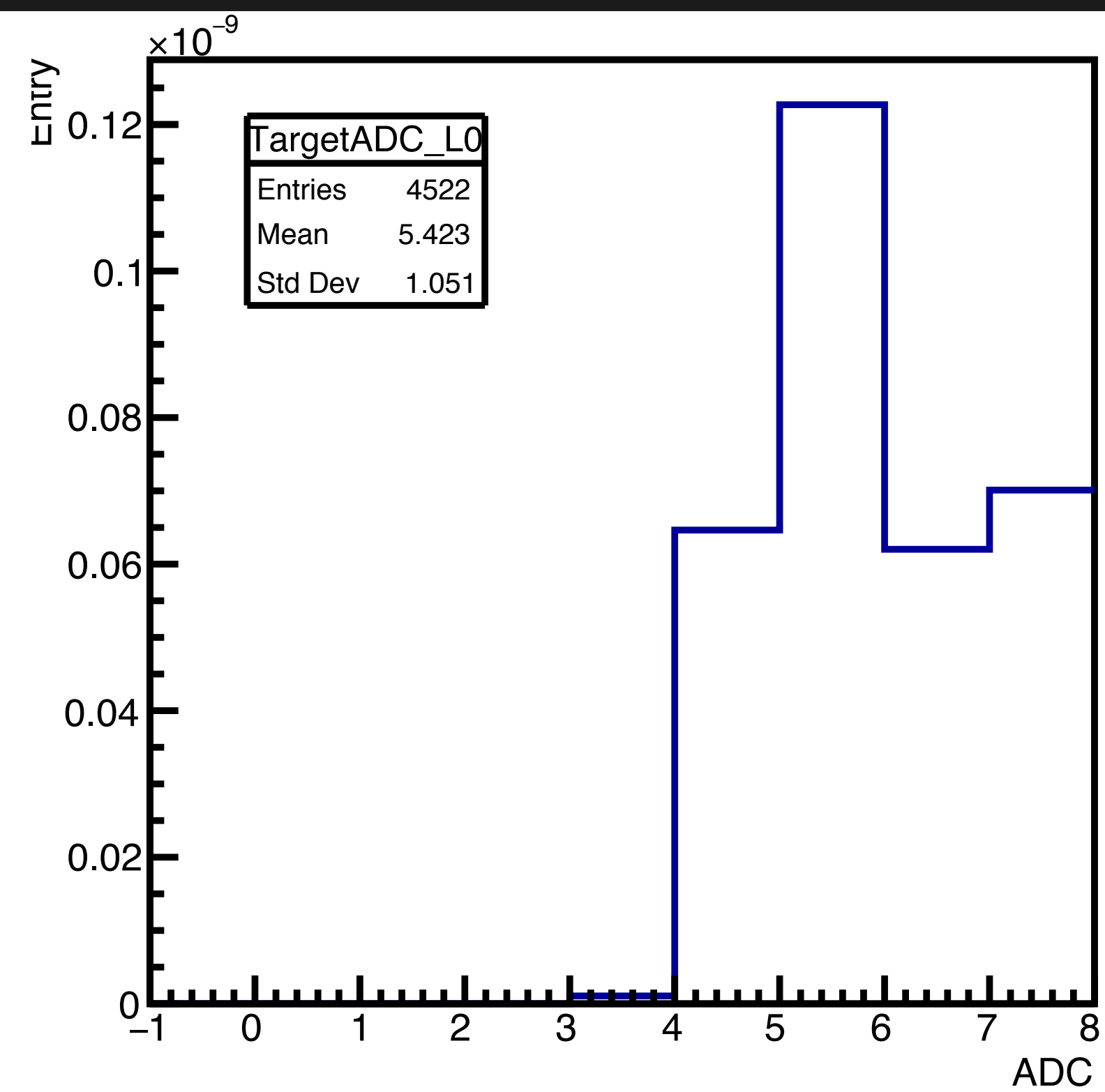


DATA VS SIMULATION: ADC DISTRIBUTION

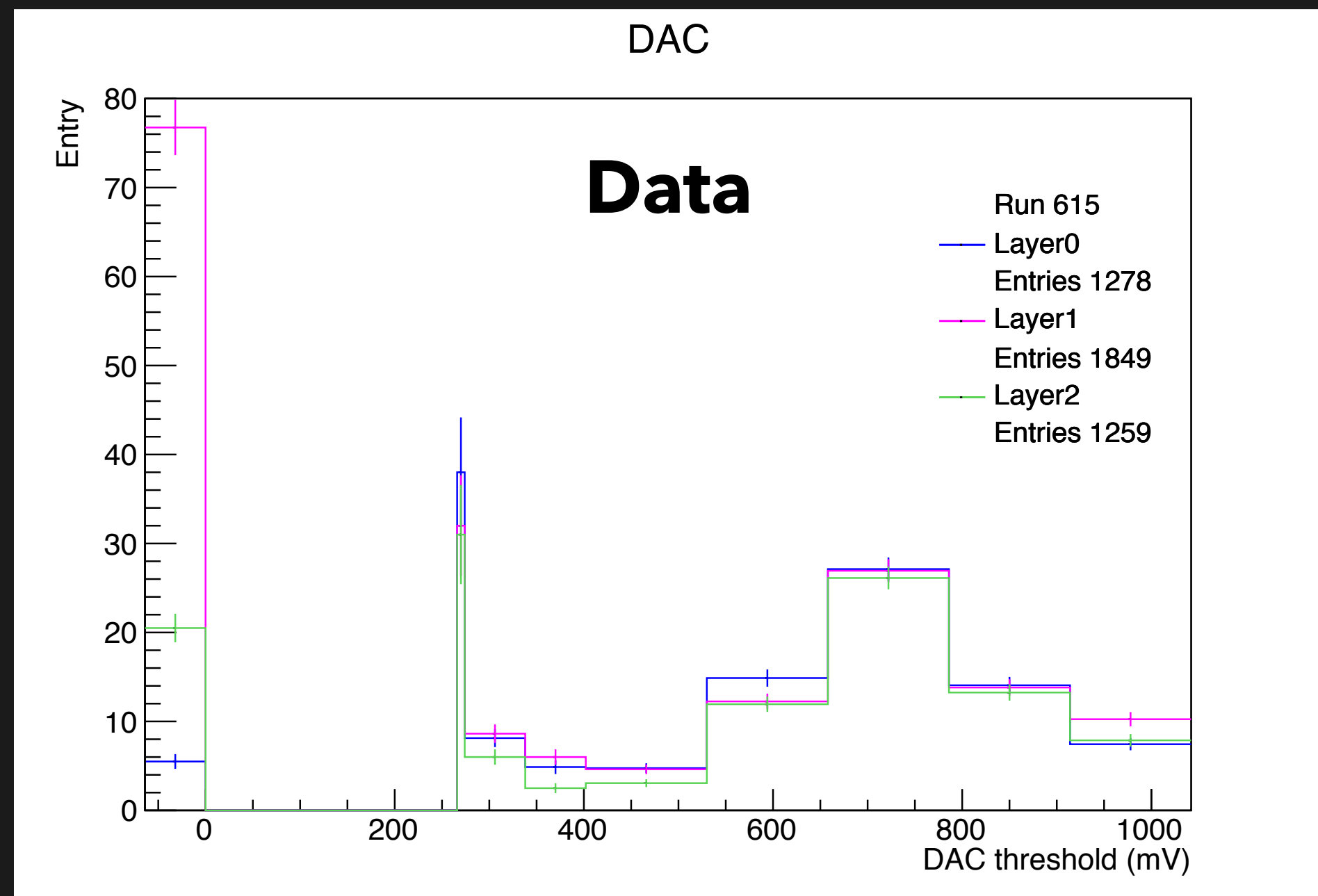
Data



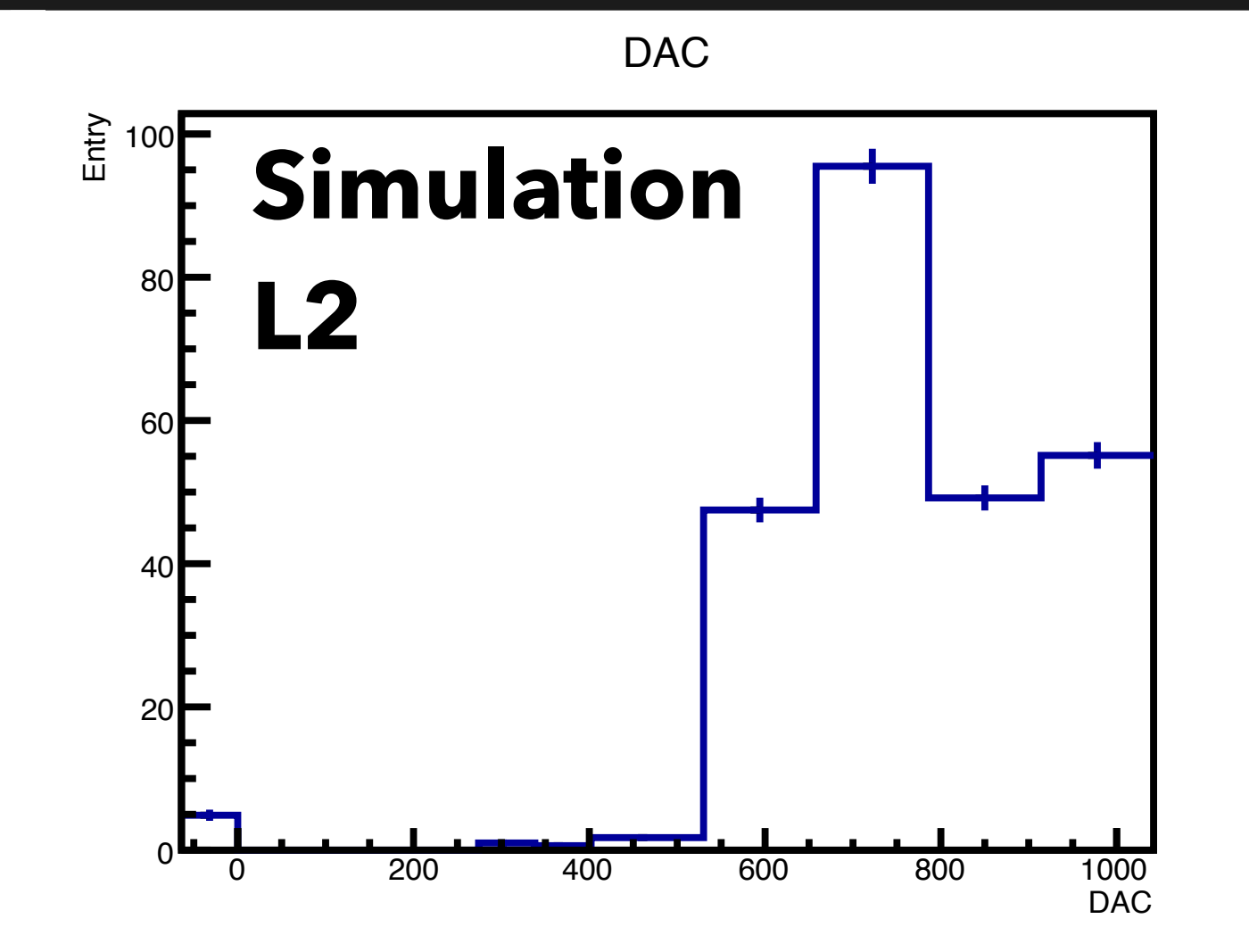
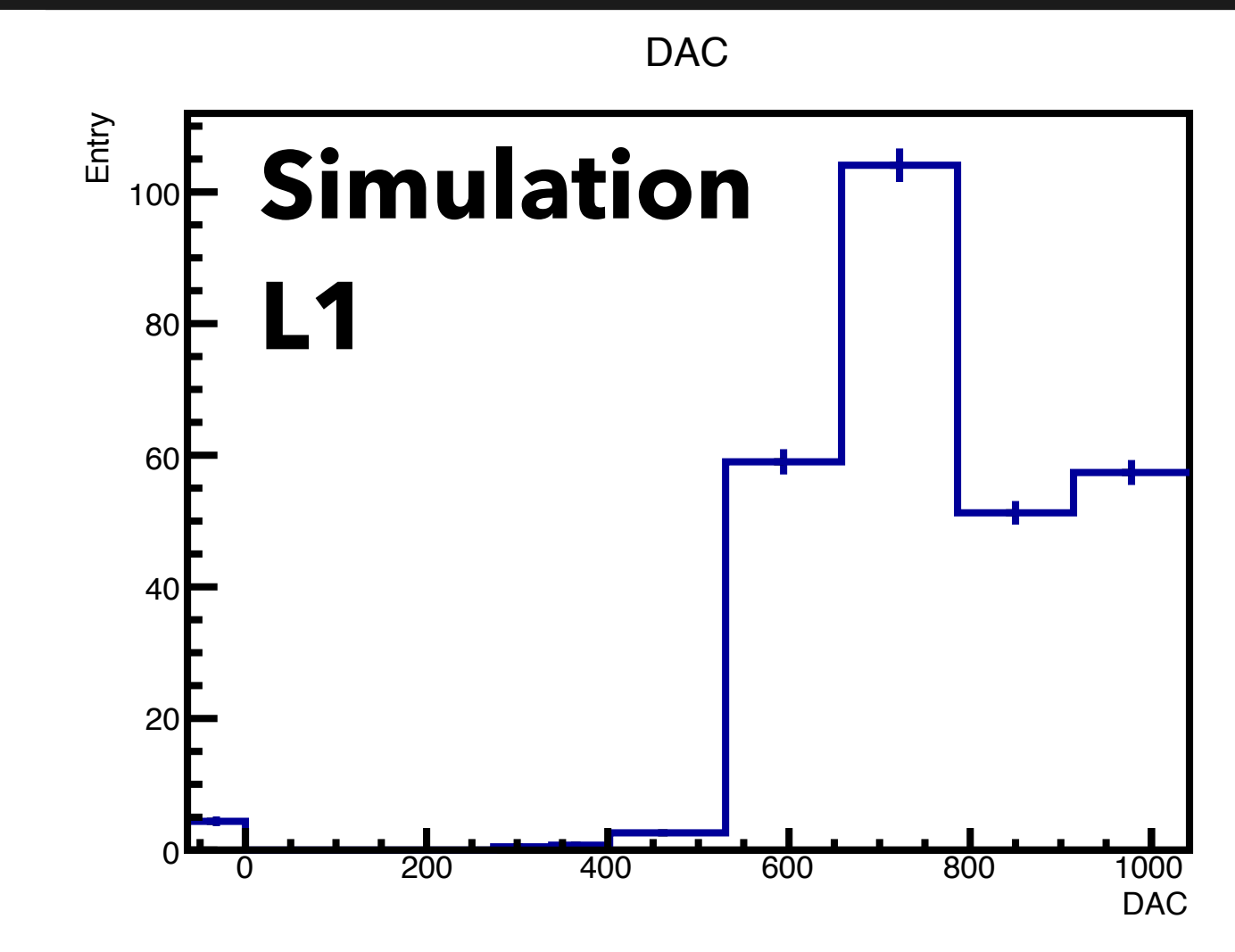
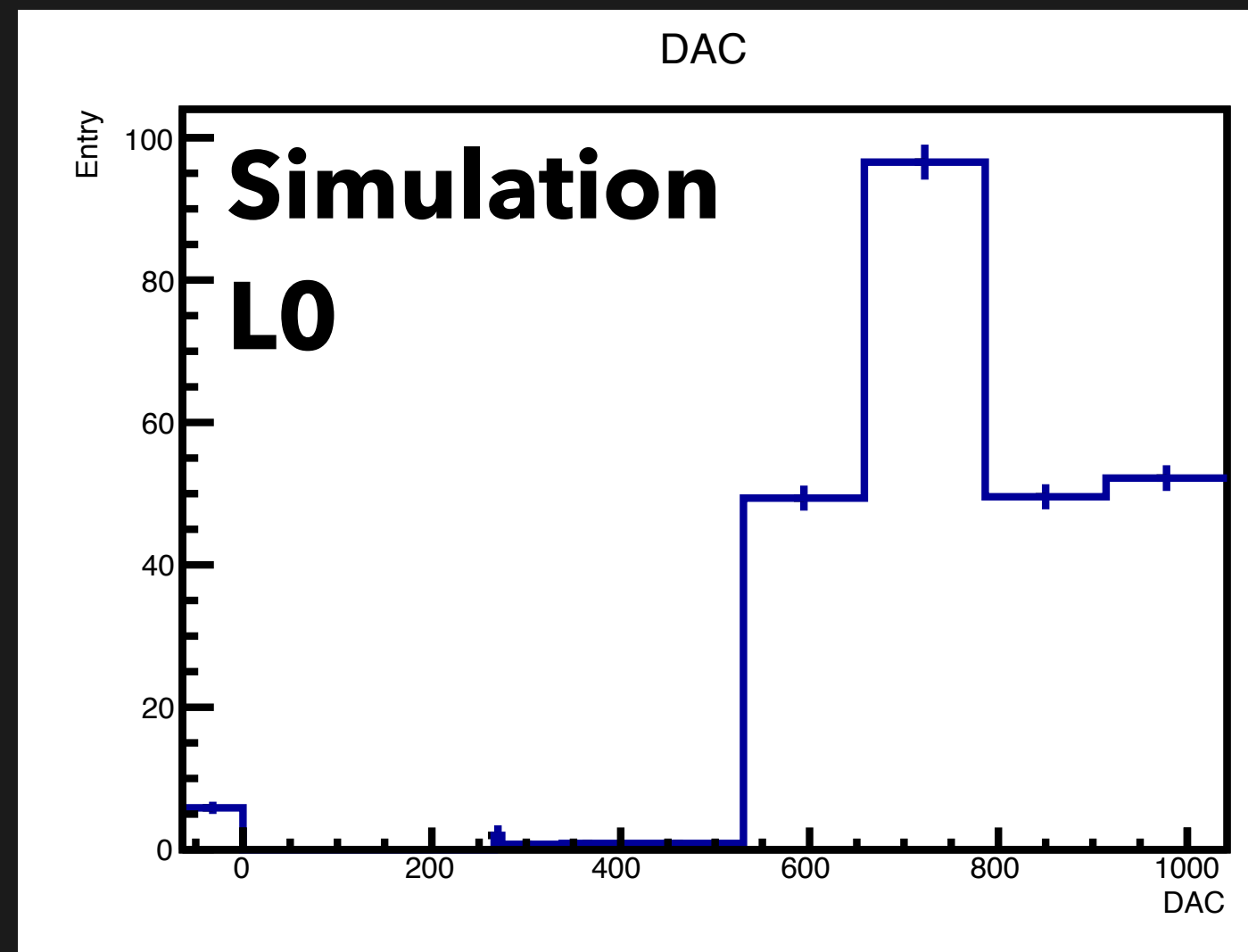
Simulation



Data vs Simulation: DAC comparison



Threshold	Range, bins	Middle	ADC
266	$266 \leq X < 274$	270 ←	0
274	$274 \leq X < 338$	306 ←	1
338	$338 \leq X < 402$	370 ←	2
402	$402 \leq X < 530$	466 ←	3
530	$530 \leq X < 658$	594 ←	4
658	$658 \leq X < 786$	722 ←	5
786	$786 \leq X < 914$	850 ←	6
914	$914 \leq X < 1042$	978 ←	7



SET THE GAIN VALUE

Simulation
5k events
Gain 170

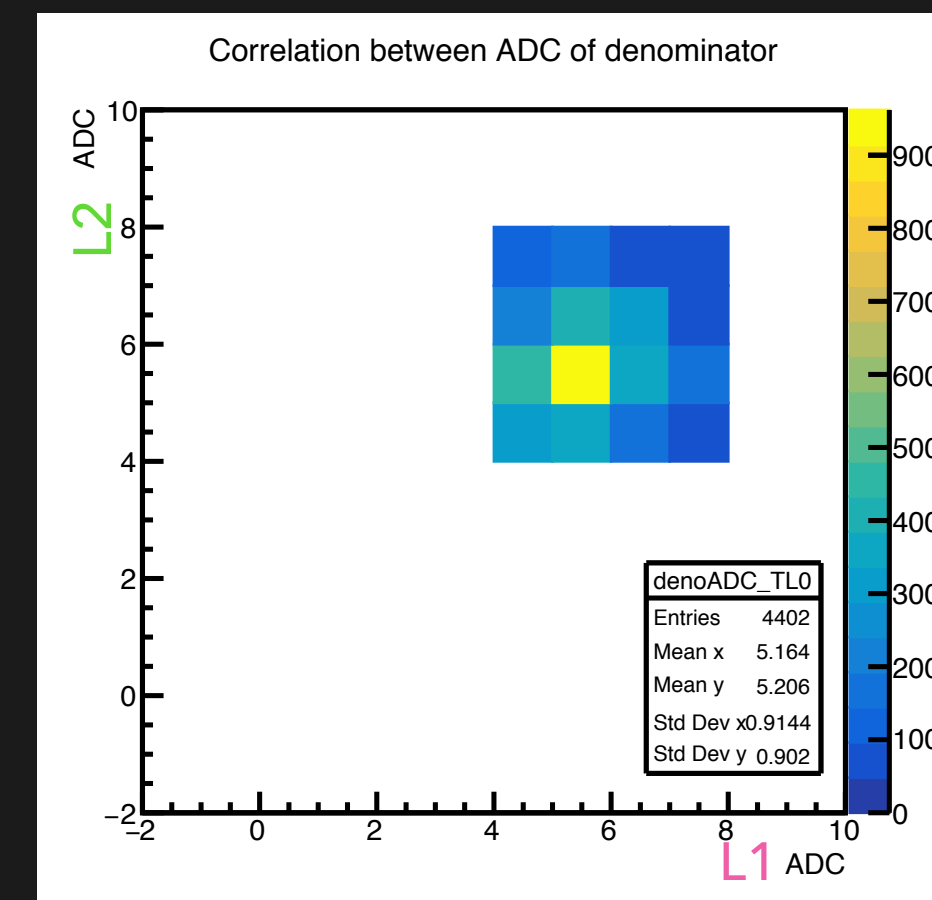
$$\text{Energy loss [mV]} = \frac{\text{Edep [MeV]} \times 1.6 \times 10^{-4} \text{ [fC]} \times \mathbf{170 \text{ [mV/fC]}}}{3.6 \text{ [eV]}}$$

event selection & convert to [mV]

convert to ADC

Energy deposit [MeV]
Target layer: L0
Denominator layer: L1, L2

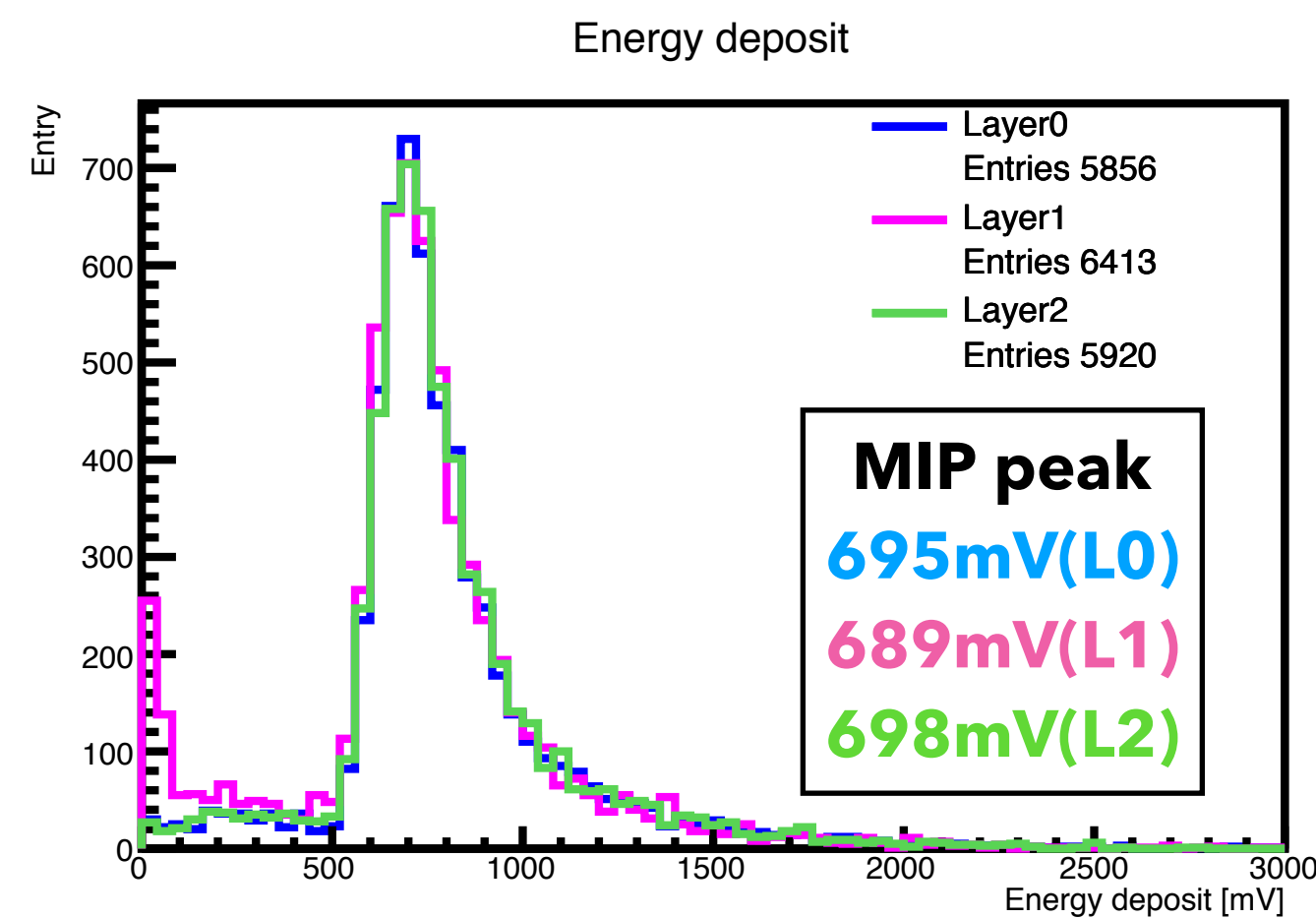
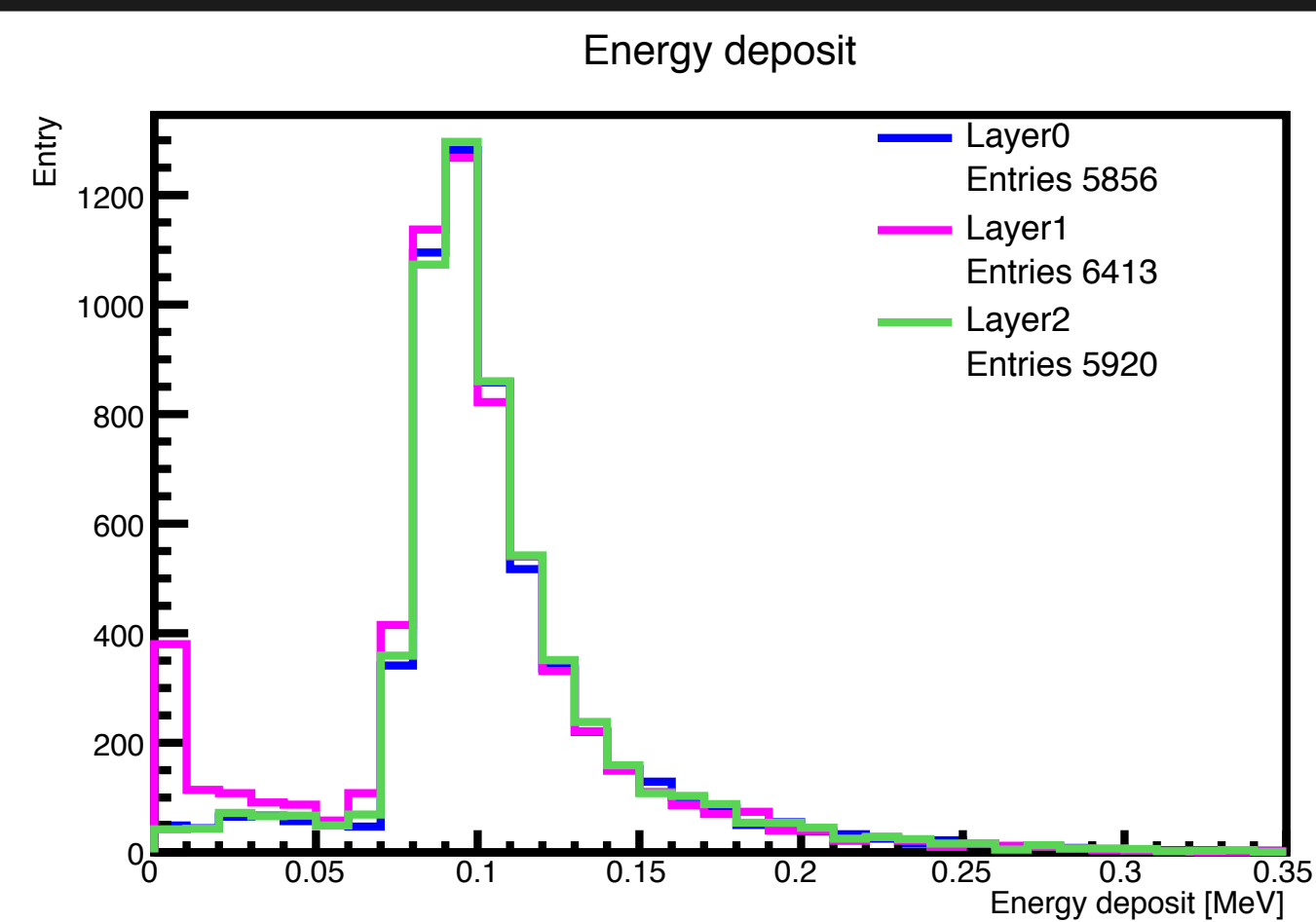
Energy loss [mV]
Target layer: L0
Denominator layer: L1, L2



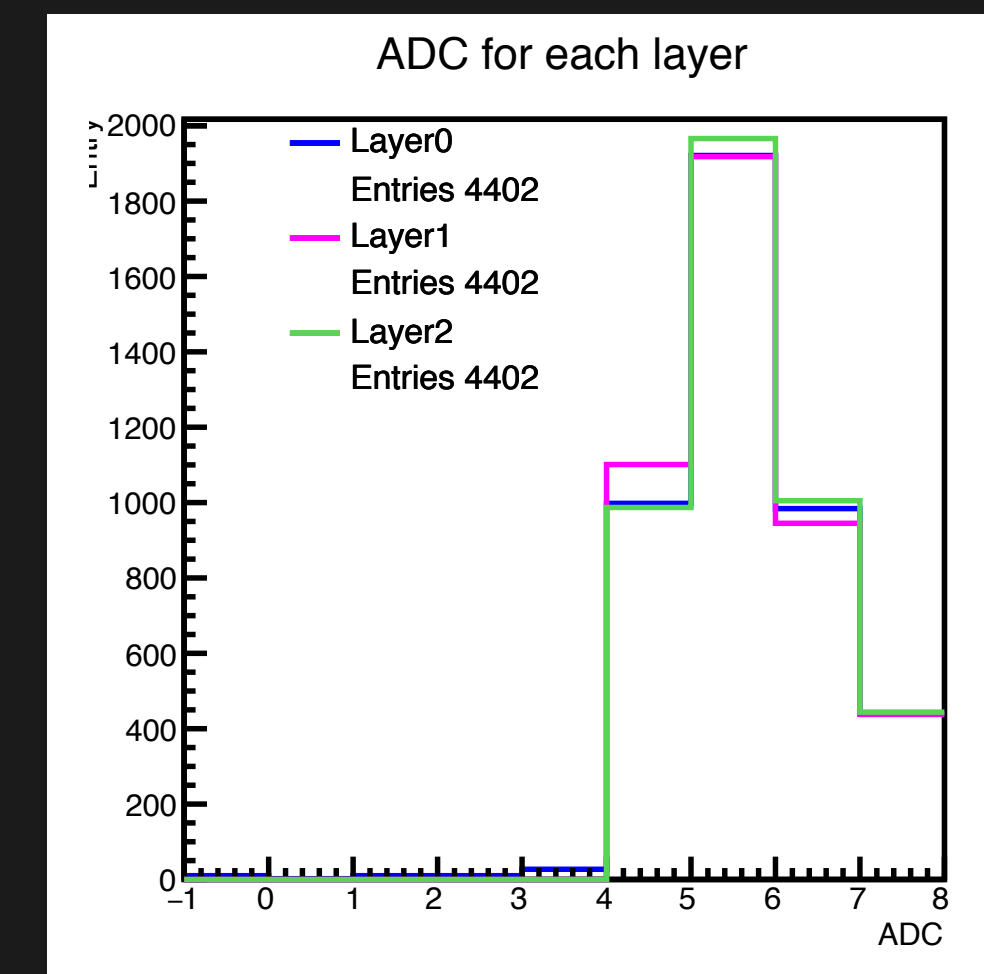
ADC correlation between L1 and L2

ADC

Target layer: L0
Denominator layer: L1, L2



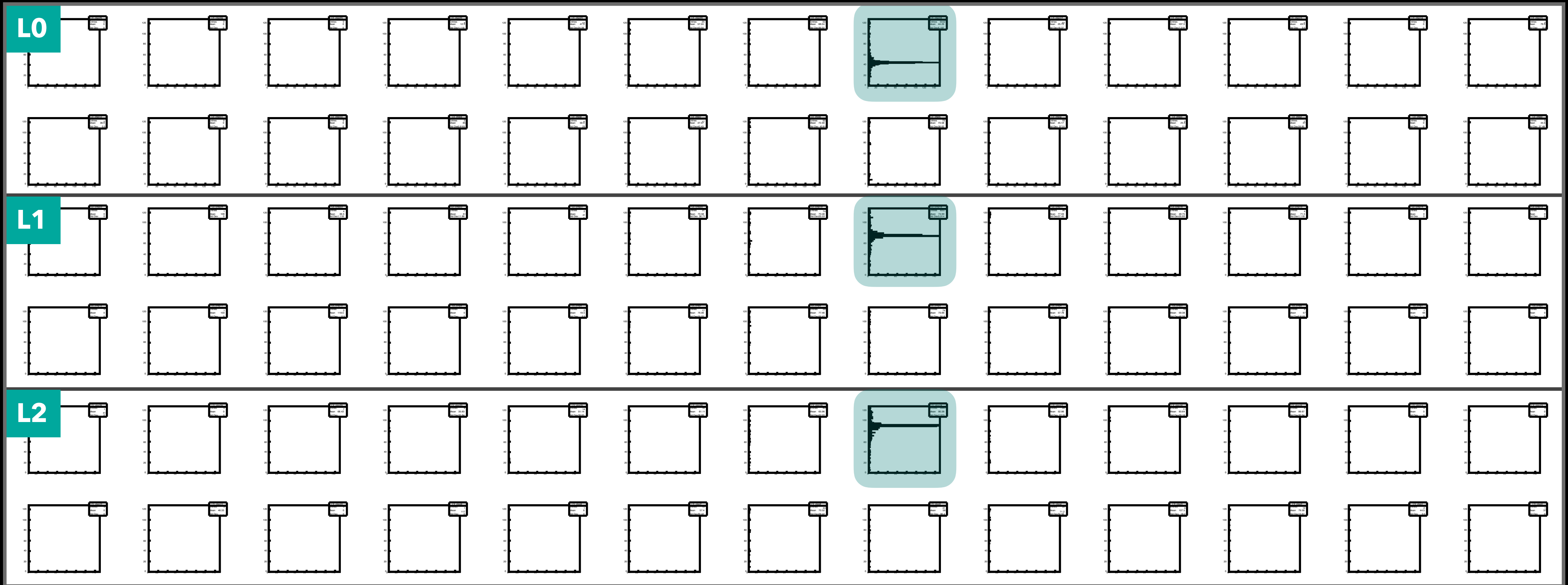
Threshold (mV)	ADC
266	0
274	1
338	2
402	3
530	4
658	5
786	6
914	7



データで得られたMIPピークに近いGainに設定

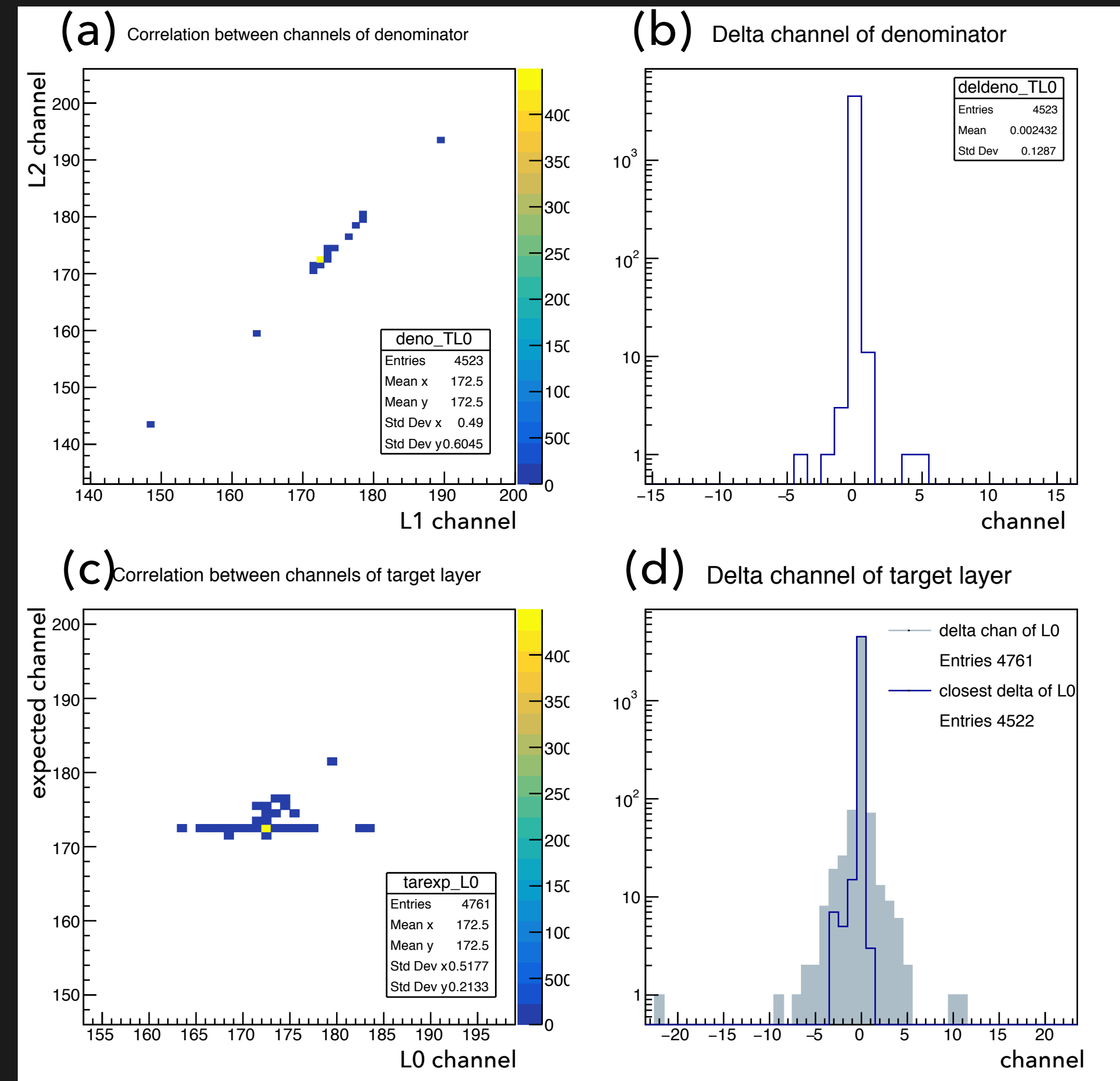
HIT CHANNEL DISTRIBUTION

Beam spot chip 19



Chip 19 is the beam hit chip -> Require chip 19 for all layers to calculate the efficiency

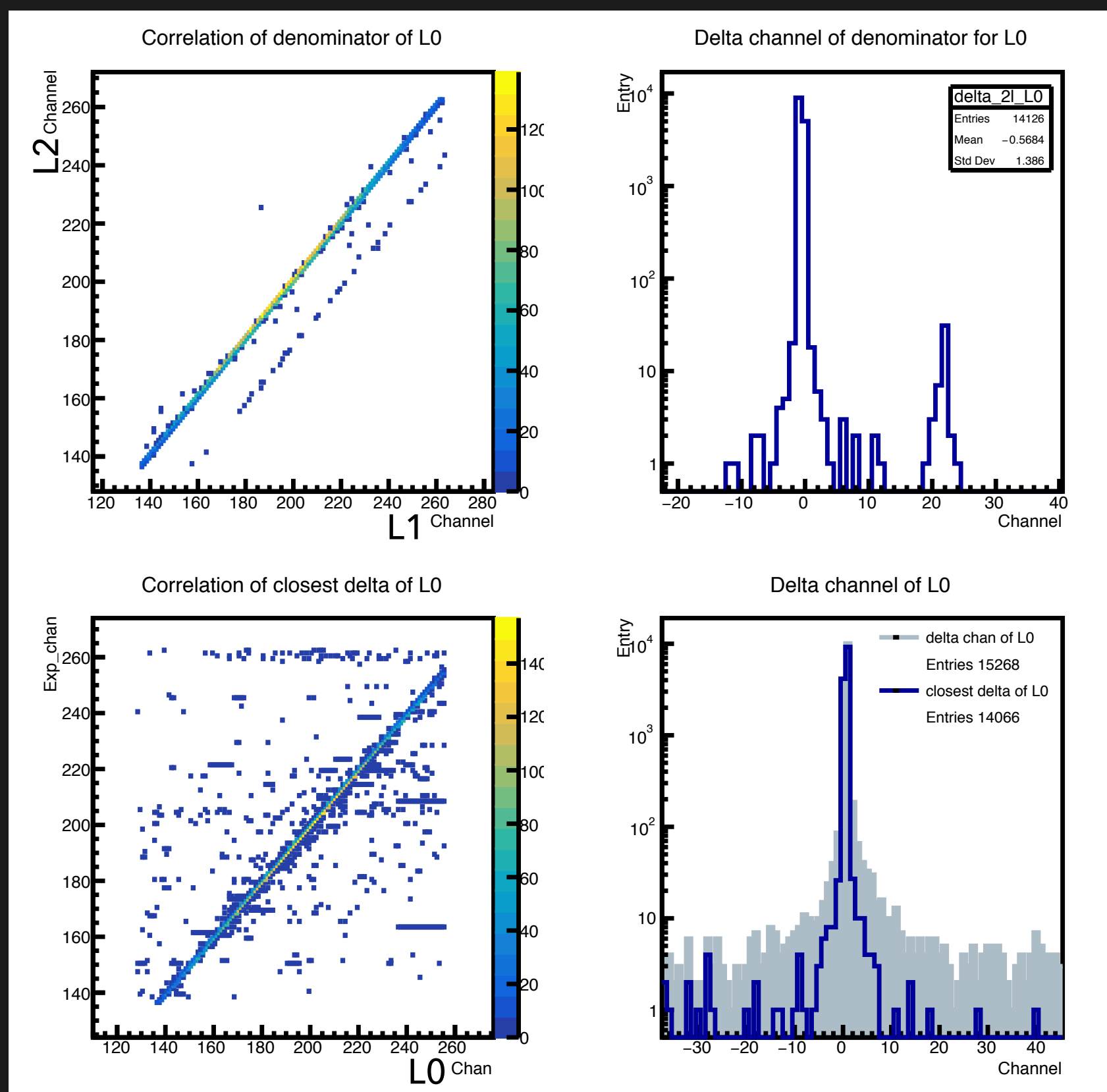
EVENT SELECTION IN SIMULATION



COMPARISON WITH 2018 RESULT

各Layerでの検出効率に差がある原因を確かめるため

同じ解析ソフトウェアを用いて2018年と検出効率を比較する

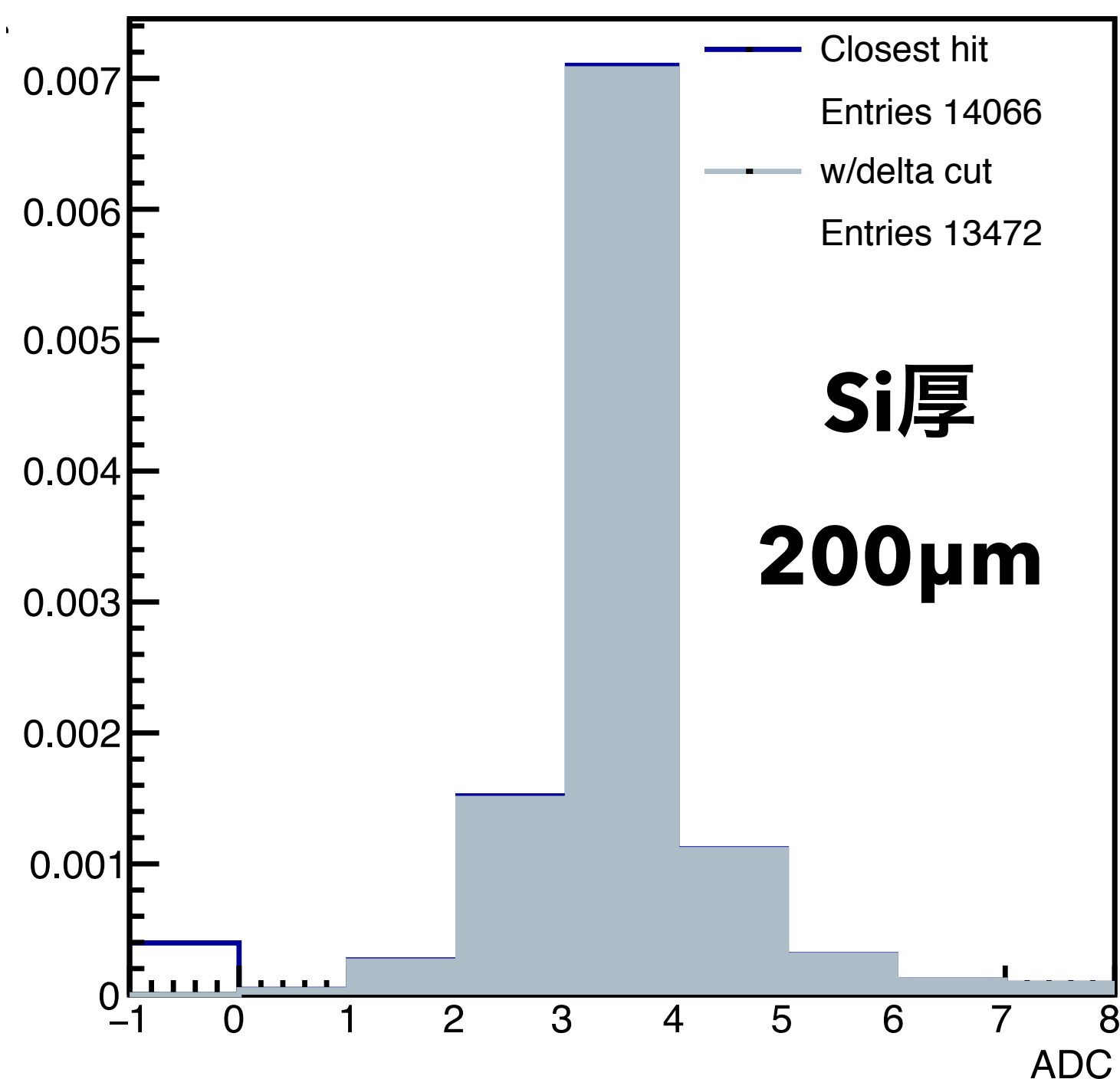
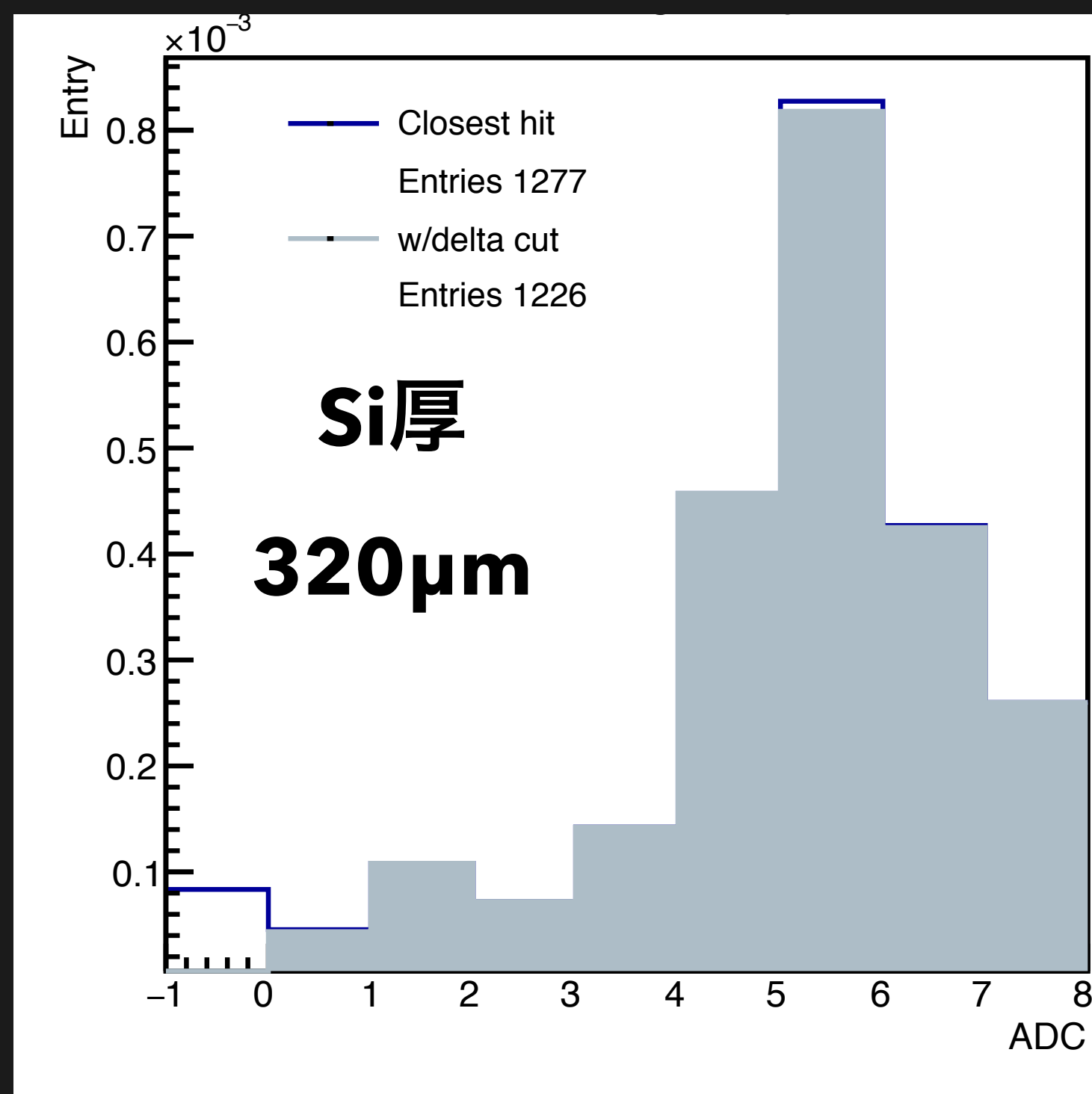


- ビームの絞りが高いため1チップにヒットが収まっている
- 各Layerは等間隔で配置されている
- シリコンセンサーの厚さは 200 μ m (今年の5/8倍)
- L1, L2のチャンネル相関を確認
 - 差が ± 5 chan 未満のイベントを選択
- L0予想値と実測値のチャンネル相関を確認
 - 最小の差が ± 5 chan 未満のイベントを選択

ADC DISTRIBUTION 2019 VS 2018

Run 615 (2019)

Run 97 (2018)

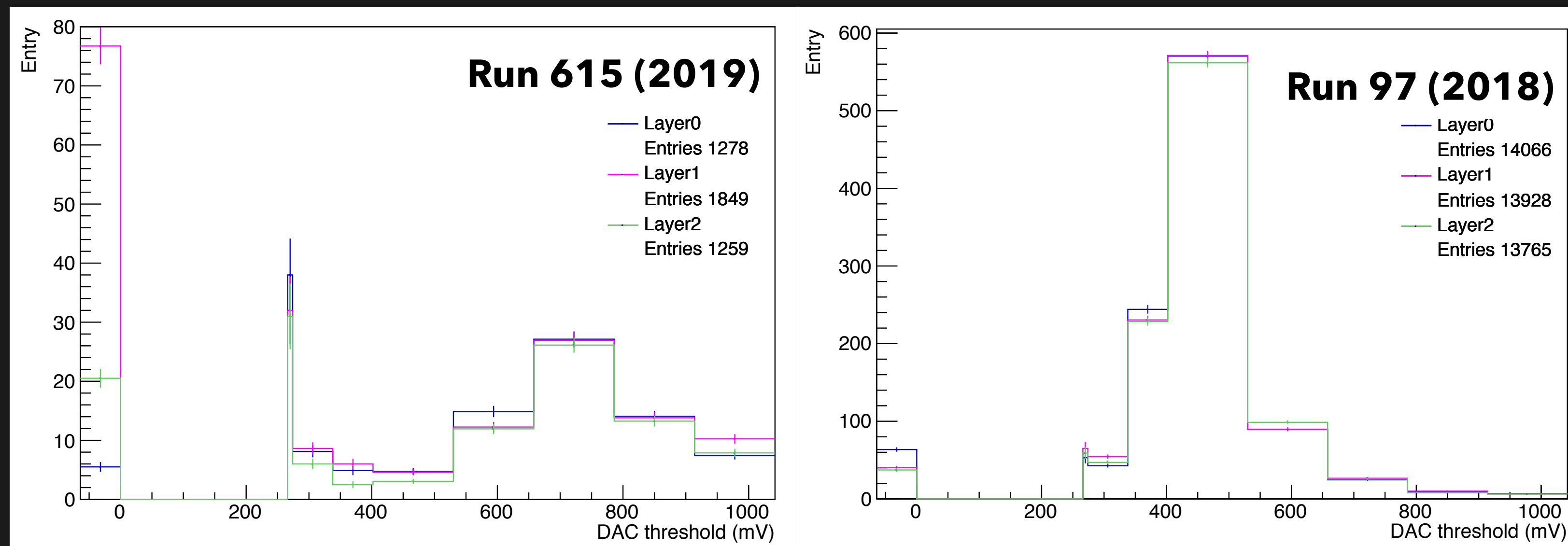


Threshold (mV)	ADC
266	0
274	1
338	2
402	3
530	4
658	5
786	6
914	7

シリコンの厚みの違いによりADCのピークが異なる

ENERGY LOSS DISTRIBUTION

2019 vs 2018



Threshold	Range, bins	Middle	ADC
266	$266 \leq X < 274$	270	0
274	$274 \leq X < 338$	306	1
338	$338 \leq X < 402$	370	2
402	$402 \leq X < 530$	466	3
530	$530 \leq X < 658$	594	4
658	$658 \leq X < 786$	722	5
786	$786 \leq X < 914$	850	6
914	$914 \leq X < 1042$	978	7

2018

2019

各DAC範囲の中心値をとる

0以下はDAC0閾値以下のhit

ビン幅が異なるためweightをかける

MIPピークの違いはシリコン厚による

2019: 320 μ m 2018: 200 μ m

SIDE-BY-SIDE DOUBLE HITS AT L2

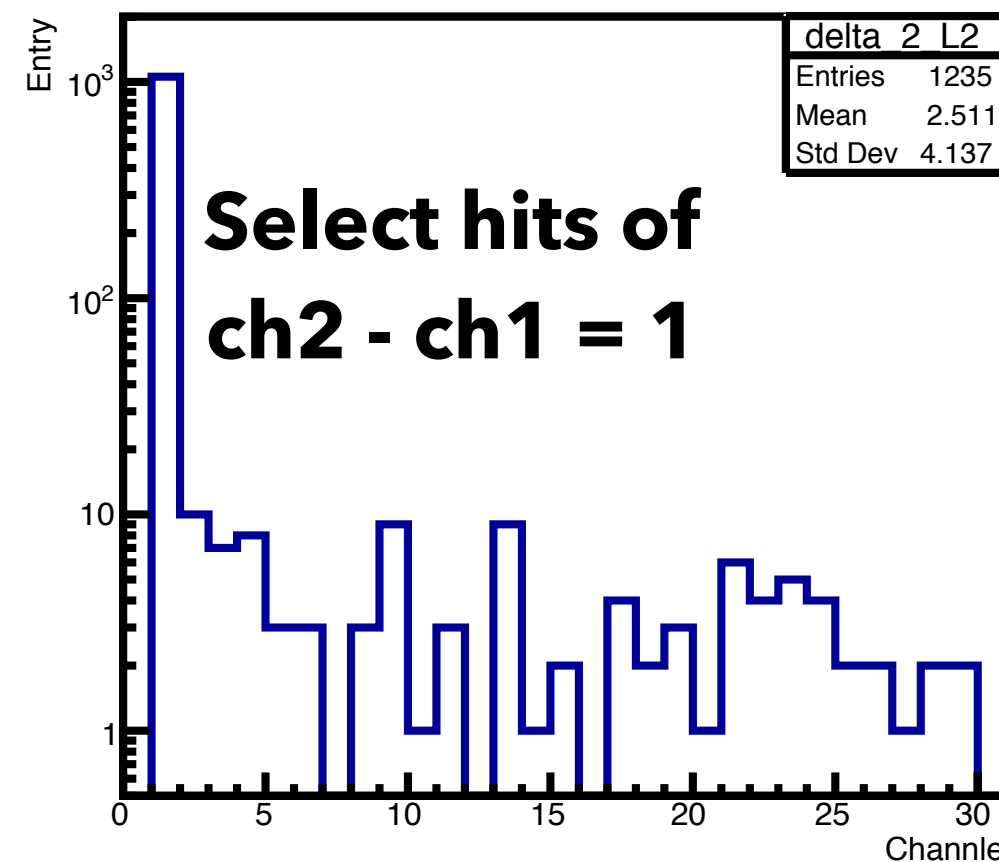
L2に対して隣同士のダブルヒットかつどちらかのヒットは低いADC ($0 < \text{ADC} < 5$) を要求

$\text{ch1} - \text{ch2} = 1 (\text{ch1} < \text{ch2})$

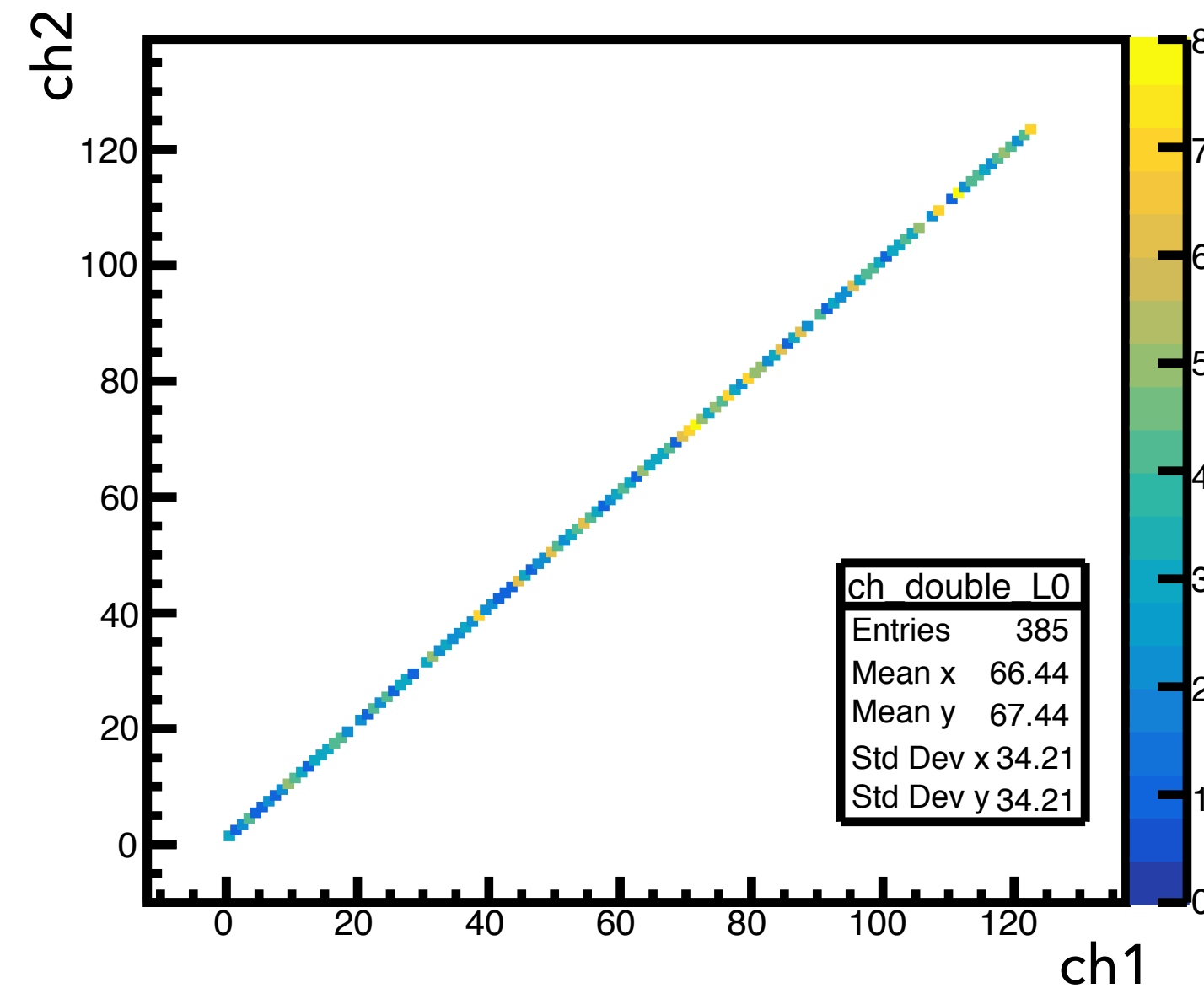
波高の低いヒット選択



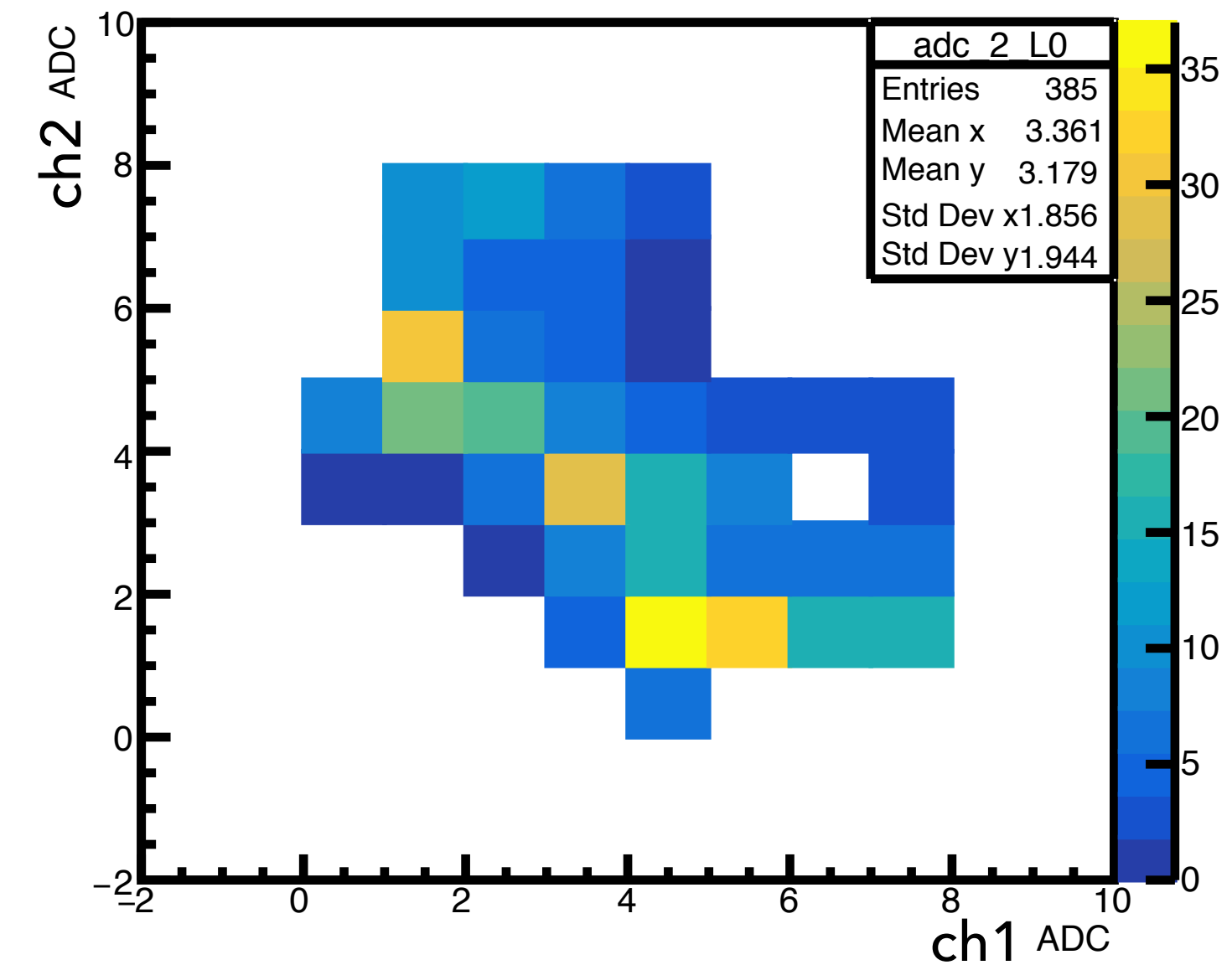
Delta channel of double hits



CH correlation of L2 double



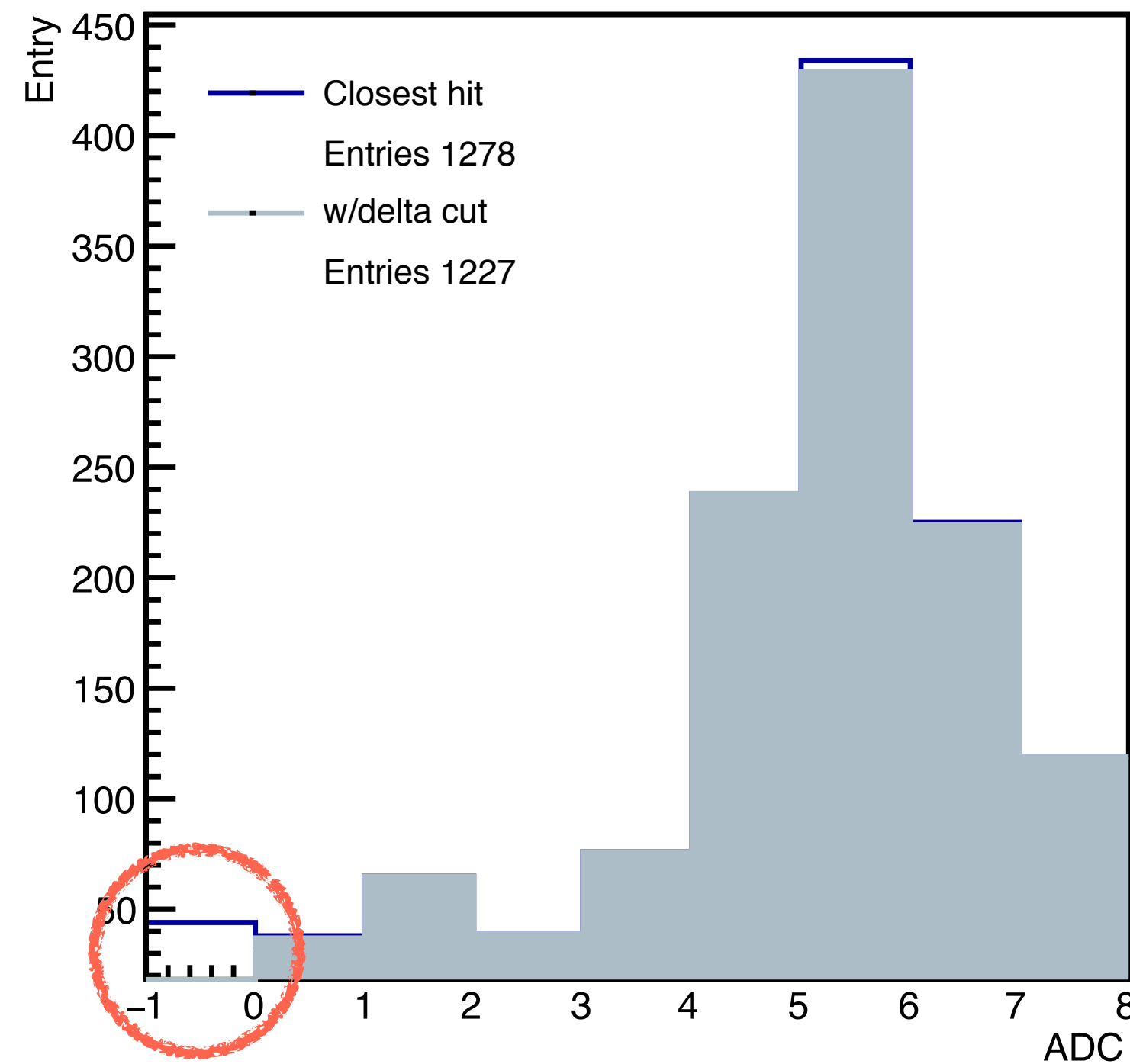
ADC correlation of double hits



隣同士のダブルヒットでADCの反相関を確認

ADC DISTRIBUTION

Target layer L0のADC分布



$$\text{Threshold (mV)} = 4 \times \text{DAC value} + 210 \text{ (mV)}$$



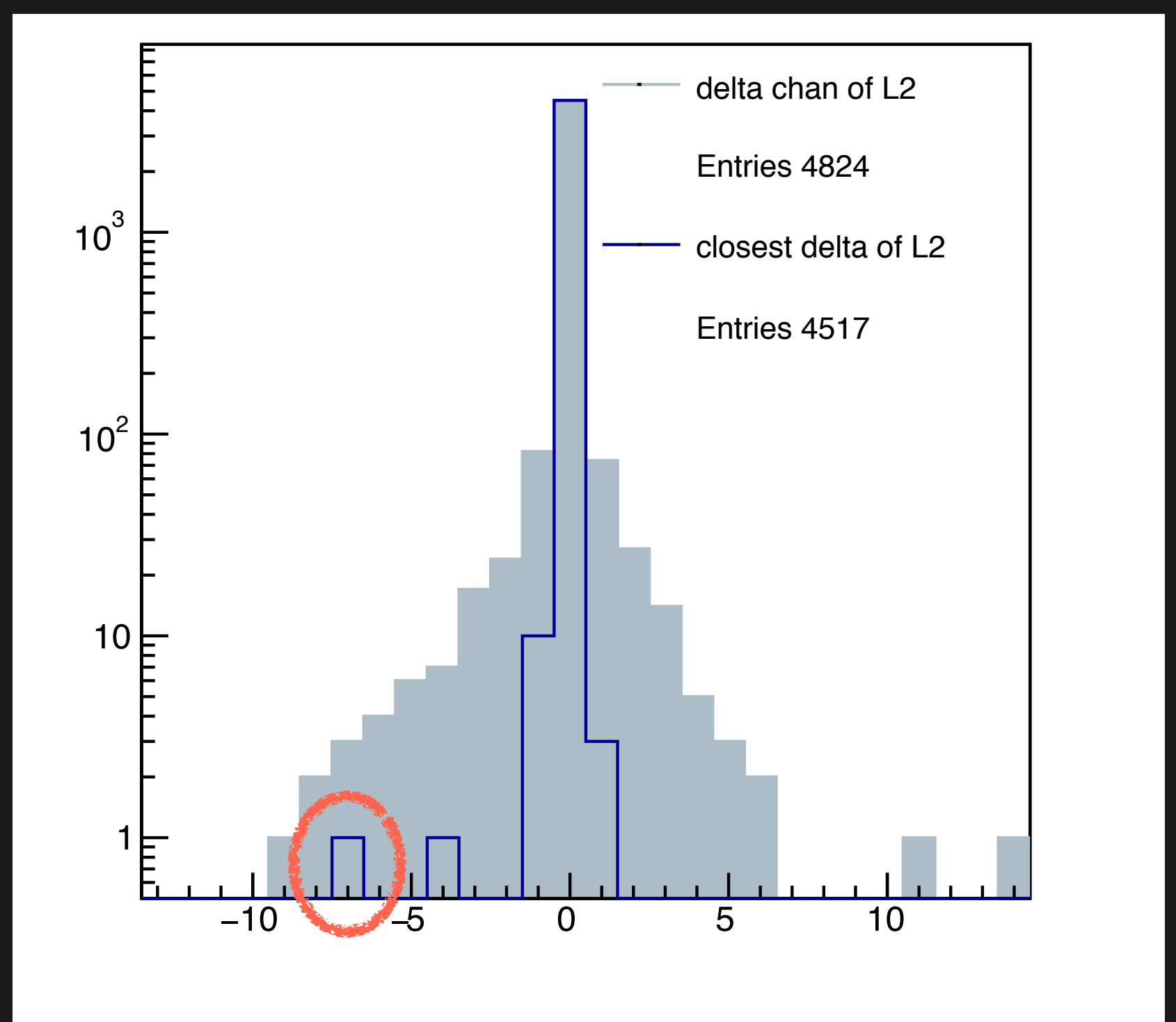
ADC	DAC	Threshold (mV)
0	14	266
1	16	274
2	32	338
3	48	402
4	80	530
5	112	658
6	144	786
7	176	914

ADC5すなわち658~786mVでMIPピークが観測できた

→期待より低いのはFPHXで設定される増幅率が原因か

L2 INEFFICIENCY

L2の実測値ー予想値のチャンネル差分布

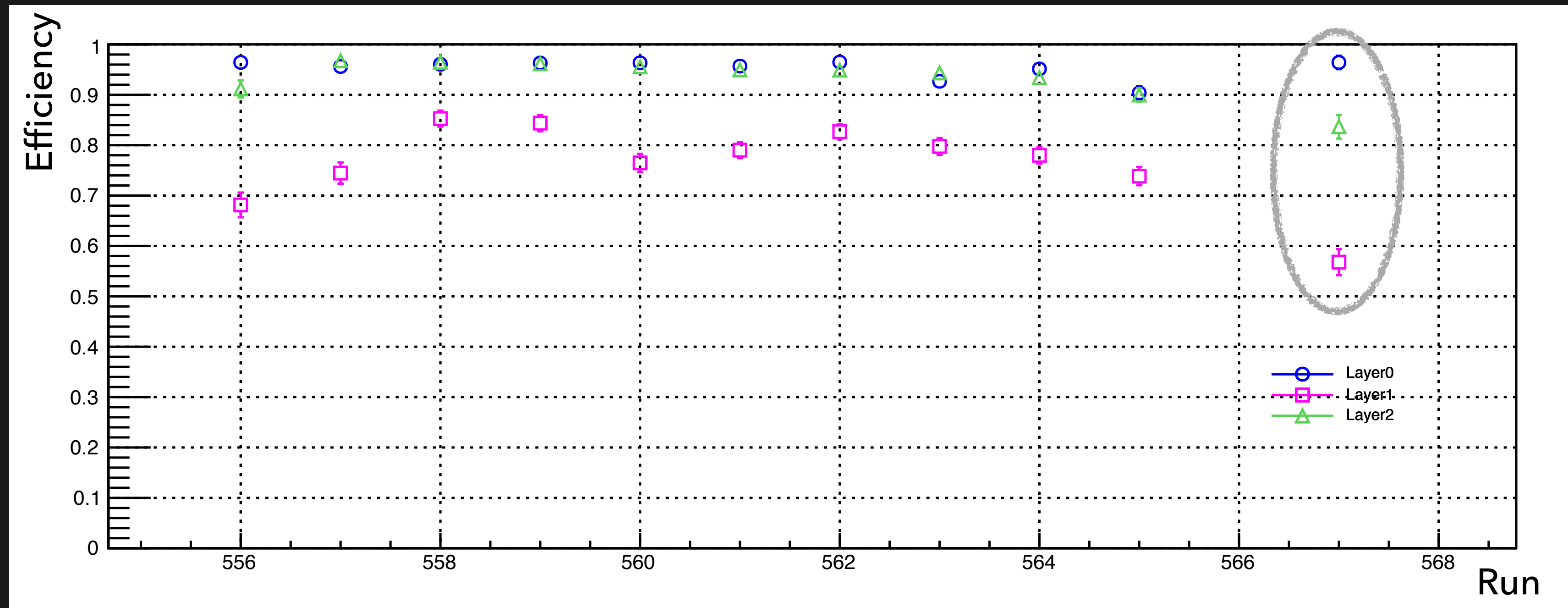


L2実測値 - L2予想値 = -7 ch

±5chでカットされたことにより99.98%となった

COMPARE WITH OTHER RUNS

L0, L1, L2の検出効率のばらつきが測定条件に依存するのか確認するため
複数のデータで検出効率を比較

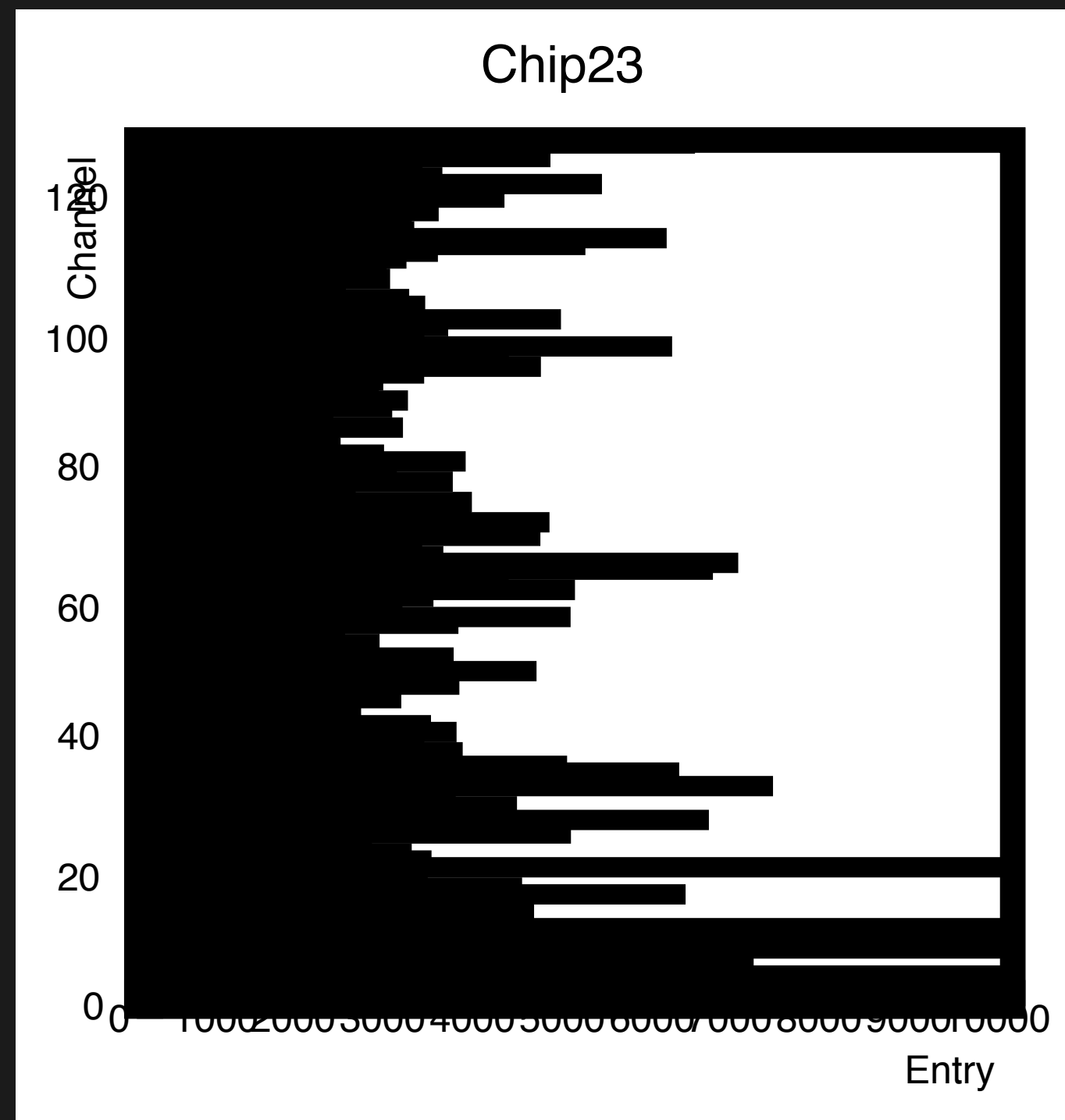


前半のデータではL0とL2の検出効率がよく一致している

あるデータでL2の差が開きそれ以降L0, L2の検出効率が一貫することはなかった

HIT CHANNEL OF NOISE CHIP 23 (L2)

Noise chip



Entries MAX 10000

chip 23のエントリー数の変化

L0とL2の検出効率が一致しているとき → 0 entry

L2の検出効率が低下したとき → 599500 entries