

ビームクロックケール

On behalf of 加藤、宍倉、藤木

New BCLK Cable Manufactured in RIKEN

Manufactured by Ryota Shishikura



先週のおさらい

正規のチャンネルマップに従ったビームクロックケーブルではキャリブレーションデータは採れない。
LBDSの正負を反転させるとうまく取れる。

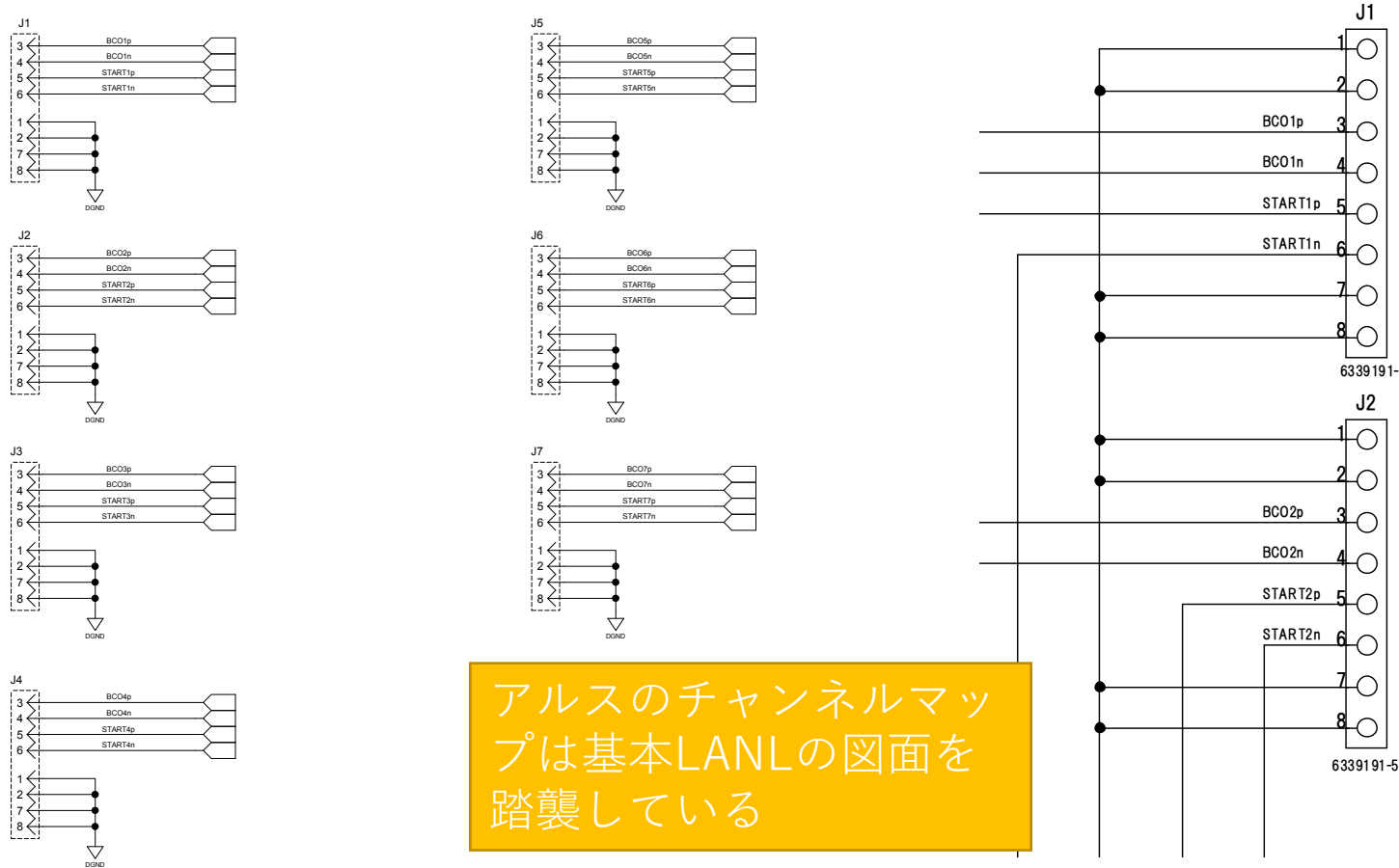
Channel Map

BCDB	ROC	ROC	Label
1	1	2	DGND
2	2	1	DGND
3	3	4	BCOp
4	4	3	BCOn
5	5	6	STARTp
6	6	5	STARTn
7	7	8	DGND
8	8	7	DGND

正規 反転

→FVTXはどうなっているのか？

Channel Map Consistency Between Rev.A (LANL version) vs. Rev.B (ARS version)



LANL Original
126Y-267963revA_schem.pdf

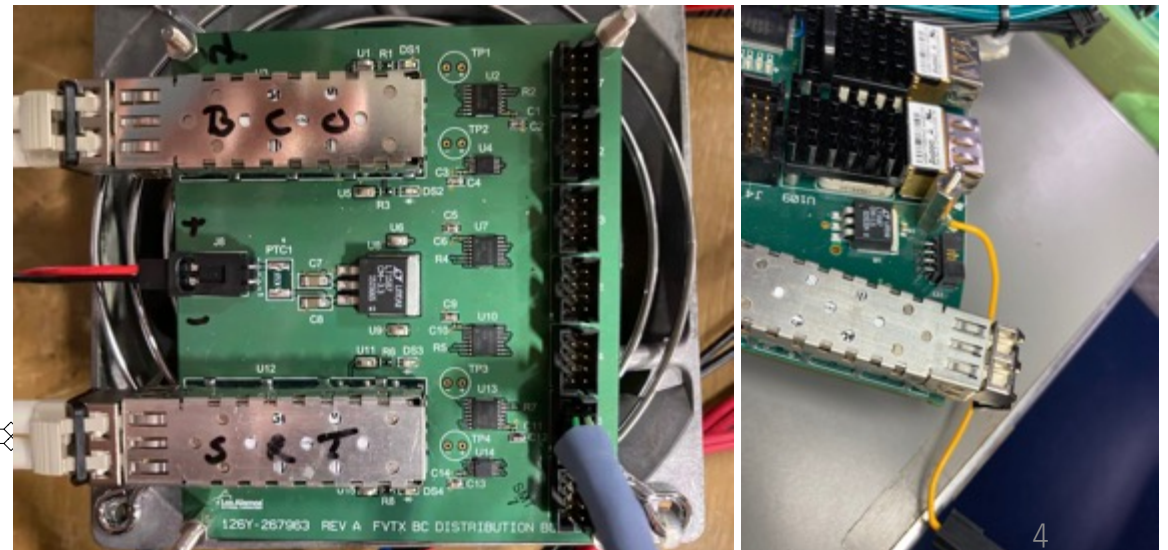
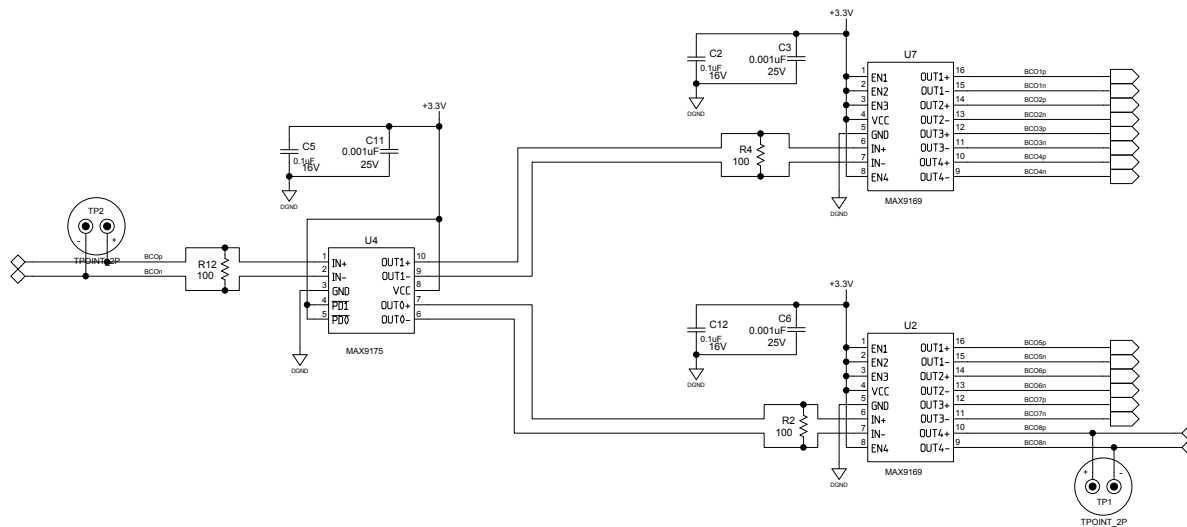
ARS図面
PE-DS-126Y_267963_REV.B.pdf

Rev.A	Rev.B	Label
1	1	DGND
2	2	DGND
3	3	BCOp
4	4	BCOn
5	5	STARTp
6	6	STARTn
7	7	DGND
8	8	DGND

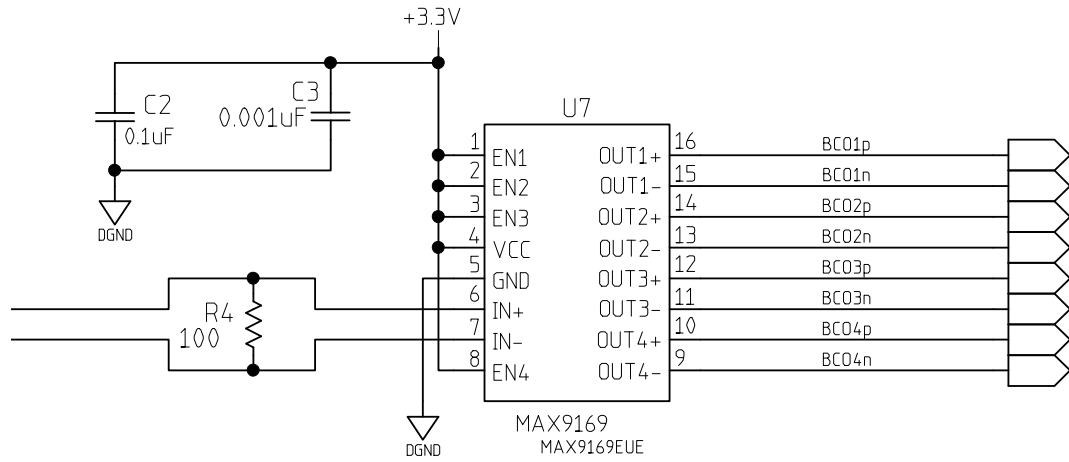
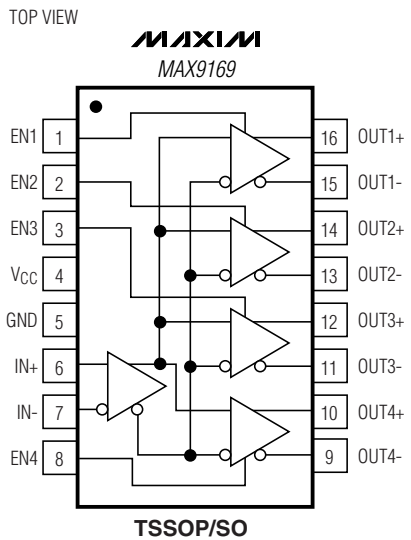
consistent

戦略

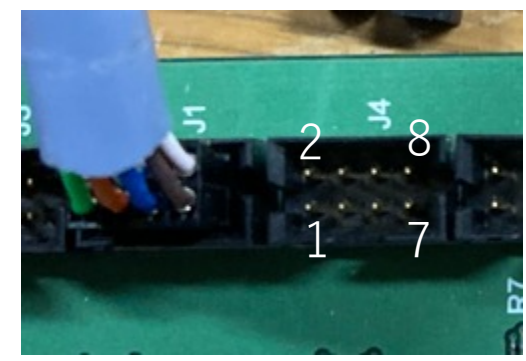
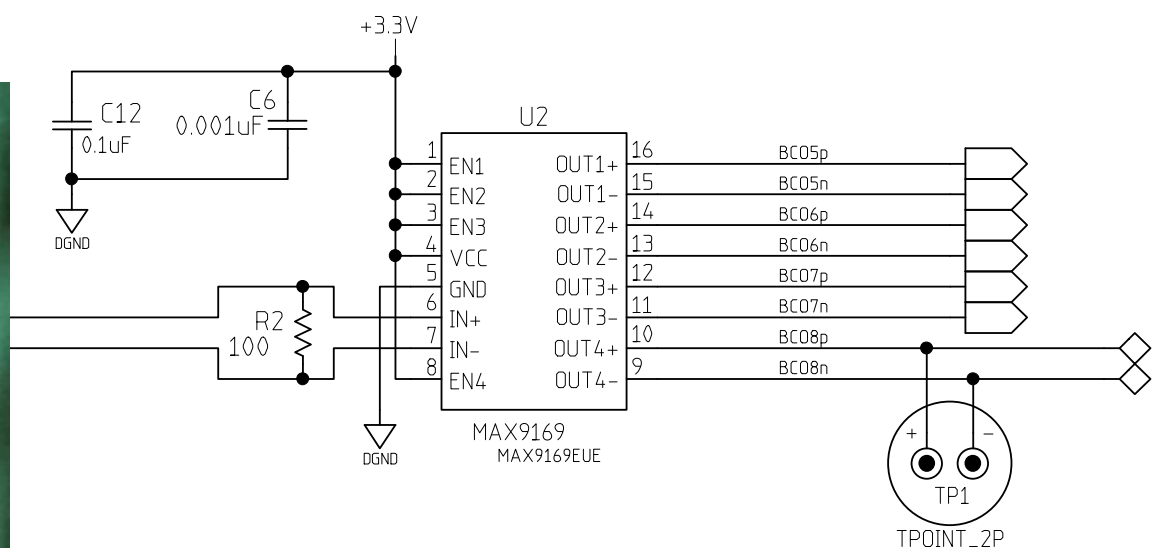
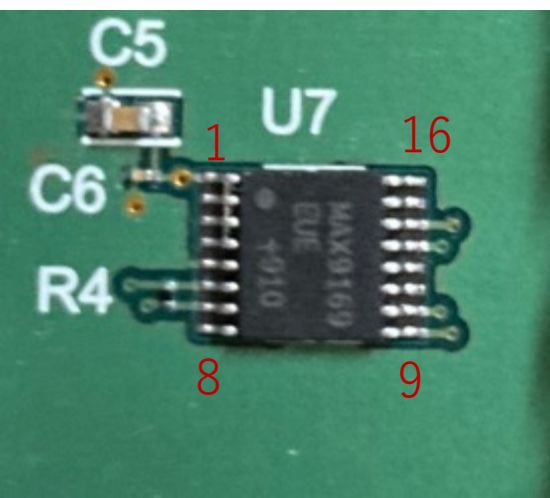
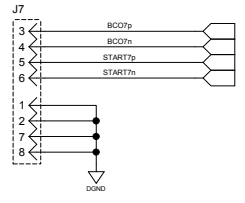
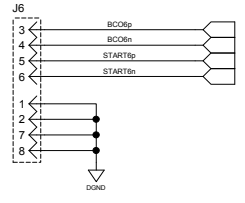
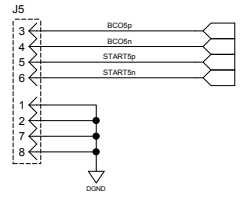
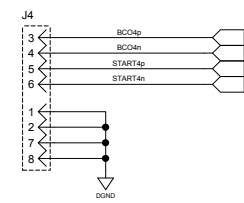
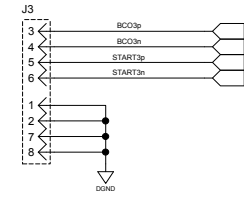
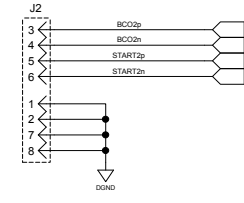
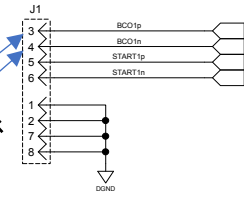
- FVTX-BCDBとFVTX-ビームクロックケーブルをセットアップして、LVDSチップの出力ピンから導通するピンを下流(ROC側)へと追いかけていく。
- ROC側のビームクロックコネクタのピンが、FVTX-BCDBのLVDSチップのどの出力ピンに接続されているのかを特定する。



FVTX-BCDBの導通チェック

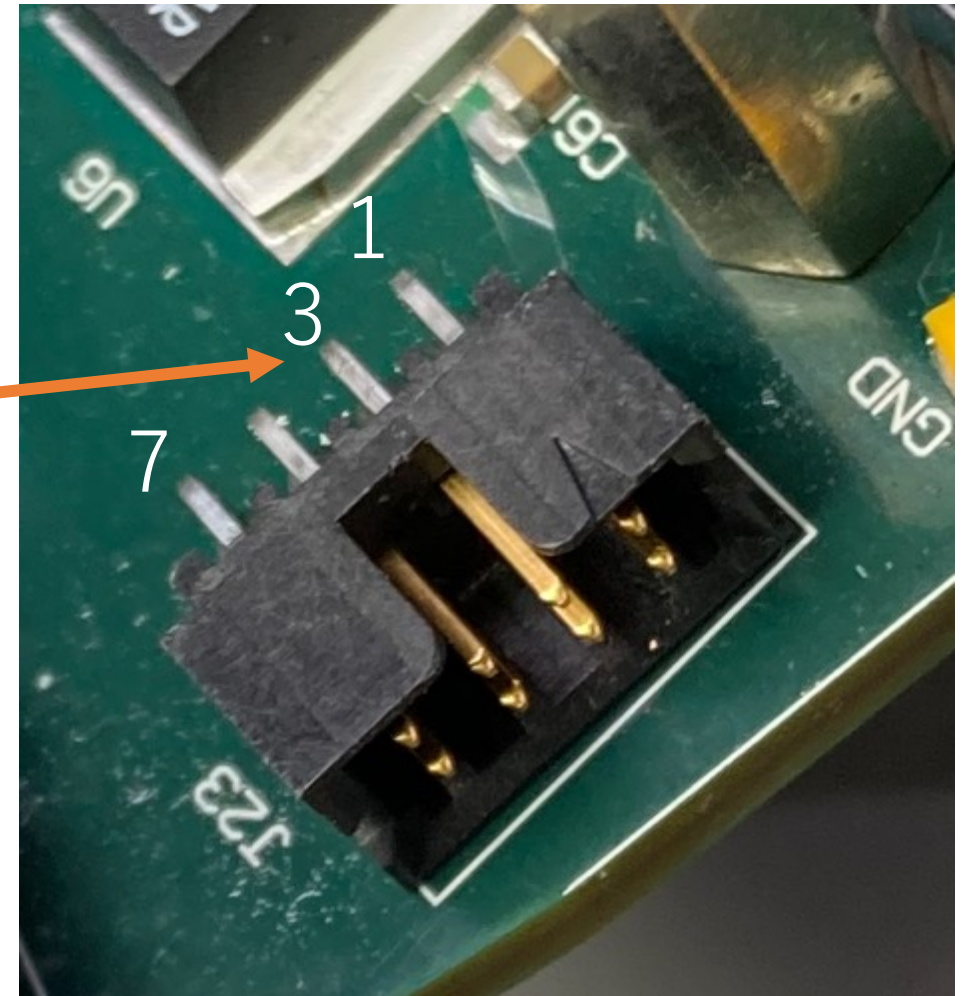
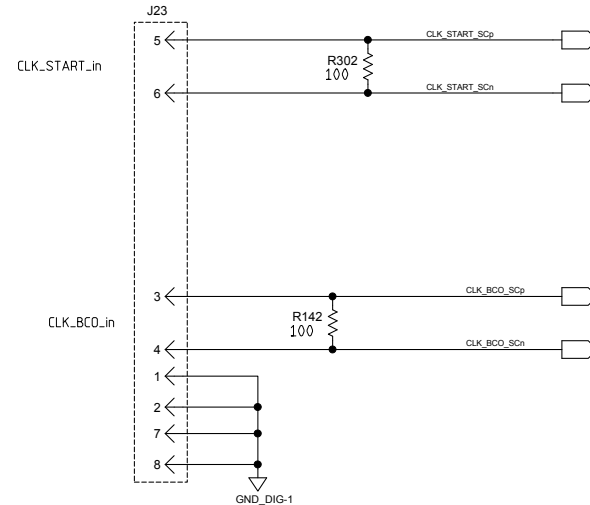
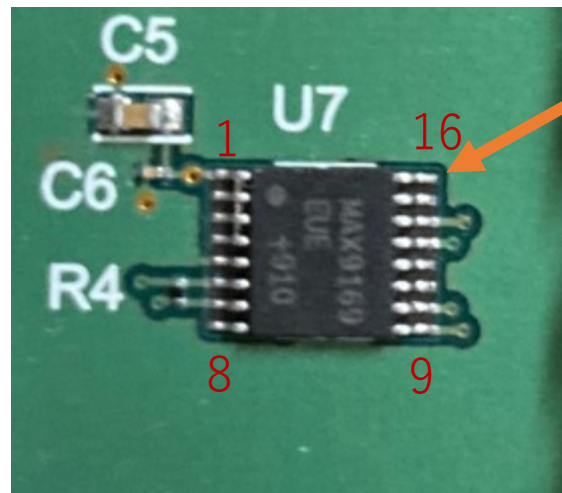


J1, Ch3
J1, Ch4



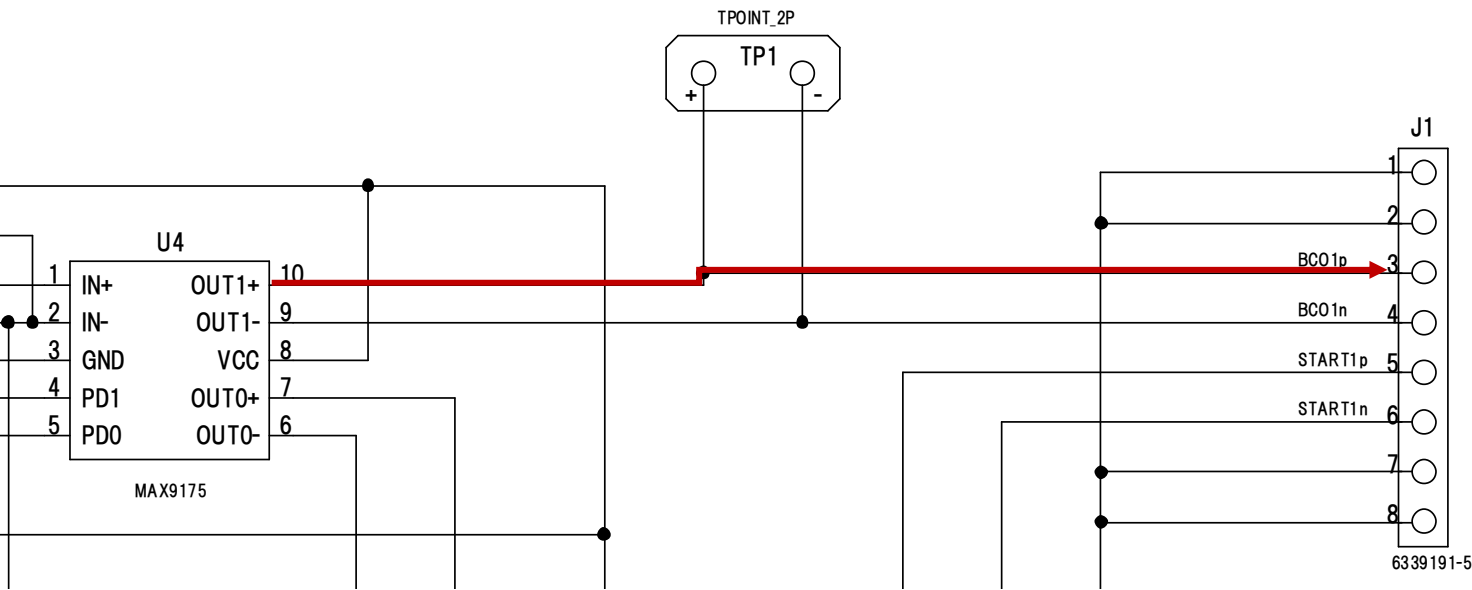
FVTX-BCDBケーブルの導通チェック

1. BCDBケーブルはFVTX-BCDBのJ1に繋ぐ。
2. 正規のチャンネルマップ通りなら、BCDBのU7 Channel-16 (BCO1p)がROC-J23のChannel-3が導通するはず。
3. もしLBDSの正負がケーブルで逆転していると、BCDBのU7 Channel-16 (BCO1p)がROC-J23のChannel-4と導通する。

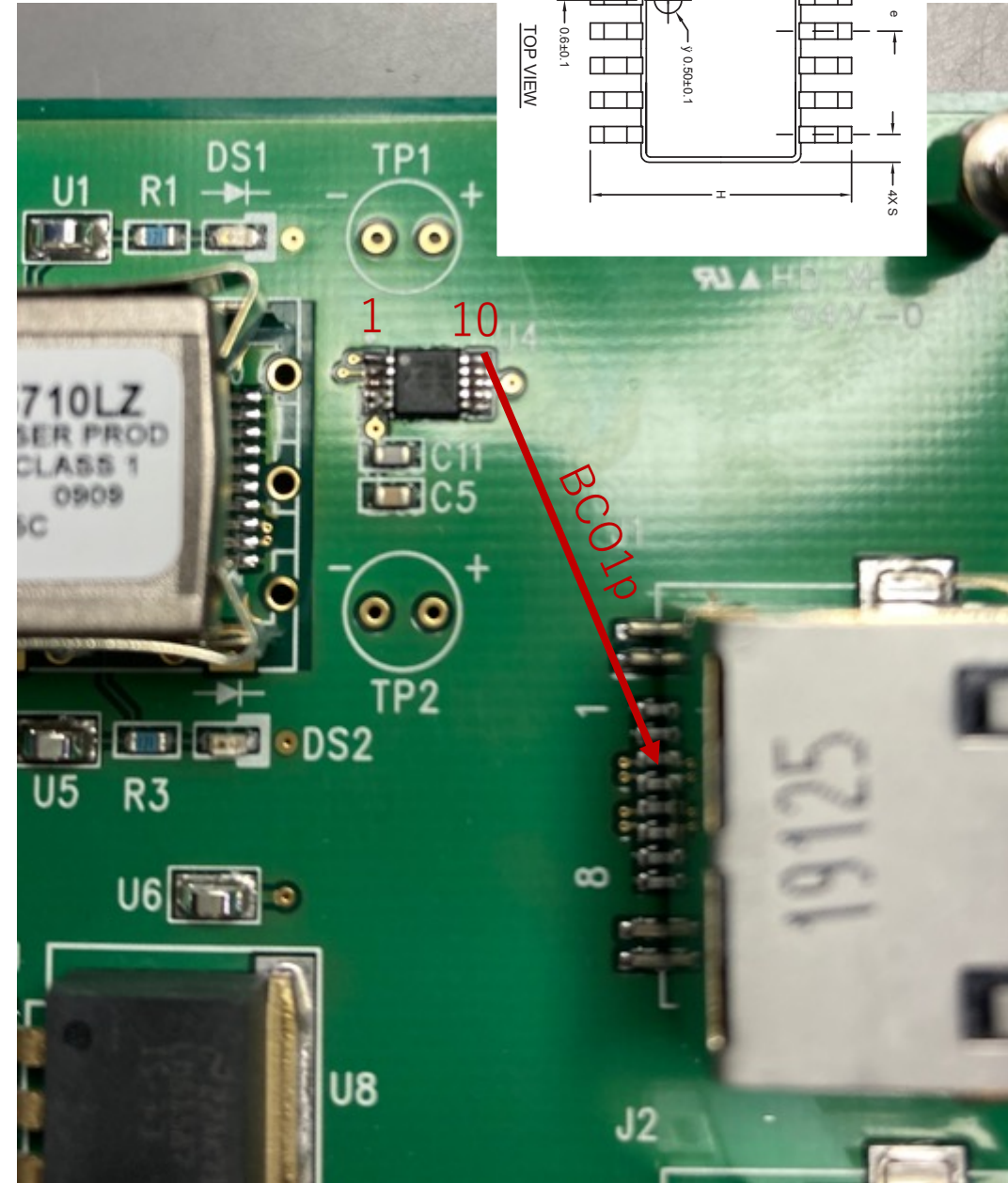


ROCのJ23コネクタ

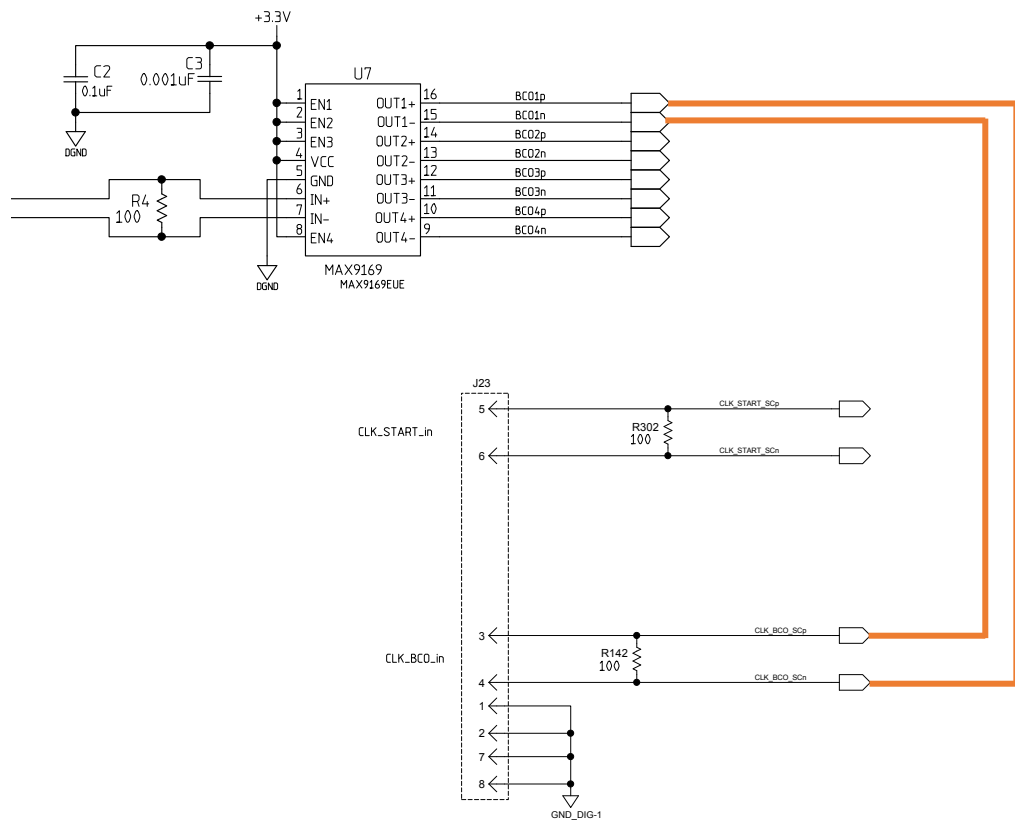
新BCDBの導通チェック



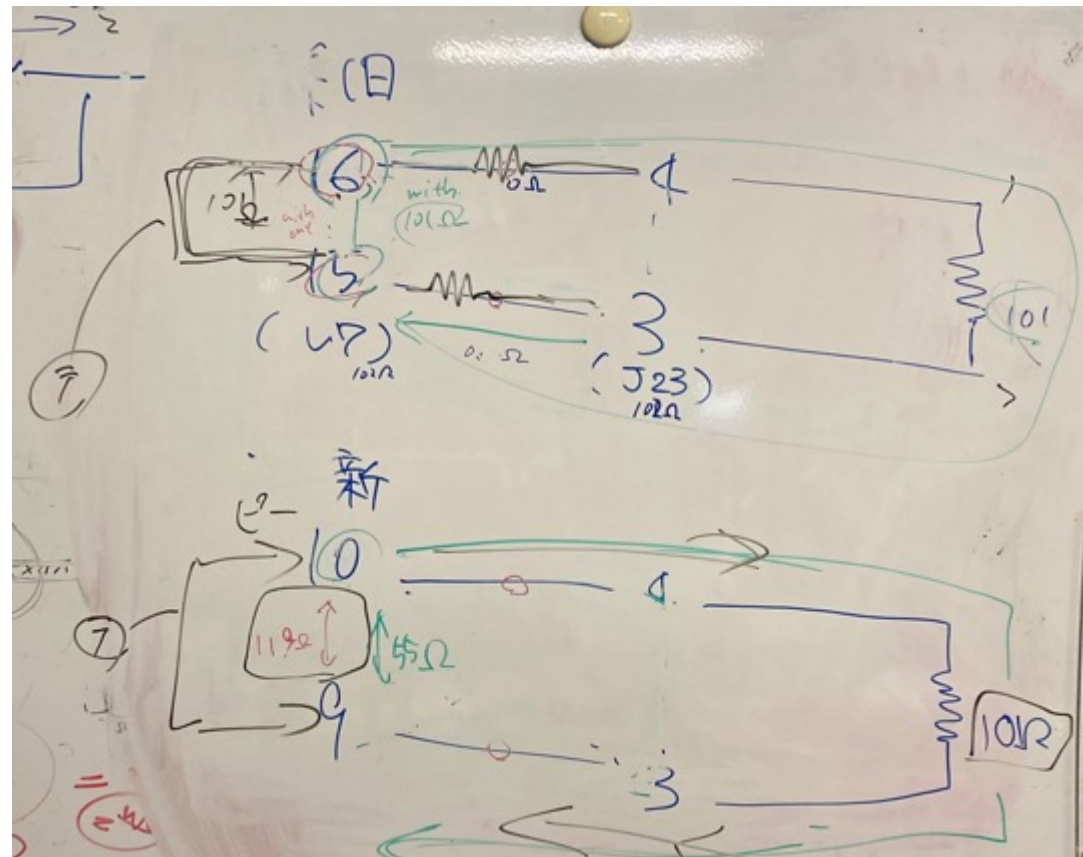
U4のChannel-10とRJ45のChannel-3が導通するはず



FVTX-BCDB + FBTXビームクロックケーブル



ROC Schematics



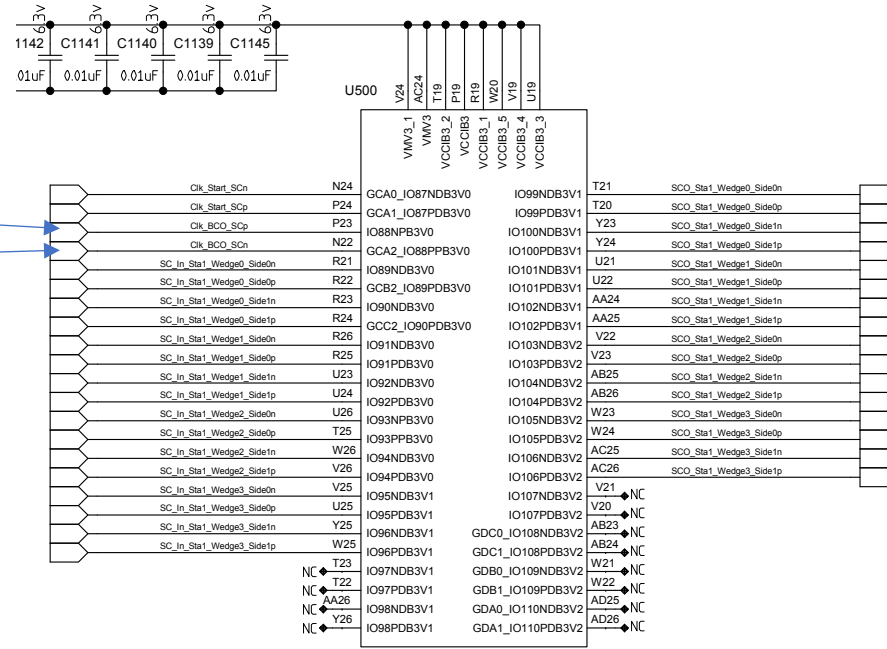
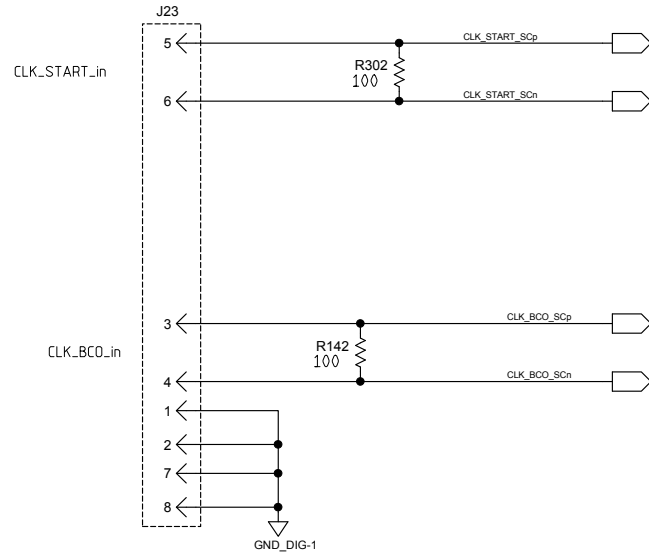
FVTX-BCDBケーブル自身も反転させていることが判明。新ビームクロックボードも原則FVTX-BCDBの回路図を踏襲しており、反転ケーブルでうまくデータが取れる裏付けはできた。しかし回路図と整合性が取れない謎が残った。

結論

- 新ビームクロックボードは回路図通り製作されている。
- FVTX-BCLKボードもLANLの回路図通り製作されている。
- 正規のケーブルマップで製作したケーブルではデータが取れず、LVDSの正負を反転したケーブルならデータが取れることから、ROCの回路図とビームクロックボードの回路図で整合性が取れないことがわかった。
- バージョンのミスマッチか？ROCの回路図の出所を追跡する。

ケーブルのマップの問題なので、新ビームクロックボードの量産の発注は今週からスタートしている。ケーブルの発注はまだ。

ROCのねじれの原因



Slow Control FPGA

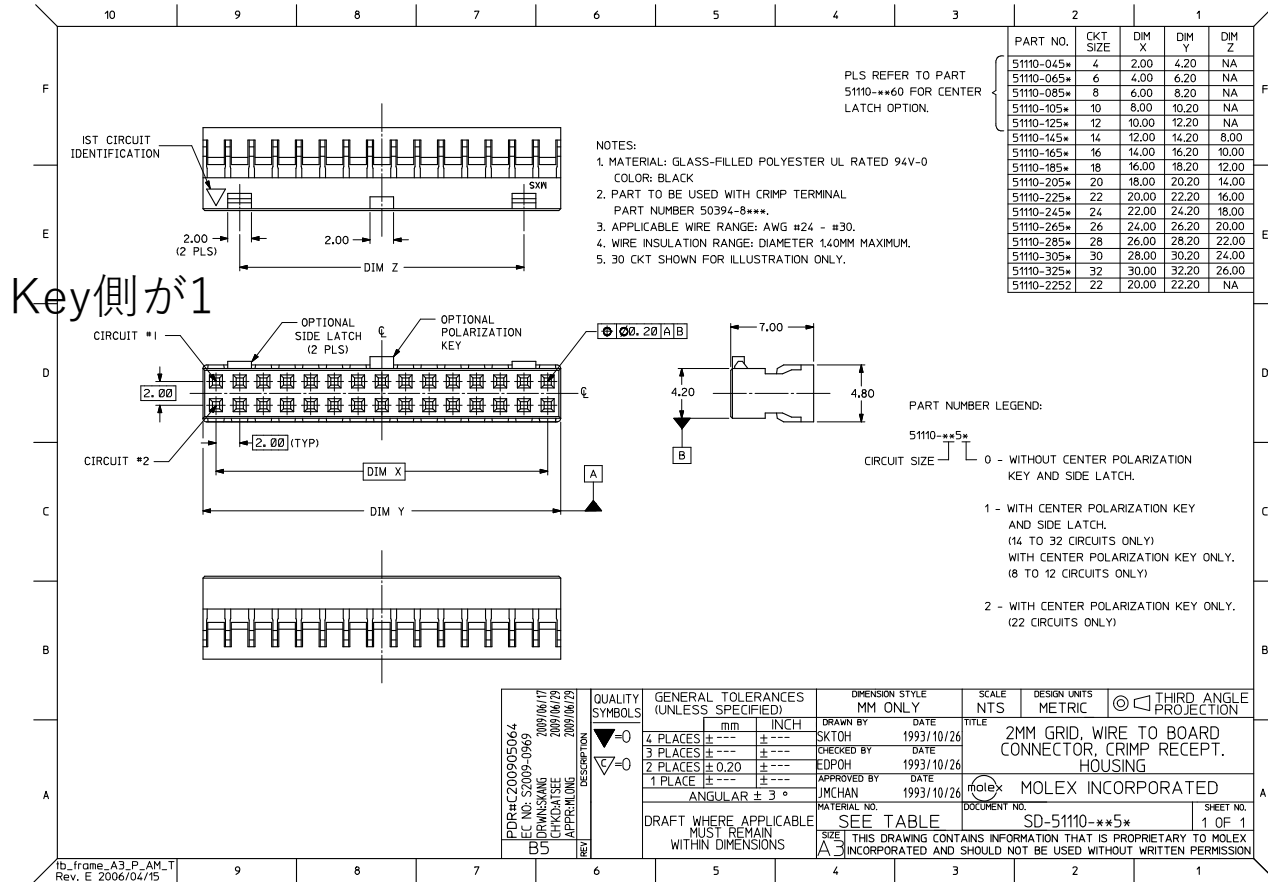
J23	Slow Control FPGA Pin#	ROC_slow_control_top.pdc
CLC_BCO_SCp	P23	set_io BCO_CLK_0_n -pinname P23
CLC_BCO_SCn	N22	set_io BCO_CLK_0_p -pinname N22

FPGA内で正負を入れ替えているのが原因。恐らく回路設計のミスを手で修正している。

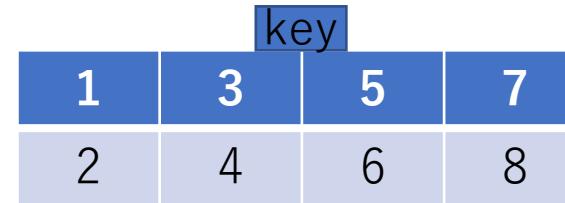
コネクターのピンアサイン

ピンアサインを読み間違えていないか？

MOLEX 51110-0851 Datasheet



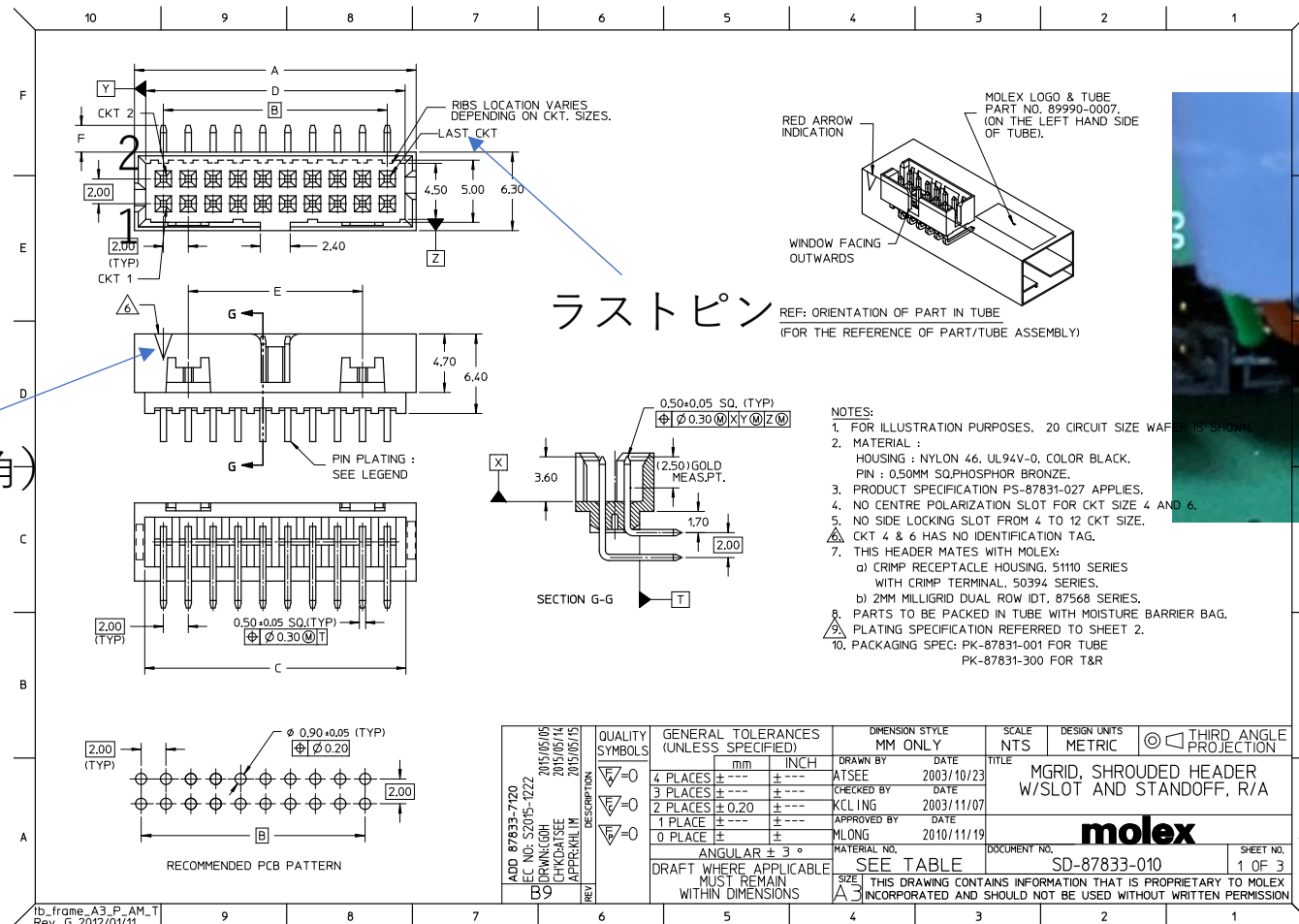
Key側が1



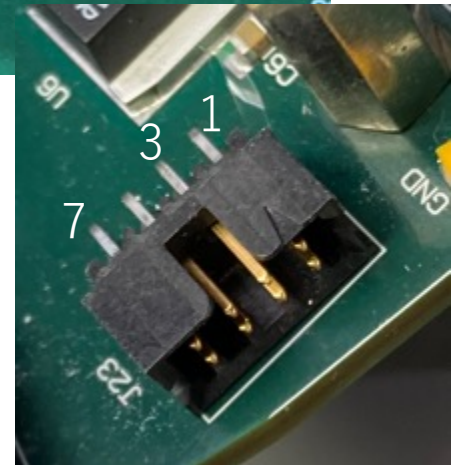
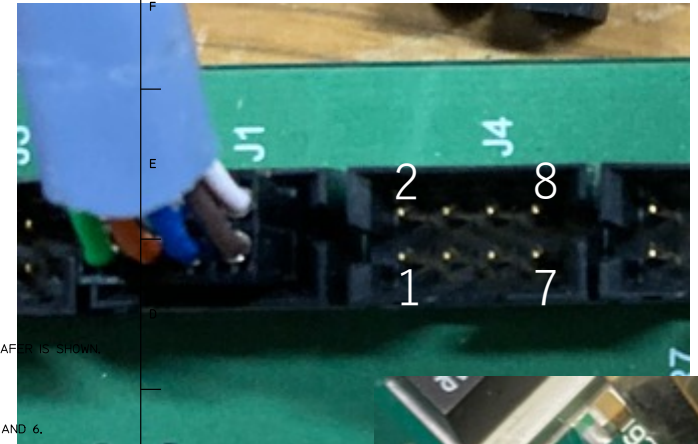
View From Front

左図からこのチャンネルマップと解釈して良いのか自信ありません。いかがでしょうか？→星屋さん確認済みOK。

Molex 878733-0820 Male Connector



@BCDB



@ROC

