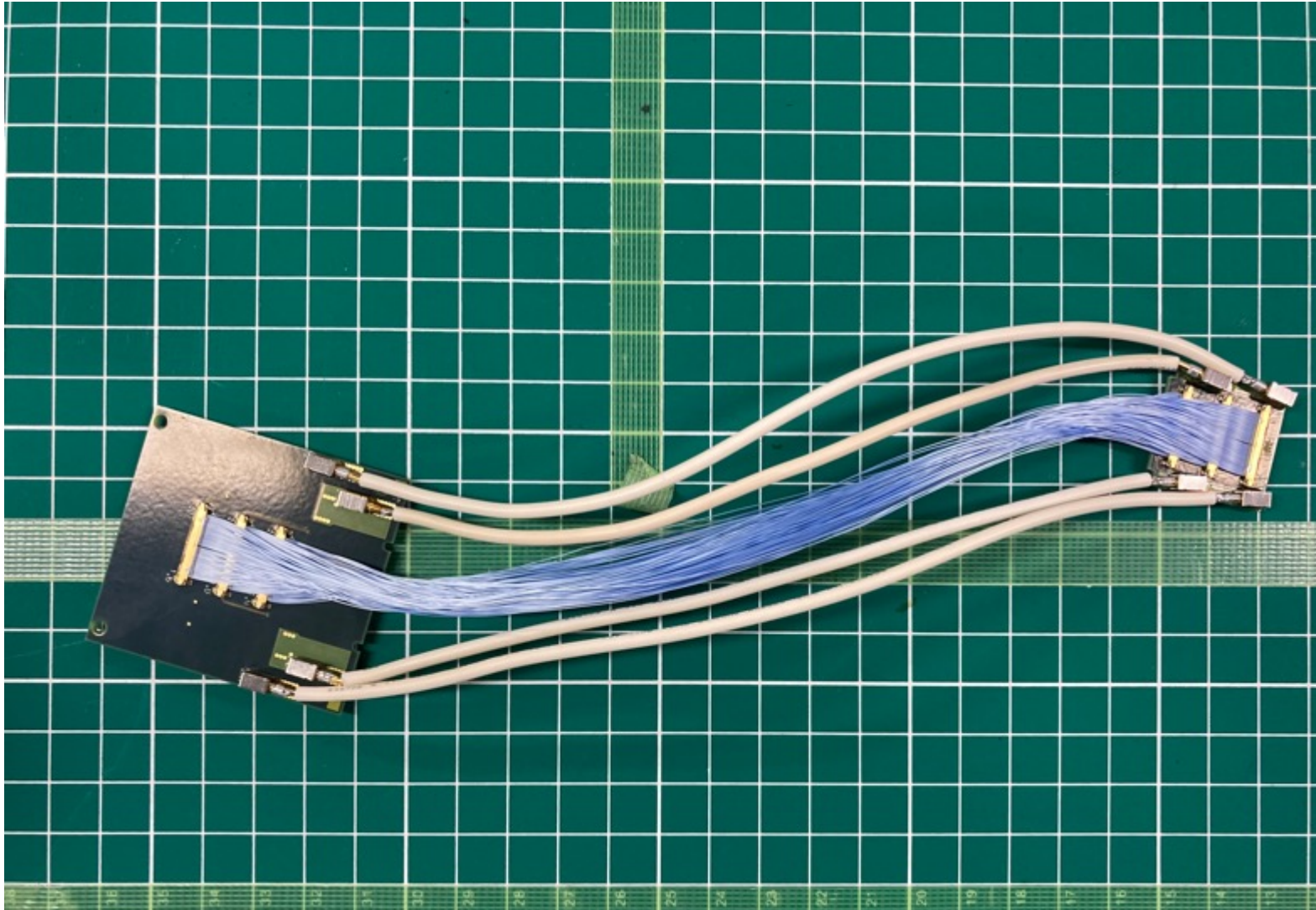
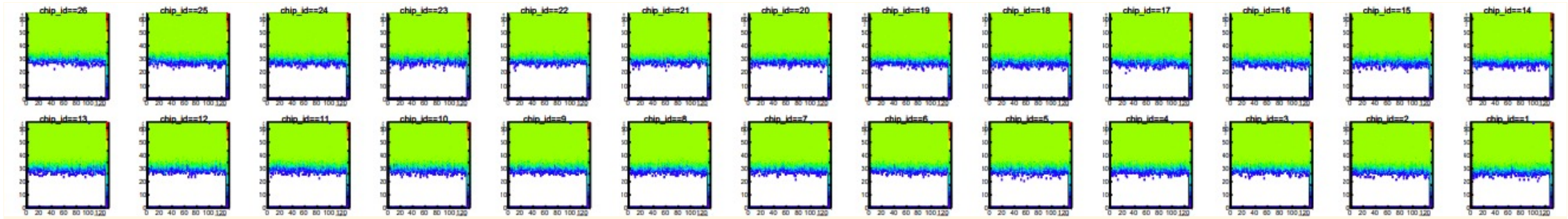


# $\mu$ 同軸変換ケーブル 高速オシロ測定

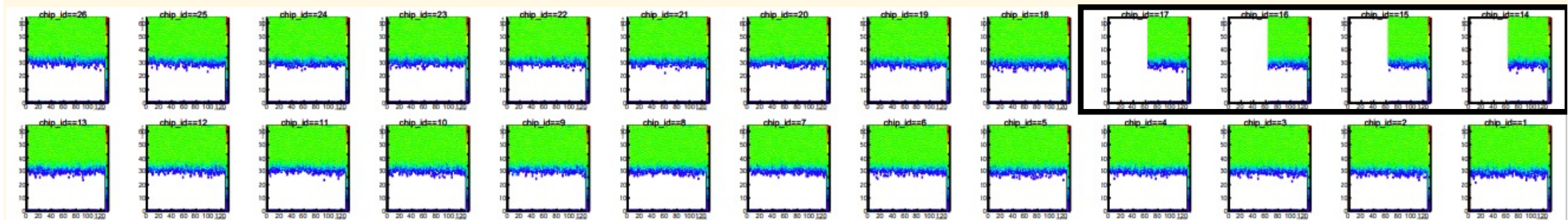
# 変換ケーブル試作 2号機



# 問題：キャリブレーションデータ

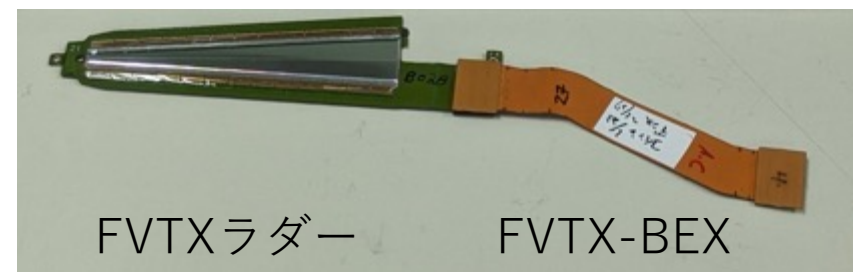
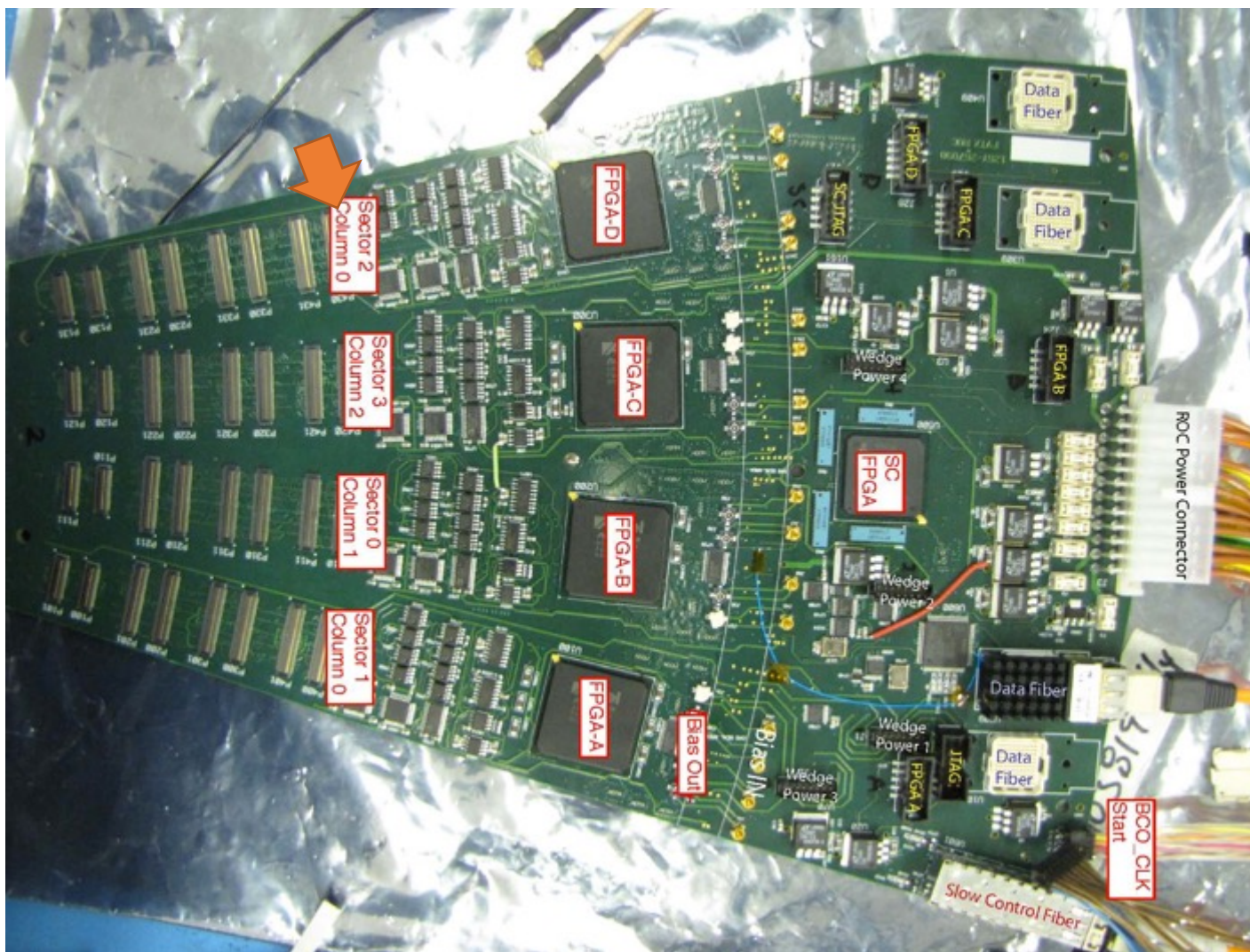


ある条件では一部のデータに欠けが観測される





# データに欠けが生じる条件



- ROCのD3ポートに頻出する。ROCのD1/D2ポートでは時々出る。カラムBのポートでは欠けが出ない。
- $\mu$ 同軸単体.vs.BEX+  $\mu$ 同軸の組み合わせでは、BEX+  $\mu$ 同軸の方が頻度が高い。
- Half Entry問題の時はLVDS電流2mVに対し、8mVの設定で改善されたが、このケースは8mVでも改善されない。
- $\mu$ 同軸では観測されるがFVTXラダー+FVTX-BEXでは観測されない。

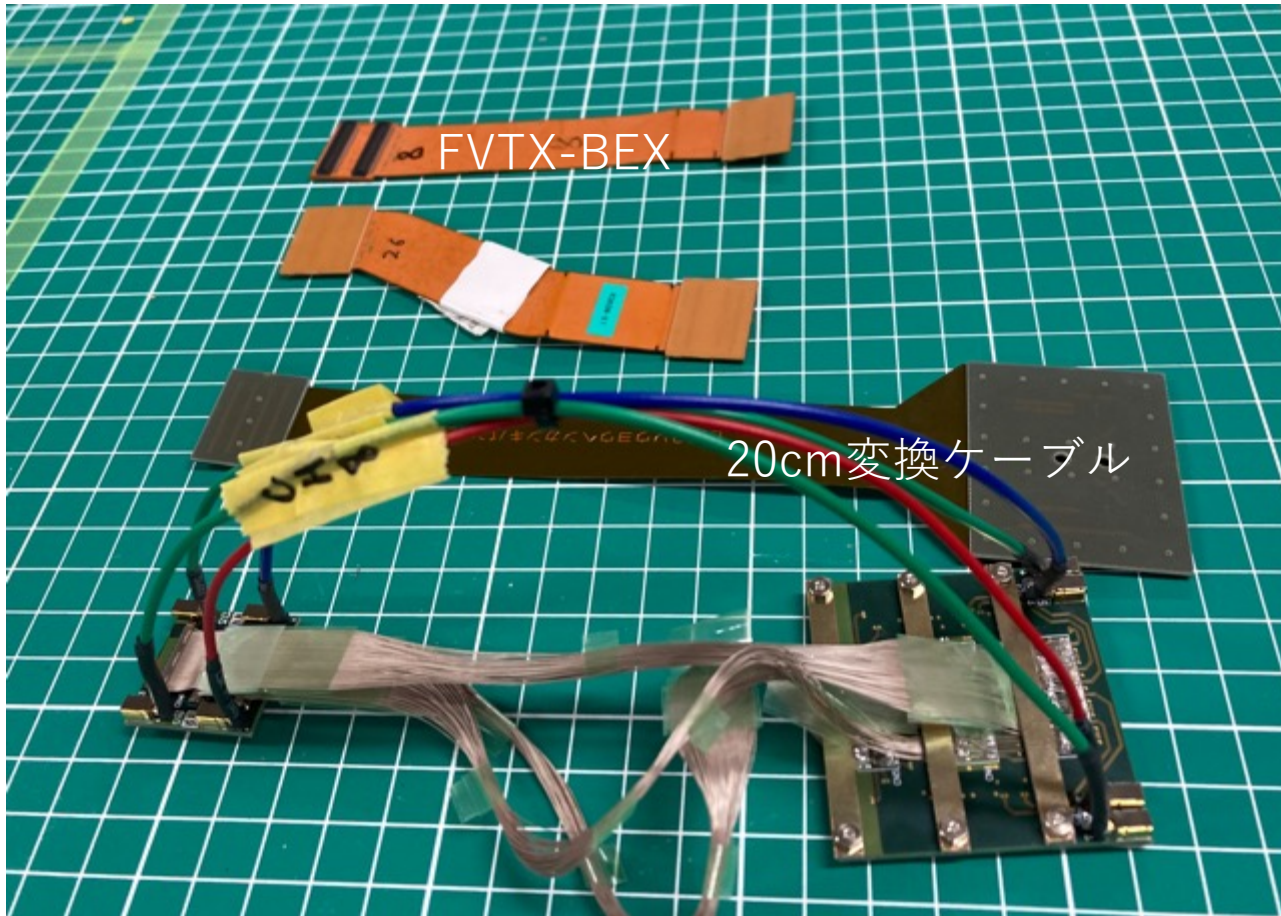
# デバッグの提案

- 正しいデータが観測されるケースがあり、 $\mu$ 同軸ケーブルが直接の問題ではない。
- $\mu$ 同軸ケーブル+D3ポートのコンビネーションで欠けが生じる。
- カラムBD用のFPC変換ケーブルは製作していないので、FPCによる検証ができない。
- 前回のように、理研にてROCの裏面表面実装抵抗にプローブを当てて信号波形を観察する。





# FVTX-BEXの考察



FVTXのバスエクステンダーでは手持ちのsParameter測定データが無いが、INTTのFPC変換ケーブルが**60 $\mu$ mライン&スペース**であるのに対し、FVTXのバスエクステンダーは**40 $\mu$ m**とちょっと条件が悪い。長さは20cmよりも若干短い、恐らくINTTの20cmFPC変換ケーブルよりも、信号劣化が激しいのではないかと推察する。必要であれば、産技研でsParameterの直接測定を依頼したい（既存の治具が汎用可能か確かめる必要あり）。

# デバッグ戦略

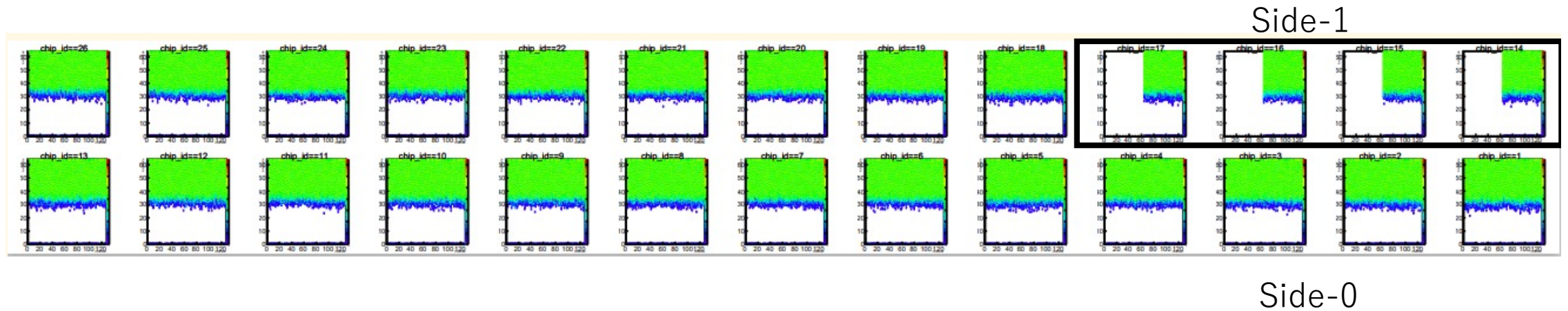
- B3ポートのChip17~14の信号線で、FVTXと $\mu$ 同軸ケーブル+INTTで信号波形を測定→比較。
- D3ポートのChip17~14の信号線で、同様にFVTXと $\mu$ 同軸ケーブル+INTTで信号波形を測定→比較。データに欠けが生じた際に $\mu$ 同軸ケーブル+INTTの信号に何らかの異常が無いか？
- 同じラダー+ケーブルのセットアップにも関わらず、B3/D3ポートで信号に違いが出るとは考えにくいですが、他に現象を検証する有効な手立てが思いつかないのでご協力いただきたい。

# ROCカラムB, Dの違いは？

- データFPGAは $B=D$ が共通。
- 現在のところ関係しそうな回路の違いは見つかっていない。



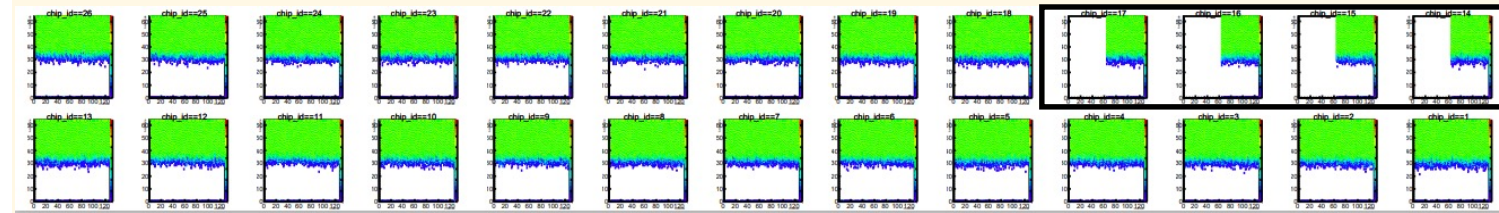
# データ欠けの傾向



BNLでもStrip  $0 < 65$ でデータ欠けが起こる（ただしポートはカラムAで頻出）。

# Strategy

1: Strip #64 ~ 127  
0: Strip #0 ~ 63

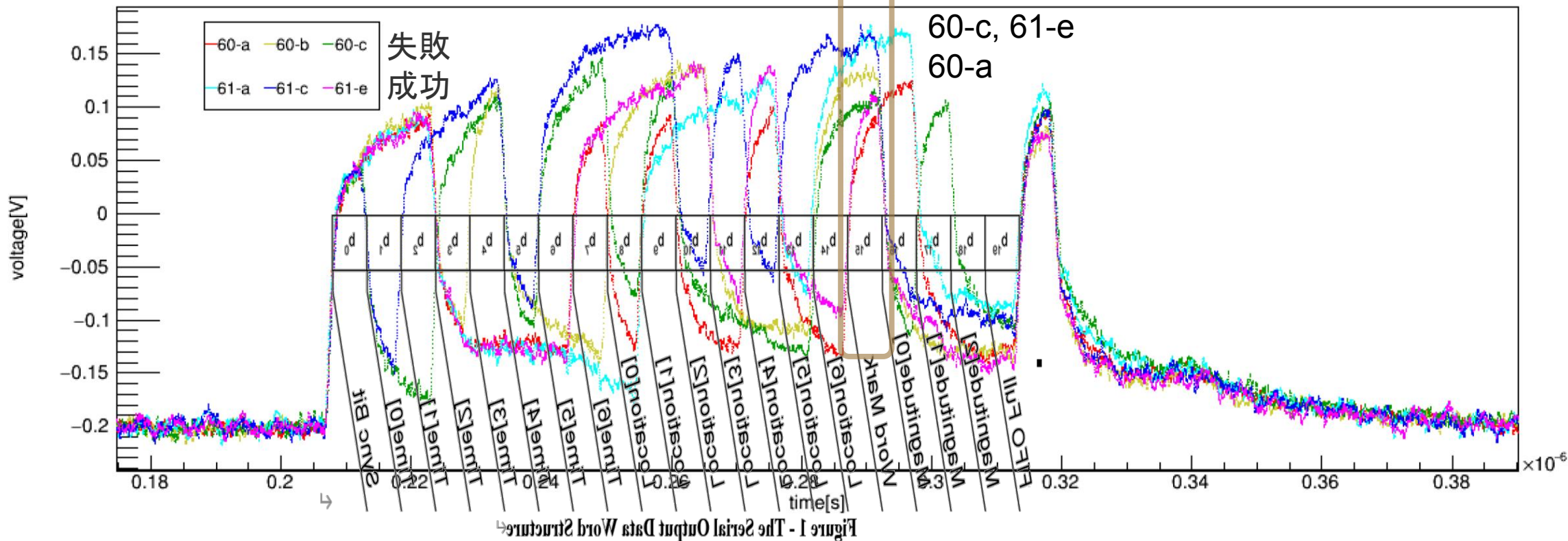


Note that in time order, the Sync bit comes out first and the FIFO full bit comes out last.

- If we observe data pattern  $b_{14} = \text{false}$ , then the problem is in down stream, i.e. data is healthy. The problem is in the ROC.
- If we don't observe data pattern always  $b_{14} = \text{true}$ , then the problem is in upstream. Most likely the initialization failure of FPHX chip. Slow control transmission issue of  $\mu$ -Coax?



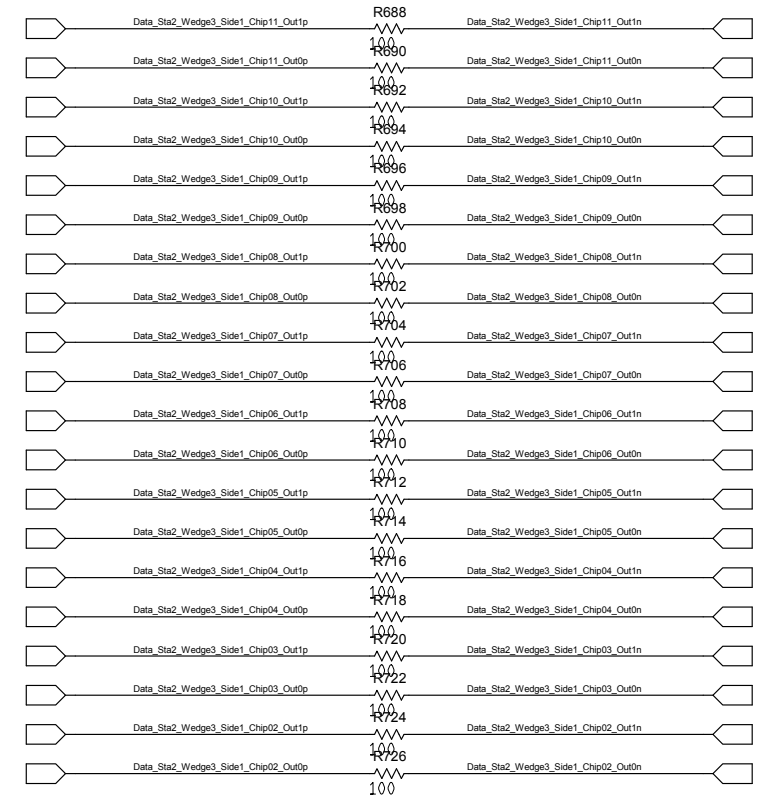
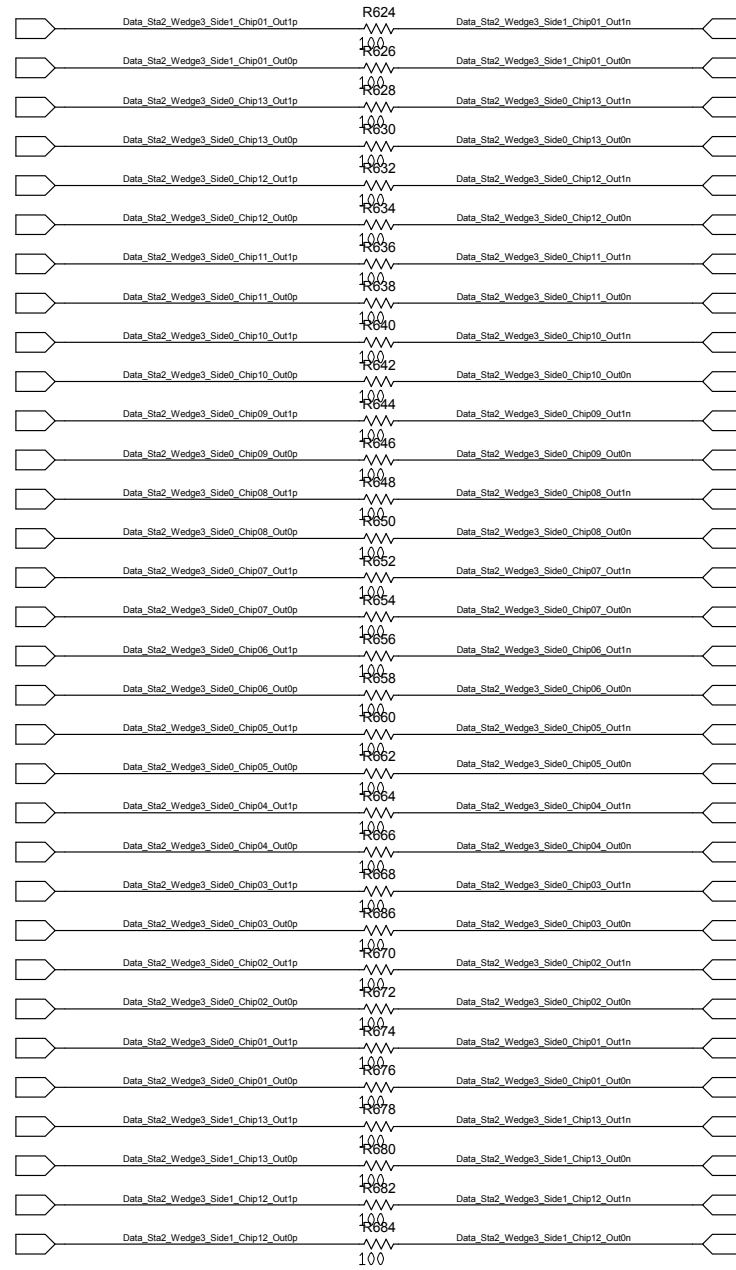
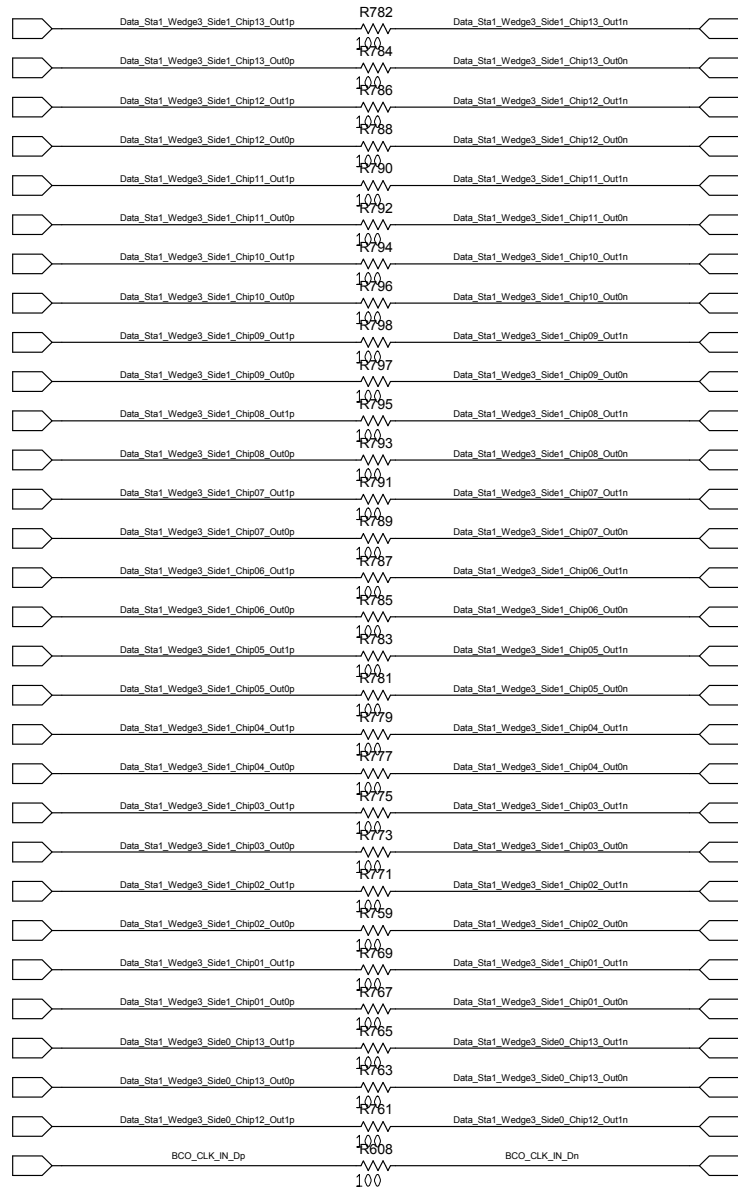
Word Maskの高さは  
 高い位置から順に  
 61-a, 61-c  
 60-b  
 60-c, 61-e  
 60-a



前回の20bitデータ測定(今回の条件ではこれよりも信号がはっきりしているはず。)



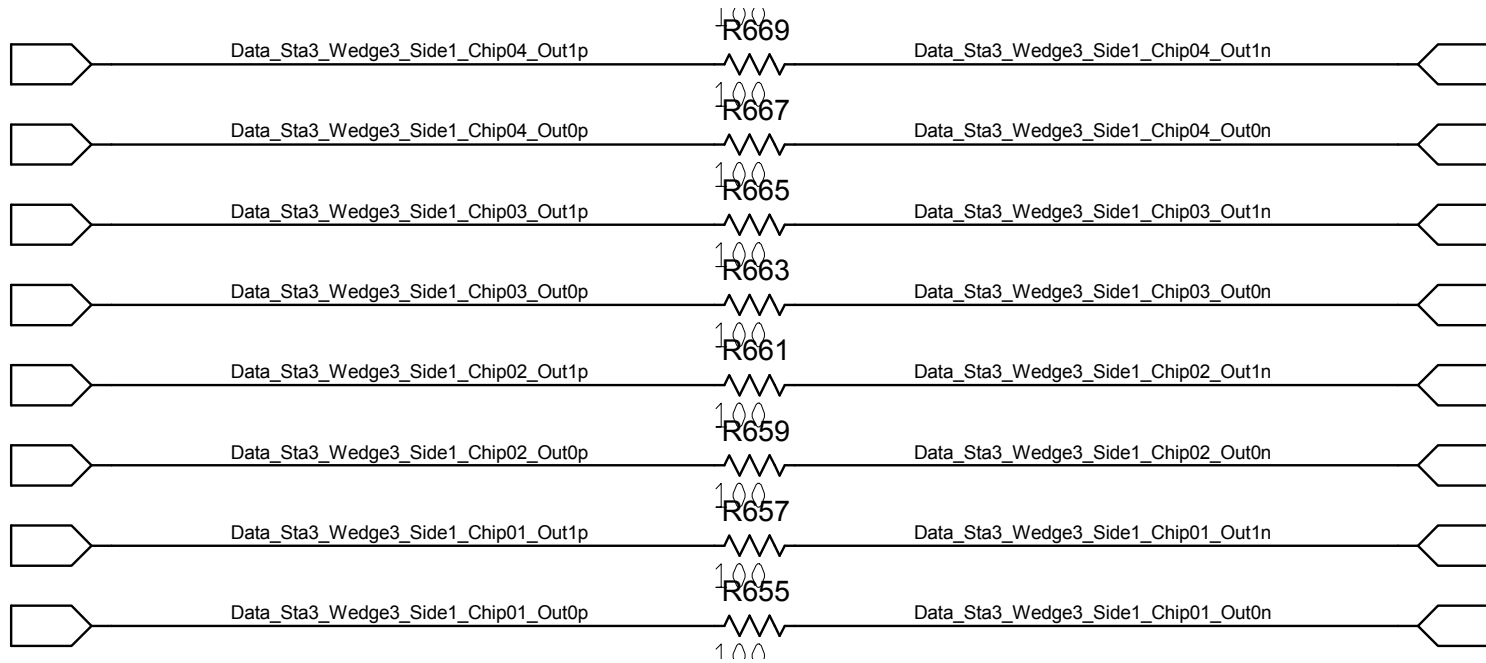




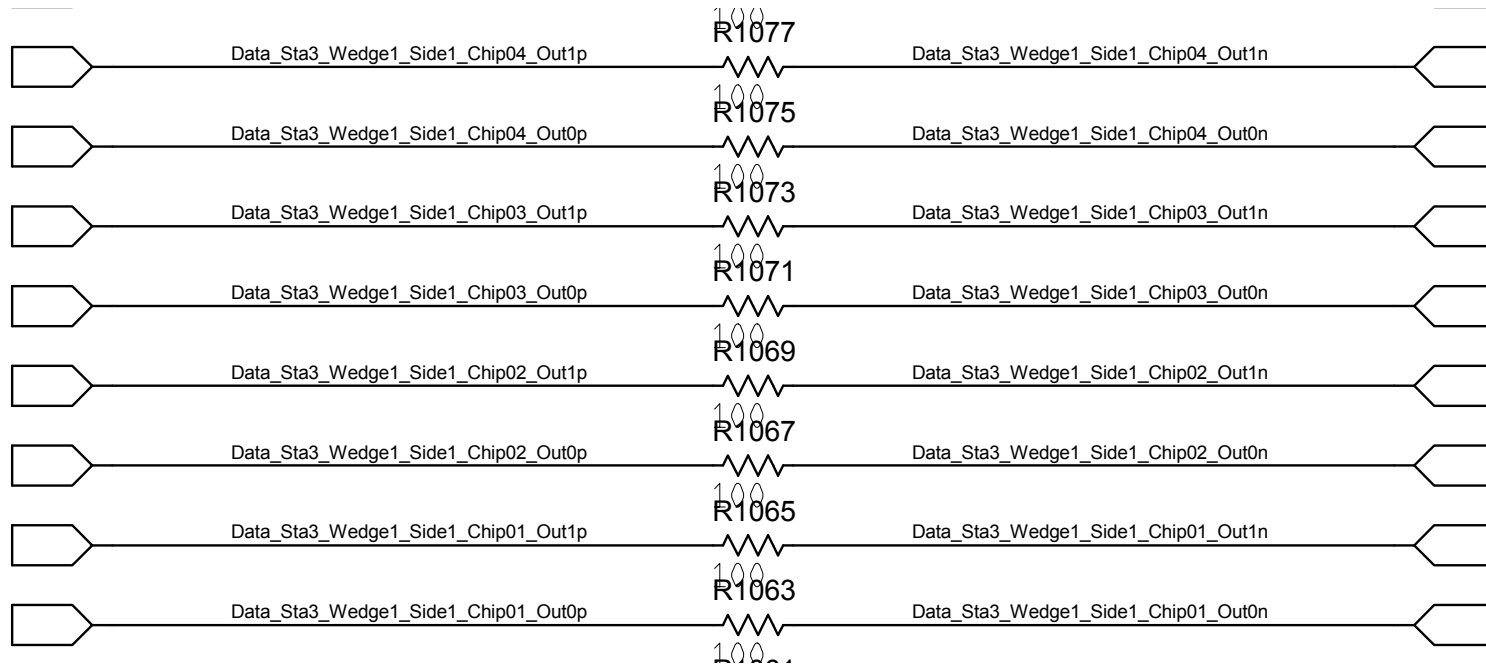
## Column-D LVDS Terminators (Side-1)





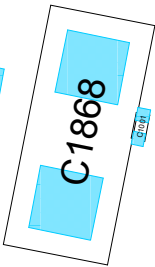


Column-D Sta-3, Chip-1~4



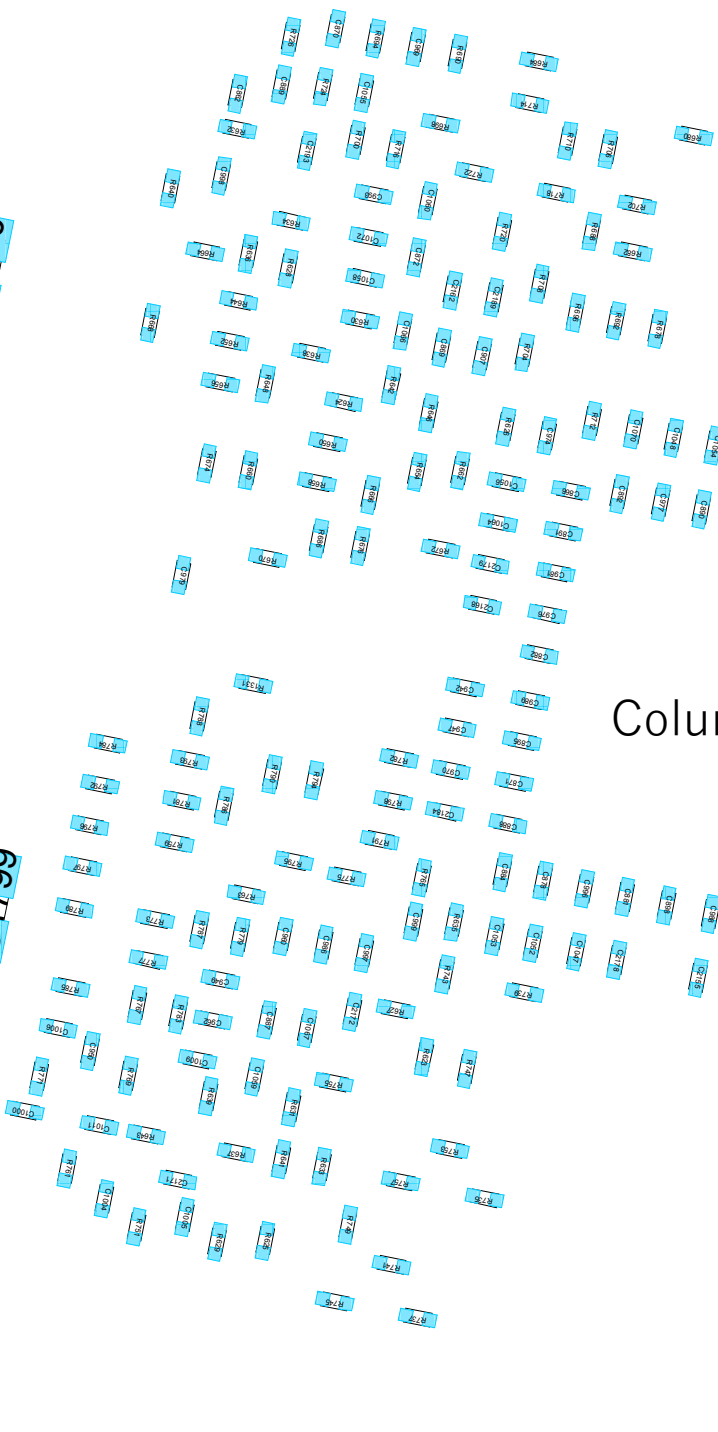
Column-B Sta-3, Chip-1~4

C1697



C1799

C1800



Column-D

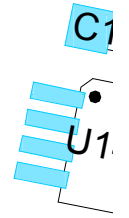


C2036

C1838

R90

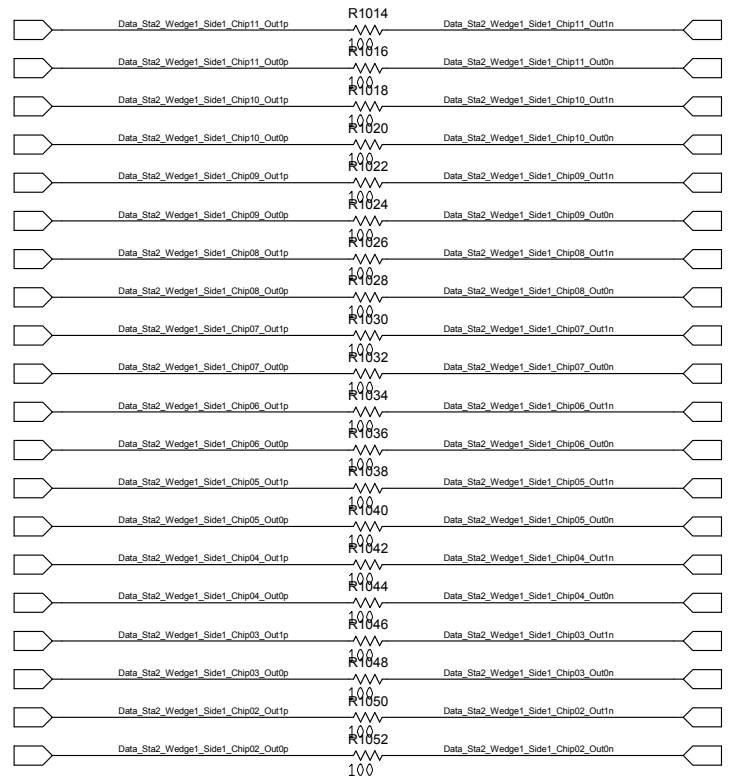
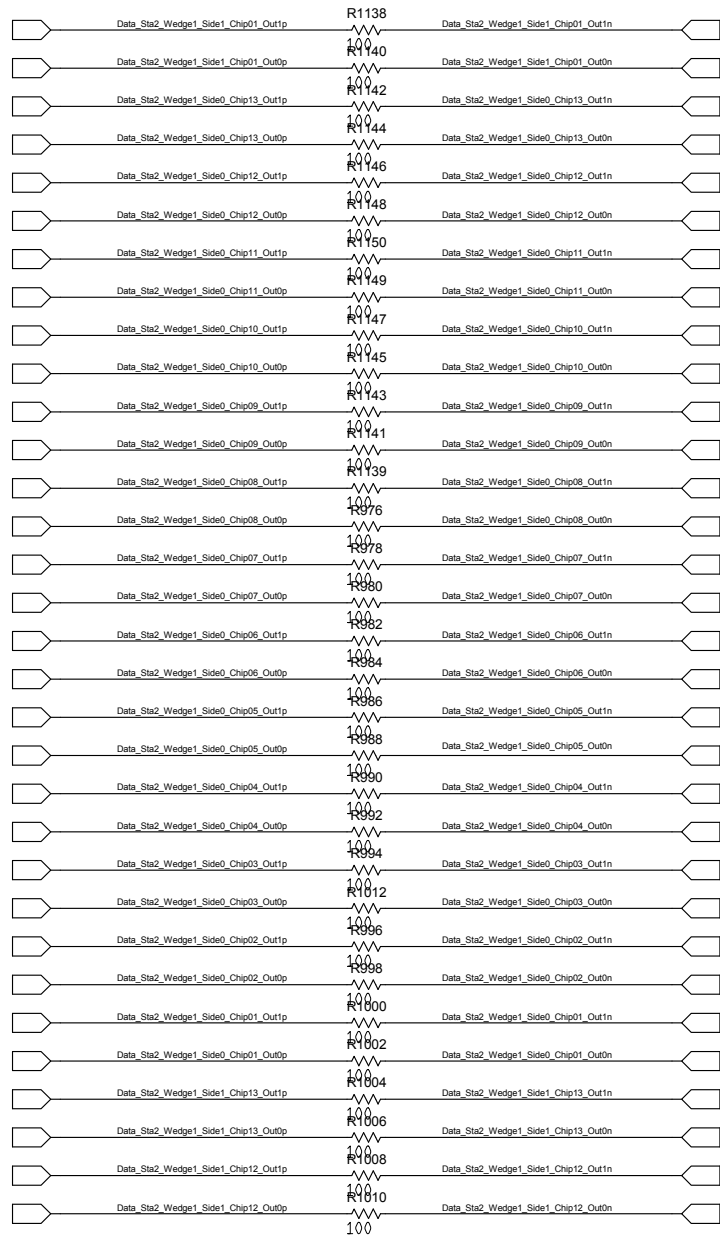
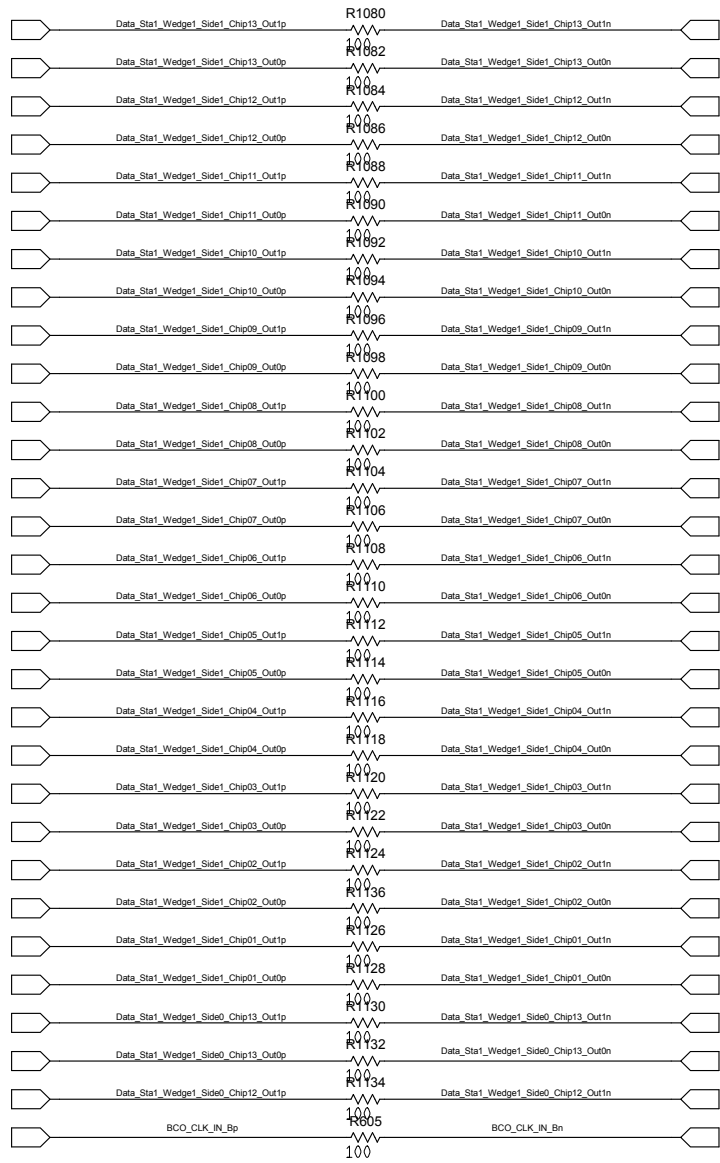
C808  
C806



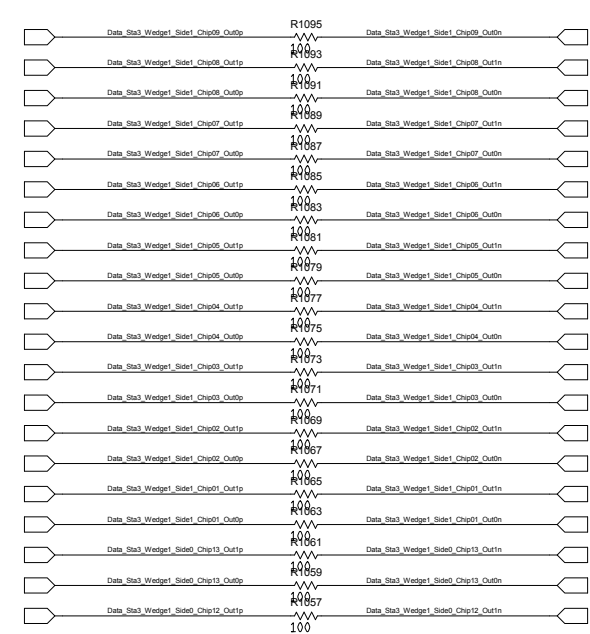
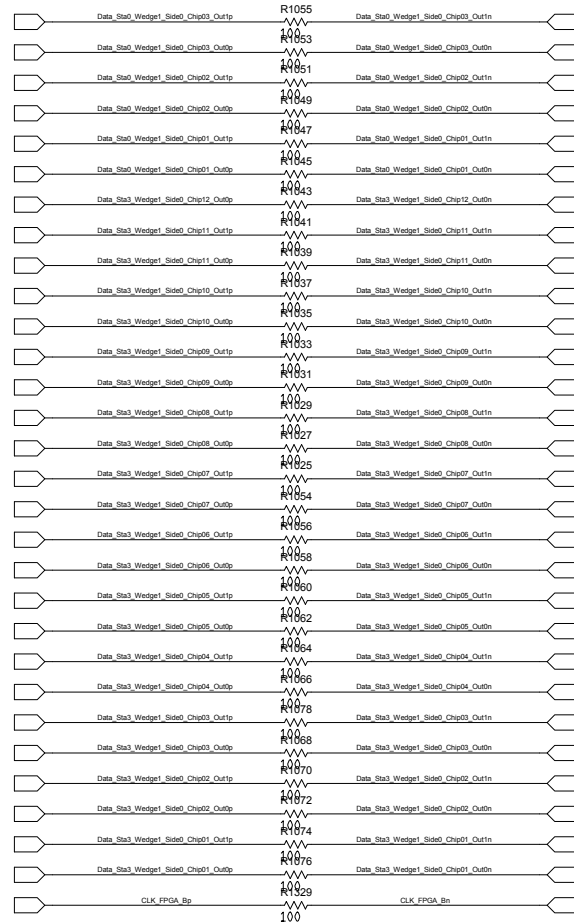
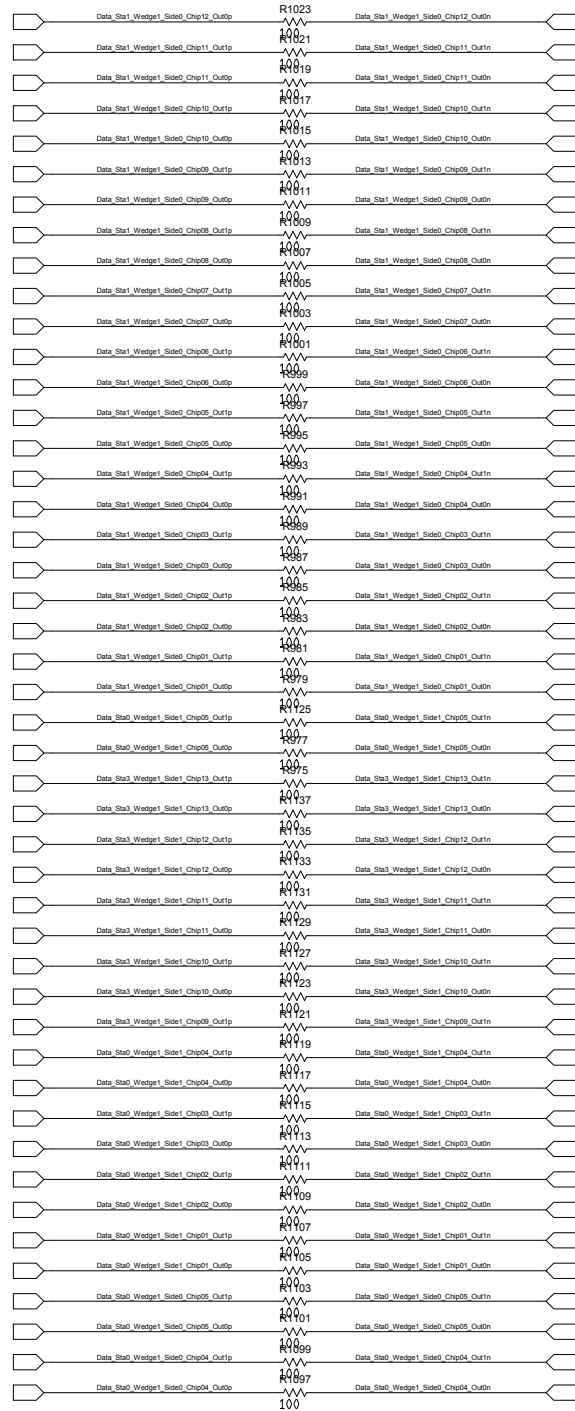
R30







## Column-B LVDS Terminators (Side-1)

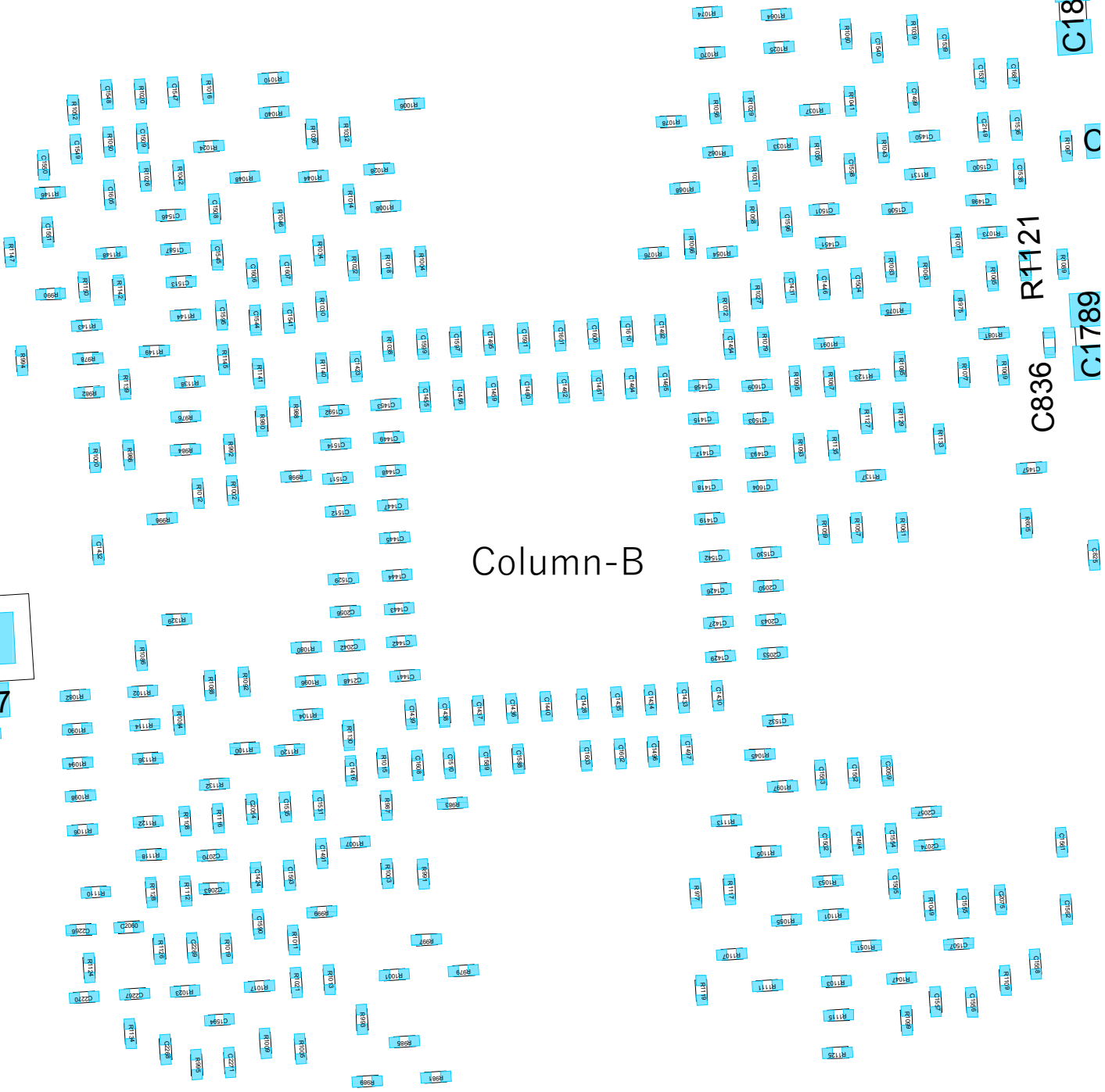


# Column-B LVDS Terminators Station-3

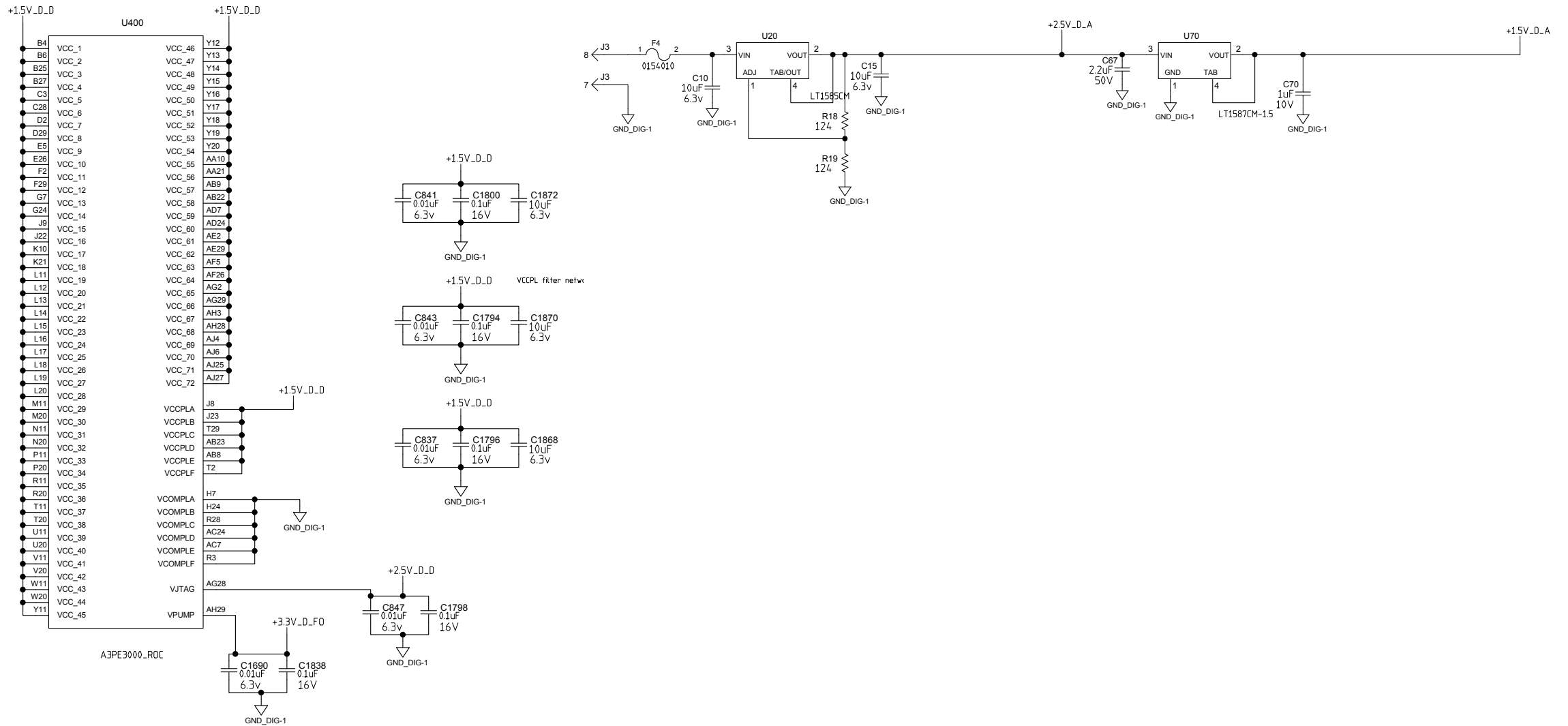
REVISION LETTER		CLASS REVIEW		ORIGINAL ISSUE				DATE	CHANGE BY	CHK BY
REVISIONS										
<b>LOS ALAMOS</b> LOS ALAMOS NATIONAL LABORATORY LOS ALAMOS, NEW MEXICO 87545							CLASSIFICATION OF		DRAWING U	
MENTOR 2005							PART: U		DRAWING U	
TITILE (P-25) FVTX ROC PROTOTYPE LVDS Input Terminator FPGA B							TOLERANCE UNLESS OTHERWISE NOTED <b>19</b> X± ± XXX ± ANGLUAR ± 0.X ± 0.XXX ± FINISH ±			
ORIGINATED	NAME	SIGNATURE	DATE	GROUP						
DESIGNED										
DRAWN	S. CHACON	S. CHACON	APR 2009	ADT-IC						
CHECKED	M. PROKOP	M. PROKOP	APR 2009	ADT-RFE						
PROJ. ENGR	M. PROKOP	M. PROKOP	APR 2009	ADT-RFE						
APPROVED					SCALE	NO SHEETS	DRAWING NO.		SE	

87

C83



# ROC Column-D Power Distribution





# 2021年7月の波形測定の様子

