

ZDC structure についての議論（続き）

清水 志真

XX/Sep./2022 EIC-Japan weekly meeting

Reminder

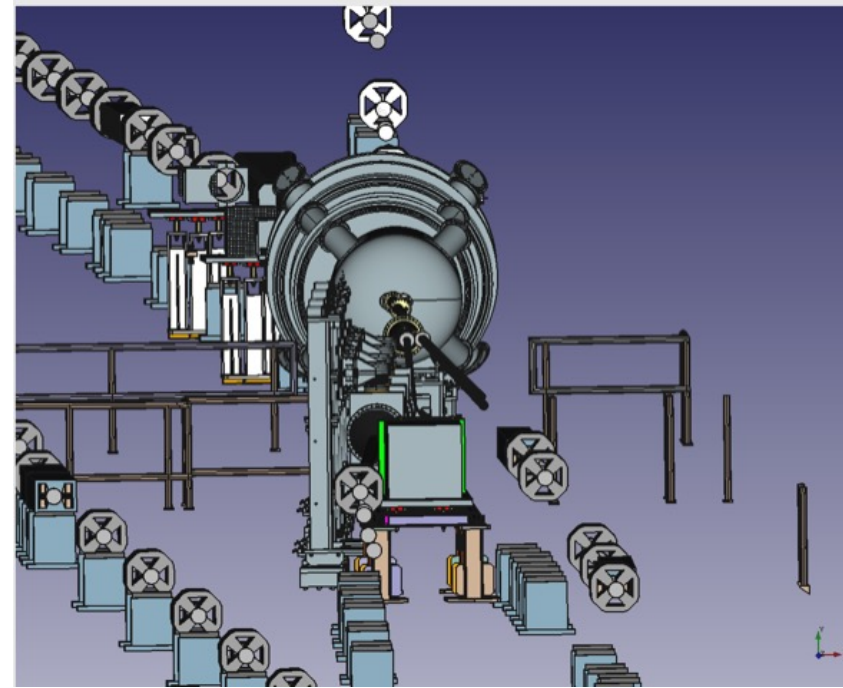
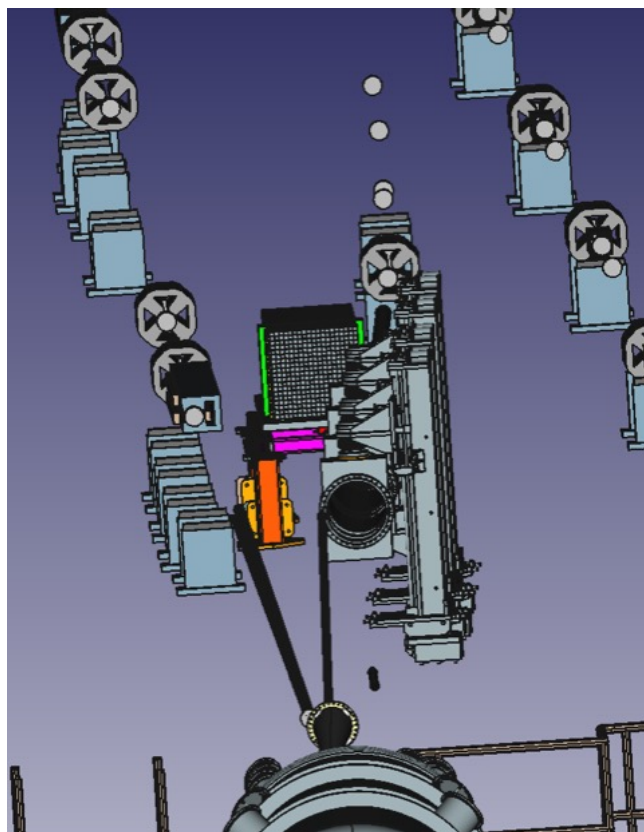
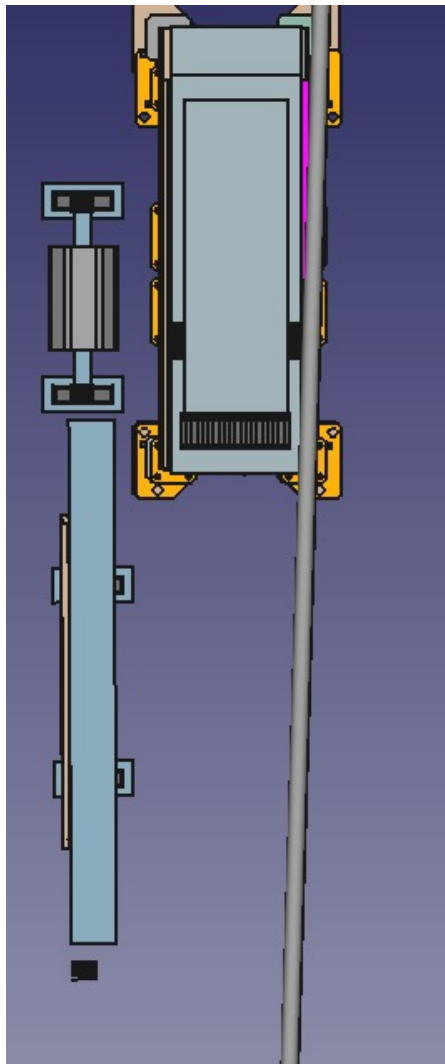
- ◆ Far-Forward/Backwardでは、2023年5月に”pre-TDR”を用意し、Approvalを目指す。
 - Technical Designの60%程度までを固める。
- ◆ CAD図を今から準備する。
 - 検出器のSupport/Service/Cabling等の詳細を詰める。
 - Readoutの配置、Coolingの手法・配置等。
 - JLabでCAD図を作るエンジニアを確保している。
 - 基本的には情報を渡せば図を作成してくれる。

Yuliaからもらった絵

前回までの議論:

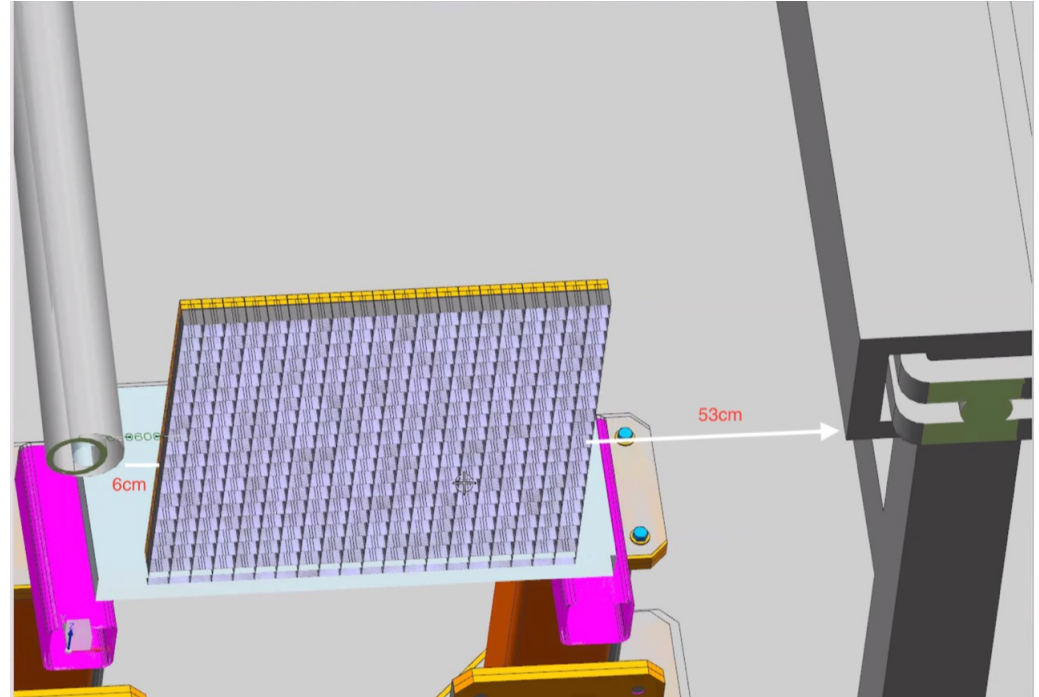
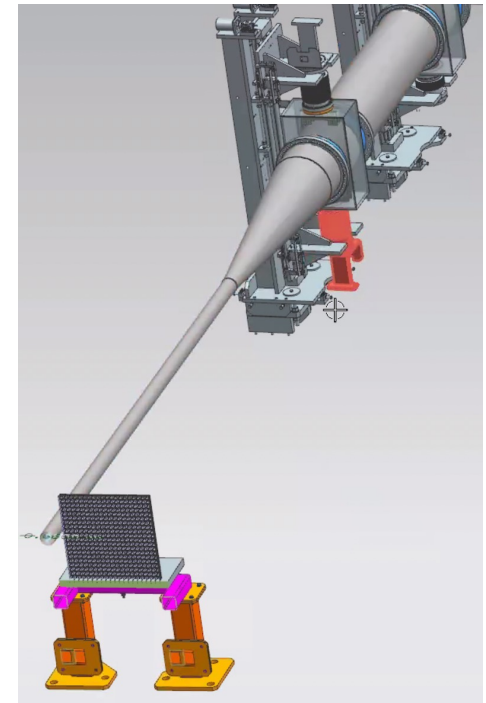
ZDCは据え付けたら動かさない。

Issue?: Roman PotsでZDCの右側が隠れるかも？



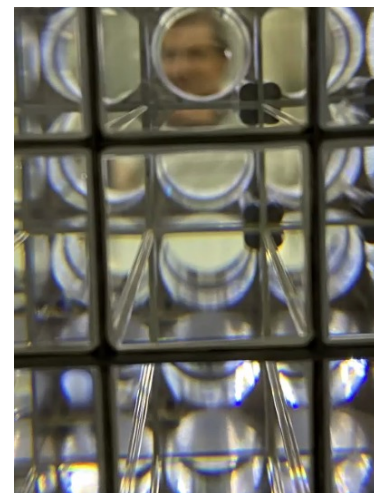
ZDC周りのスペース

- ◆ ハドロンビームパイプとの距離: ca 5 - 6 cm
- ◆ 電子ビームパイプとの距離: ca 50 - 53cm
 - 右下の絵の四角はFocusing Magnet
 - 磁場の影響の見積もりはまだ不明。
- ◆ ZDCを載せている台の下は今の所空いている。
 - Shield はない。

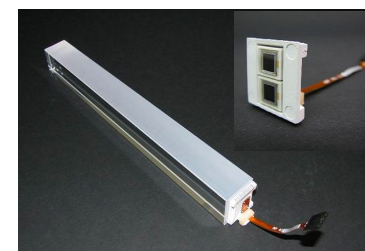


Crystal カロリメータ

- ◆ サポート
 - 参考: Jlab Hall-C クリスタルカロリメータ
 - カーボン
 - <math><0.5\text{mm}</math> thickness
 - 外側にもSupport frameあり



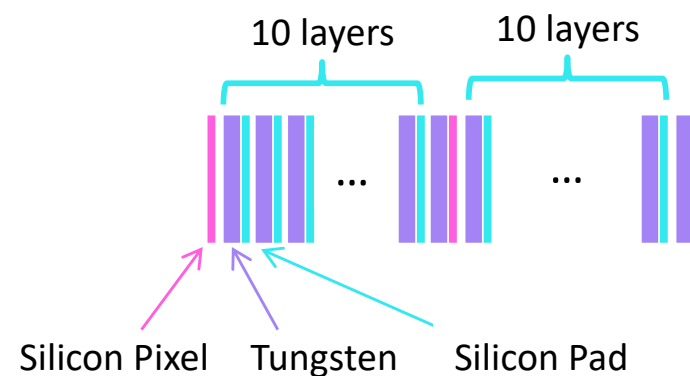
- ◆ 読み出し
 - 前回までの議論:
1本のクリスタルに直接2個のAPDとプリアンプをつけ、ケーブルで信号を引き出す。
 - ADCは？
 - その後は？



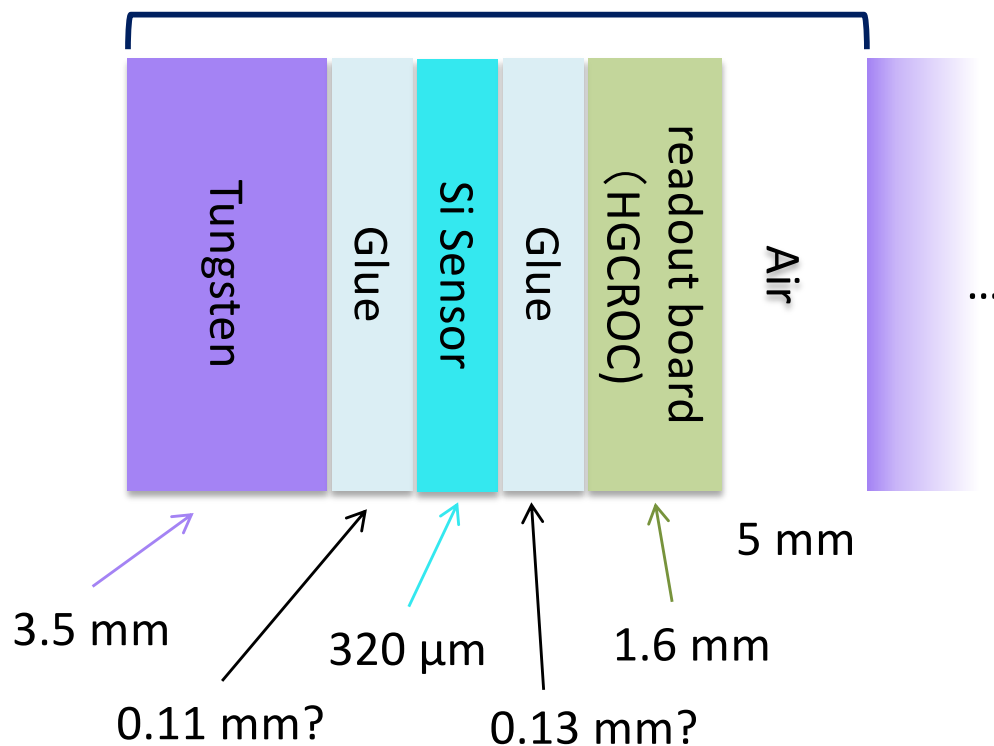
W/Si カロリメータ - 1

聞かれていること

- Readout boardの場所と大きさ
- Sensor planeはW plateにのり付けするか？
- Glueの種類
G10? (as in the ALICE simulation?)



In simulation



- Coolingのために銅板を入れる？

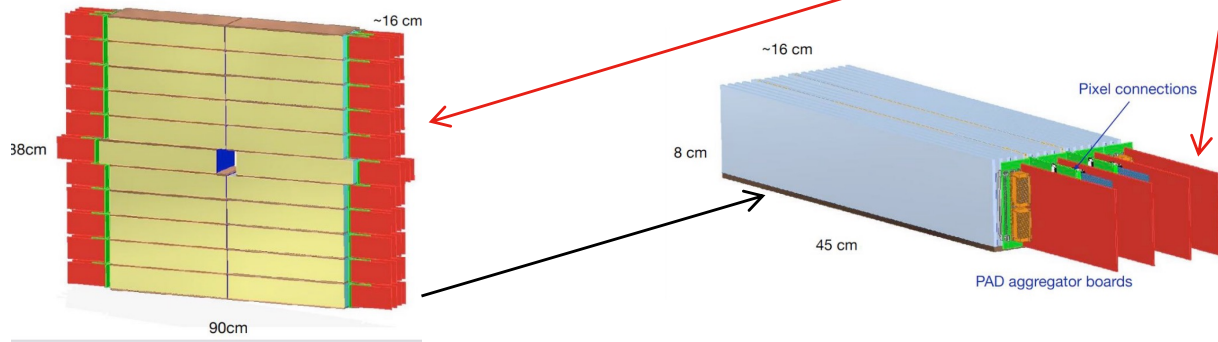
W/siカロリメータ -2

◆ HGCROCの後の読み出しをどうするか？

- ALICE FoCal

- 現在のデザインでは基板経由でFPGAの載った**Aggregator board**へ。

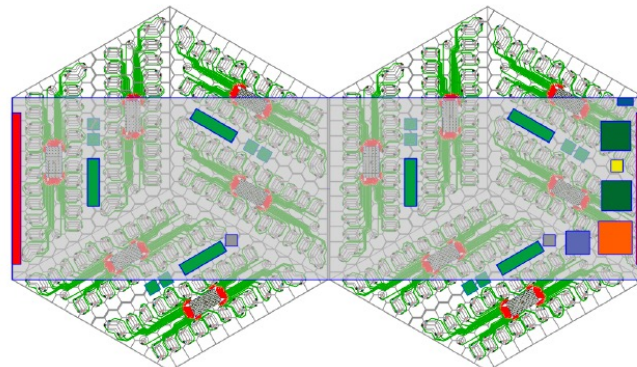
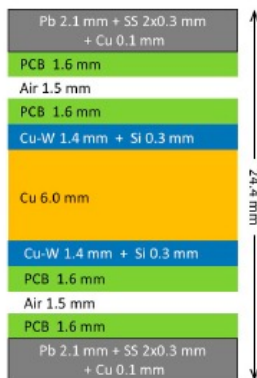
FPGAの放射線耐性によってはケーブルで引き出すか。但、ノイズ等不明



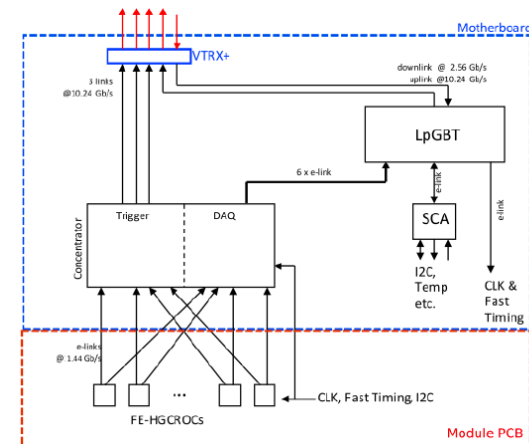
- CMS HGCAL (CE-E) CMS-TDR-019

- Mother boardもカロリメータに挟む

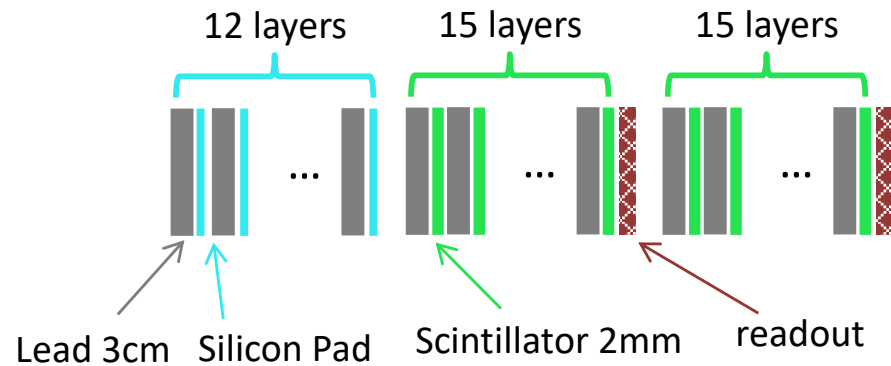
*In the last CE-E cassette, the downstream Pb/SS absorber is replaced by a 1 mm Cu cover.



ASICは>2MGyでqualified



ハドロンカロリメータ



Pb/Siカロリメータ

- 基本的にはW/Siと同様？
- 何か変えることはあるか？サポート？

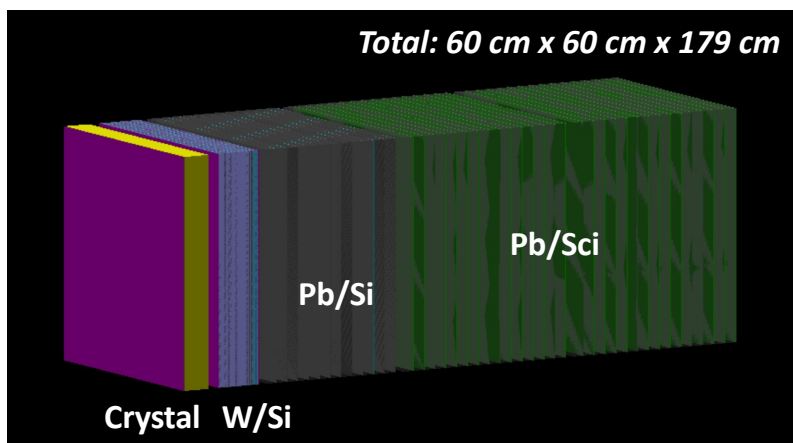
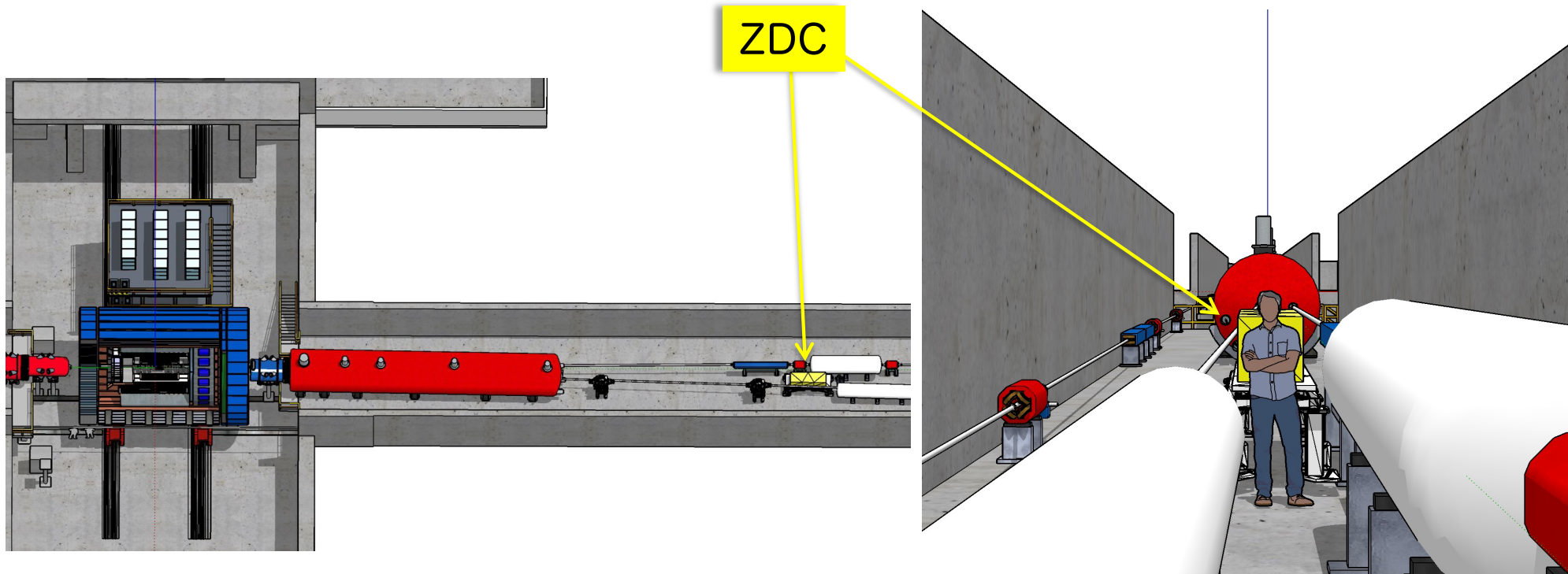
Pb/Sciカロリメータ

- 10cm x 10cm x 15 layers ごとに読み出す。
→ [6 x 6] readouts x 2
- Shashlik? + APD? SiPM?
- どれくらいのスペースが必要か？
-

Cooling?
Cabling?

Backup

Reminder: ZDC



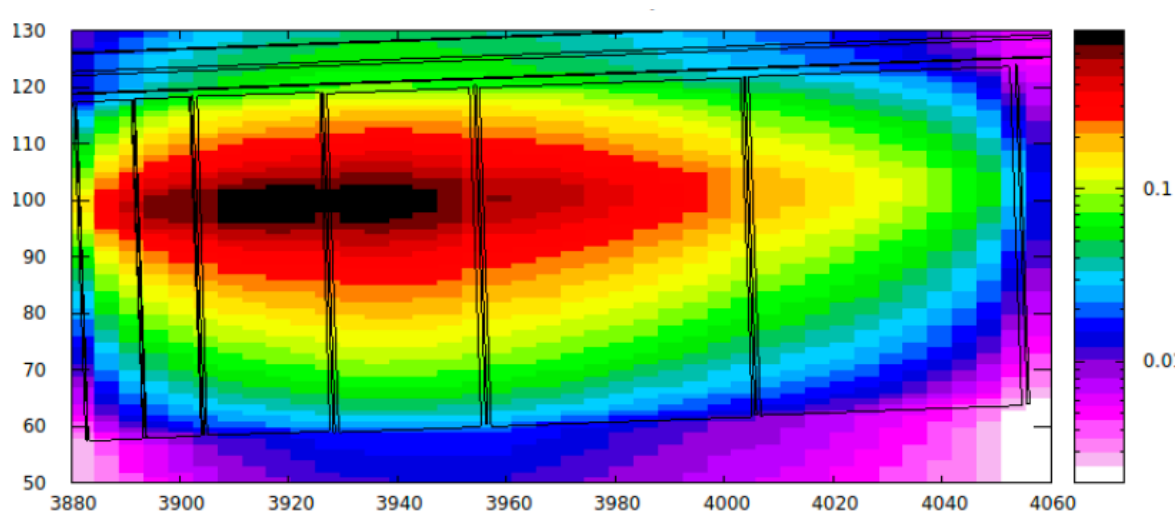
- ◆ 陽子・イオンビーム下流約38m
- ◆ 4種類のカロリメータの組み合わせ
- ◆ x方向のスペースは小さい。
- ◆ +z方向は若干のスペース

Radiation study by Vitaly

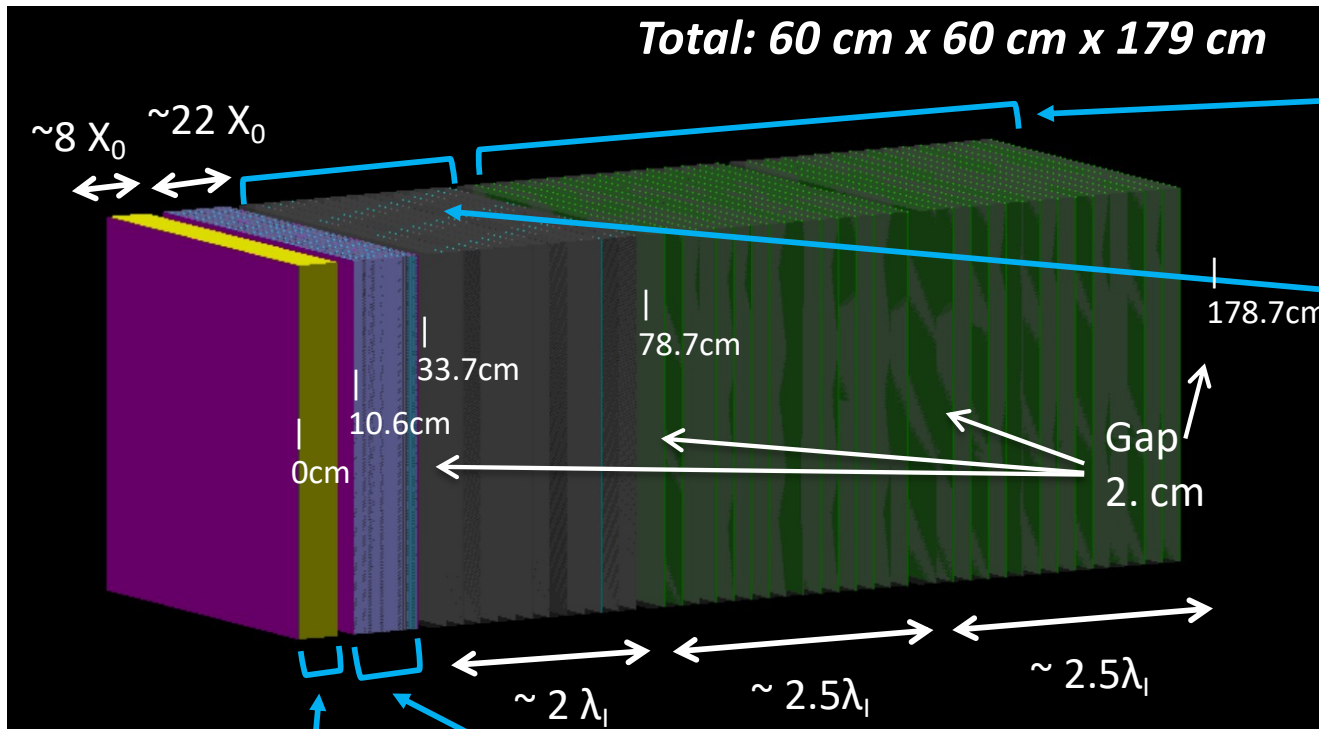
in ECCE ff/fb note (ecce-note-det-2021-06)

One MeV neutron equivalent fluxes F through the silicon material				
Detector.	Z <i>cm</i>	F_{p+rg} <i>neut./cm²s</i>	F_{e+p} <i>neut./cm²s</i>	F_{tot} <i>neut./cm²OY</i>
ZDC Si 1	3880	1.2E+3	8.0E+4	8.1E+11
ZDC Si 2	3890	5.4E+3	3.0E+5	3.1E+12
ZDC Si 3	3910	6.6E+3	4.0E+5	4.1E+12
ZDC Si 4	3930	4.6E+3	8.0E+5	8.0E+12
ZDC Si 5	3960	3.6E+3	4.0E+5	4.0E+12
Si in B0	650	1.2E+3	1.5E+5	1.6E+11

OY = 10^7 sec.
 \approx 1/3 of a year



ZDC design (Aug. 2022)



30 layers (15 layers x 2)

Pb 3cm Thickness
Scintillator
 10 cm x 10 cm x 2 mm
 Gap 0.0013 mm

12 layers

Pb 3cm Thickness
 PET (Glue) 0.11 mm
Silicon
 1 cm x 1 cm x 320 μm
 PET (Glue, FPC) 0.41 mm
 Gap 5. mm

1 layer

Silicon Pixel
 3 mm x 3mm x 300 μm
 PET (Glue+FPC) 0.11 + 0.28 mm
 Air Gap 5 mm
Crystal (PbWO4)
 3cm x 3cm x 7 cm
 PET (for readout) 2.5 mm
 Air Gap 27.5 mm

Si: 3 layers,
Si: 20 layers,
W: 22 layers

= **Si** + 2 x

10
 layers

1
 layer

Tungsten 3.5 mm Thickness
 PET (Glue) 0.11 mm
Silicon Pad 1 cm x 1 cm x 320 μm
 PET (Glue+FPC) 0.13+0.28 mm, Air Gap 5.mm

Tungsten 3.5 mm Thickness
 PET (Glue) 0.11 mm
Silicon Pixel 3 mm x 3mm x 300 μm
 PET (Glue+FPC) 0.11+0.28 mm, Air Gap 5.mm

W/Si カロリメータ

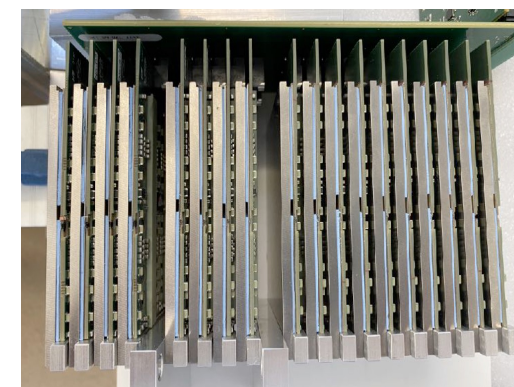
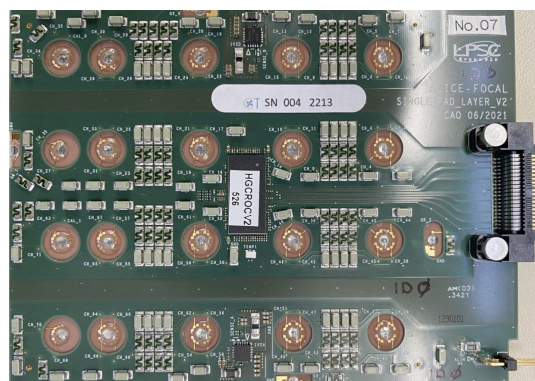
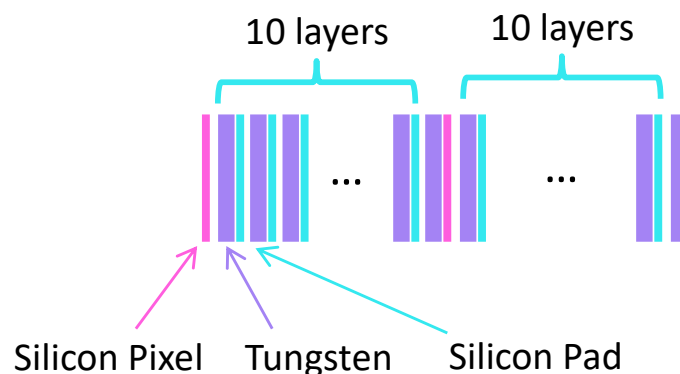
◆ 基本的にALICE FoCal-Eと同様の構造

- Tungsten: 3.5 mm thickness
- Silicon Pad: 1cm x 1cm
- Silicon Pixel: 3 mm x 3 mm

← FoCal pixelとは異なる。

◆ 読み出し

- Silicon Pad: HGCROC
- Silicon Pixel: 要検討



Geant4の
Simulationでは:

	stand alone in EIC		ALICE FoCal	
Tungsten	W alloy	3.5 mm	Pure W	3.5 mm
Glue 1	PET (C10H8O4)	0.11 mm	G10 (H,C,O,Si)	0.5 mm
Sensor	Si	(pad) 0.32mm	Si	(pad) 0.5 mm
Glue 2	PET (C10H8O4)	(pad) 0.13mm	G10 (H,C,O,Si)	0.5 mm
Readout?	PET (C10H8O4)	0.28mm	Cu	0.1 mm
Air Gap	Air	(pad) 5 mm	Air	(pad) 5 mm

? →