

# ROC SlowControl FPGAの 書換えの状況2

蜂谷 崇、加納 麻衣

# Readbackerの現状

- 前回

- PCやFlashProのセットアップはできた。
  - LIBEROのVersion(11.9)は、FVTXとは違う(9.1)
- FPGAのVerifyに失敗
  - 試したコードはすべて失敗。 まだ試せるコードが残っている
  - もしかしたら、正しいコードは残ってないかもしれない。
- FPGAコード(SlowControl用)のコンパイルに失敗

- 本日

- FPGAコードのコンパイルについて

# SlowControl FPGAのコンパイルエラー

```
There were 0 error(s) and 51 warning(s) in this design.
```

```
Reading user pdc (Physical Design Constraints) file(s) postcompile
```

```
Error: PDC-71: Clock net name 'BCO_CLK' is not valid
```

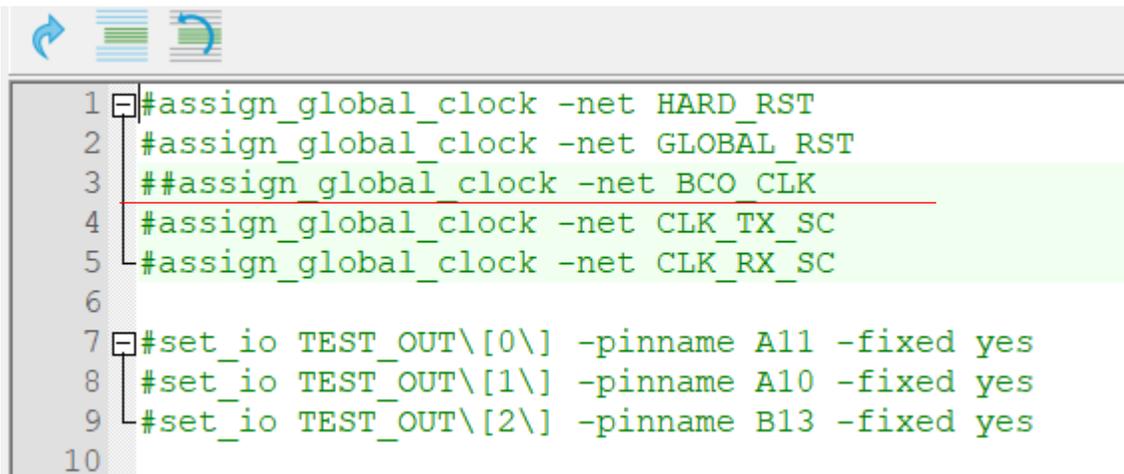
```
There were 1 error(s) and 0 warning(s) in reading the user pdc.
```

```
The Compile command failed ( 00:00:01 )
```

```
Error: Failure when executing Tcl script. [ Line 30 ]
```

```
The Execute Script command failed ( 00:00:08 )
```

```
Warning: The database was closed without a save, modifications are lost  
Design closed.
```



```
1 #assign_global_clock -net HARD_RST  
2 #assign_global_clock -net GLOBAL_RST  
3 ##assign_global_clock -net BCO_CLK  
4 #assign_global_clock -net CLK_TX_SC  
5 #assign_global_clock -net CLK_RX_SC  
6  
7 #set_io TEST_OUT\[0\] -pinname A11 -fixed yes  
8 #set_io TEST_OUT\[1\] -pinname A10 -fixed yes  
9 #set_io TEST_OUT\[2\] -pinname B13 -fixed yes  
10
```

LIBERO v11.9で開くためには、Project  
ファイルの拡張子を変更 (prj →  
prjx)

前 : ROC\_slow\_control.prj

後 : ROC\_slow\_control.prjx

- ファイル内(テキスト)を見ると同じよう  
な書式だった

- ネット名制約のエラー
  - BCO\_CLK invalid

- 制約ファイルの編集

- ROC\_slow\_control\_top.pdc) からL3行を  
コメントアウト

- コンパイル成功

# 制約の意味

```
1 #assign_global_clock -net HARD_RST
2 #assign_global_clock -net GLOBAL_RST
3 ##assign_global_clock -net BCO_CLK
4 #assign_global_clock -net CLK_TX_SC
5 #assign_global_clock -net CLK_RX_SC
6
7 #set_io TEST_OUT\[0\] -pinname A11 -fixed yes
8 #set_io TEST_OUT\[1\] -pinname A10 -fixed yes
9 #set_io TEST_OUT\[2\] -pinname B13 -fixed yes
10
```

## assign\_global\_clock

PDC command; assigns regular nets to global clock networks by promoting the net using a CLKINT macro.

```
assign_global_clock -net netname
```

### Arguments

`-net netname`

Specifies the name of the net to promote to a global clock network. The net is promoted using a CLKINT macro, which you can place on a chip-wide clock location.

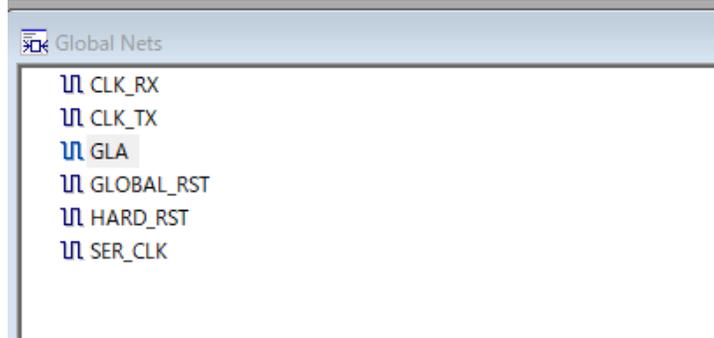
### Supported Families

SmartFusion, IGLOO, ProASIC3 and Fusion

### Exceptions

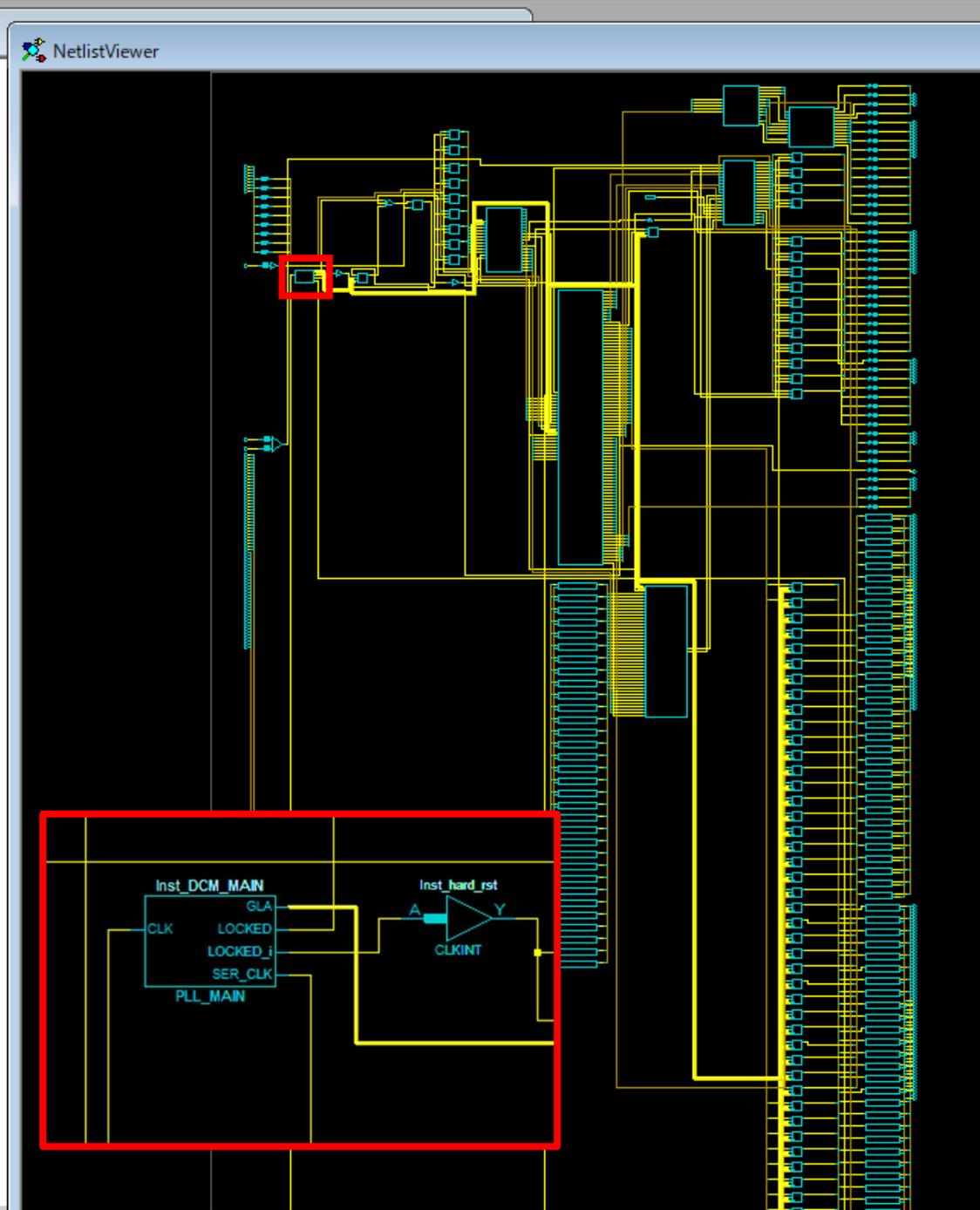
- NET名で指定される信号を、クロック用の配線遅延の少ない特殊配線を使用するための規約
- デバイスによってクロック用配線の数が決まっている。
  - ProAsic3Eの場合、6本

# コンパイル後の配線



- 6本のGlobalClockNetworkを使っている
  - GLOBAL\_RSTなど、リセット系はGlobalでなくてもよいとおもぅが。
- GLA=BCO\_CLK
  - 制約から外しても同じ配線がglobal\_clockに配置されている。

```
Inst_DCM_MAIN: PLL_MAIN PORT MAP (  
  POWERDOWN => '1',  
  CLKA => CLK,  
  LOCK => LOCKED,  
  GLA => BCO_CLK,  -- 10 MHz  
  GLB => SER_CLK  -- 200 MHz  
);
```



# まとめ

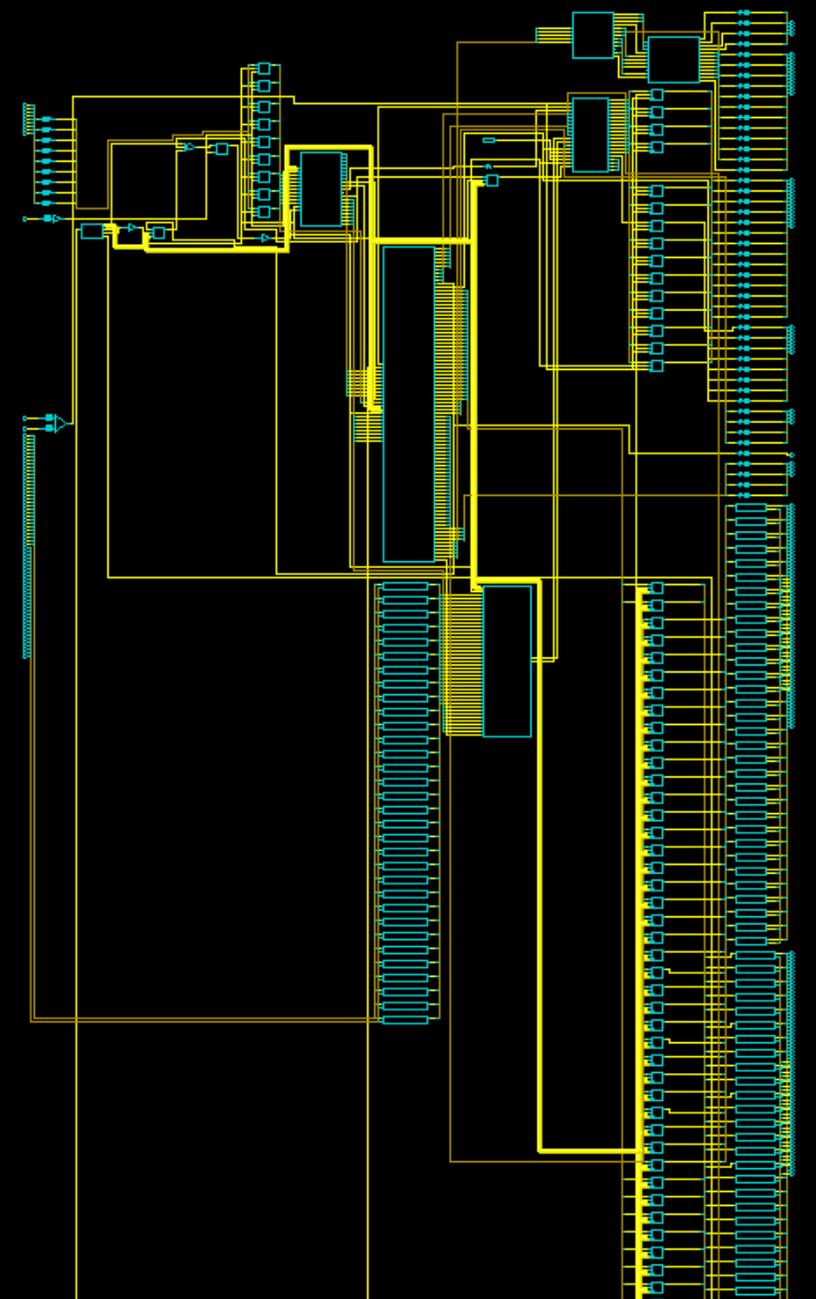
- コンパイルできた。
  - 次はテストする。
- テストベンチを奈良女で構築中。

# コンパイル後の配線

Global Nets

- CLK\_RX
- CLK\_TX
- GLA
- GLOBAL\_RST
- HARD\_RST
- SER\_CLK

NetlistViewer



- 6本がGlobalClockNetworkになっている
  - GLOBAL\_RSTなど、リセット系はGlobalでなくてもよいとおもうが。。
- GLA=BCO\_CLK
  - global\_clock用配線に配置されているので制約から外してもよい様に見える

