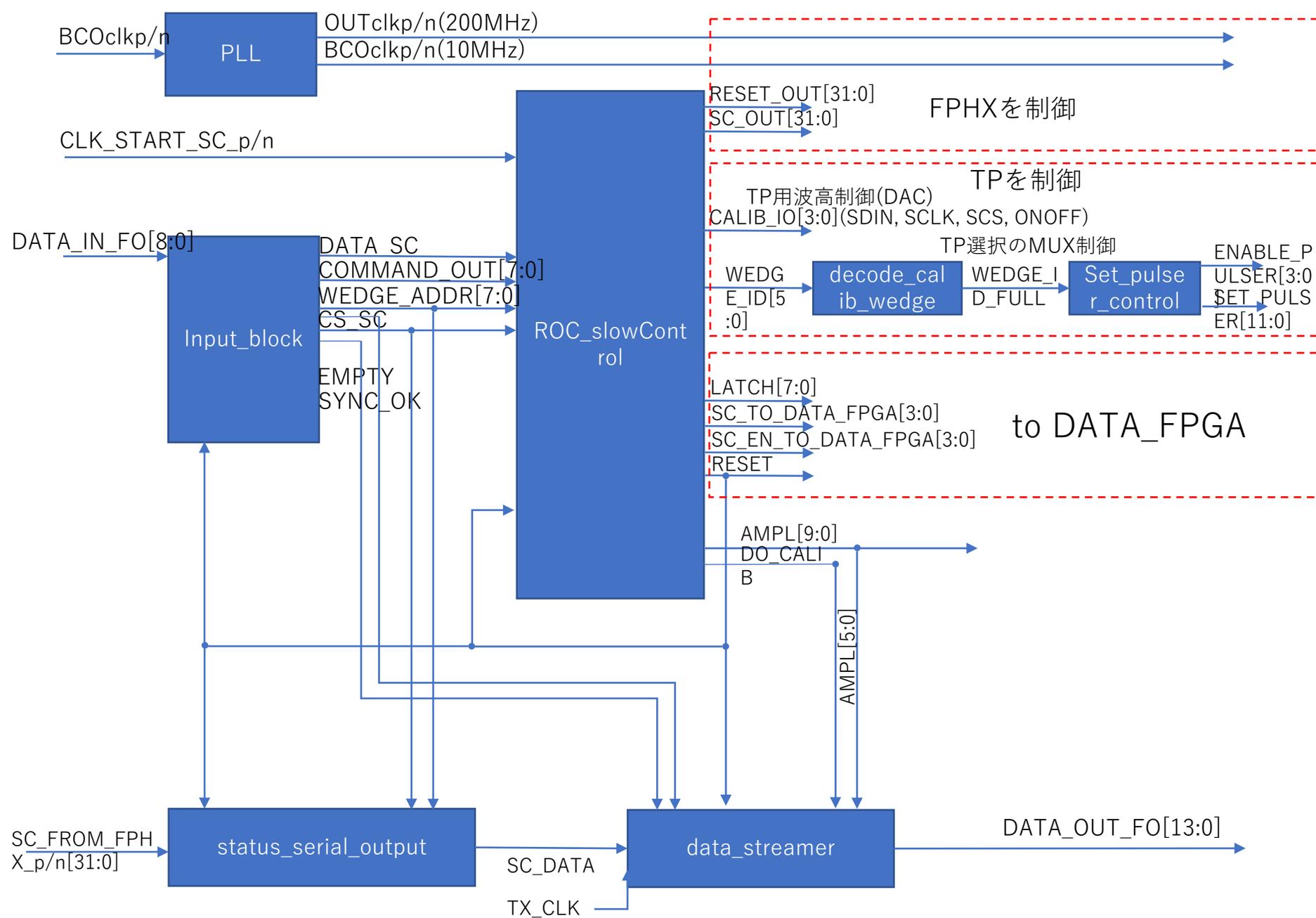


ROC-FPGAの書換えテスト

蜂谷 崇

現状

- OLD – ROCを使って、SlowControlFPGAの書換えができることを確認した。
 - 特定のピンにH/Lを出力することができた。
- 次、 Readbackデータを受信するFPGA内モジュールの改造
- 手順
 - status_serial_outputのシミュレーション
 1. 改造せず、現状のモジュールでシミュレーションする。
 - 要： INPUTデータを作る必要あり。
 - 1クロック遅れたデータを作り、遅れることを確認
 2. 改造して、シミュレーション
 - FPGAダウンロードして、テストする。



シミュレーションの方法

- テストベンチ(VHDL)を追加
 - Status_serial_outoutを使うように改造
- コンパイル
 - TOPモジュールをstatus_serial_outputに変更する(Design Hierarchyタブなどで、ファイル名の上で右クリックし、set as rootを選ぶ)
 - 文法チェック： 同様に右クリックし、check HDL file
 - シミュレーション開始
 - Stimulus hierarchyタブで、テストベンチのVHDLファイルを右クリックし、"simulate pre synth design"→"Open interactively"を選ぶ
 - ModelSimが起動するので、Run時間を設定(10us程度)し、実行する。 次ページの図。
 - 実行時間のフォームを設定
 - Simulate -> restart ボタンを押す
 - Run ボタンを押す (実行)

Restartを選択

実行時間

SIM実行

The screenshot shows the ModelSim Microsemi 10.5c interface. The top menu bar includes File, Edit, View, Compile, Simulate, Add, Wave, Tools, Layout, Bookmarks, Window, and Help. The toolbar contains various simulation controls, with the 'Restart' button (a circular arrow) circled in red. A blue arrow points to the 'Run' button (a play icon), and another blue arrow points to the 'SIM' button (a square with a play icon). The main window is divided into several panes: a Design unit tree on the left, an Objects pane in the center, a Wave - Default pane on the right, and a Transcript pane at the bottom. The Objects pane shows a list of signals and their values. The Wave pane shows a timing diagram with signals like /serial_output_tb/S... and /serial_output_tb/R... The Transcript pane shows simulation output, including a warning message: "Warning: There is an 'U'|'X'|'W'|'Z'|'-' in an arithmetic operand, the result will be 'X'(es)." The status bar at the bottom indicates "Now: 10 us Delta: 2" and "sim/serial_output_tb".

実行(RUN)ボタンを繰り返し押ししても、時間が延びるだけで、最初からに再実行にならない。
そのため、RESTARTを選択し、最初に戻す処理を入れる必要がある。

SlowControlのWord

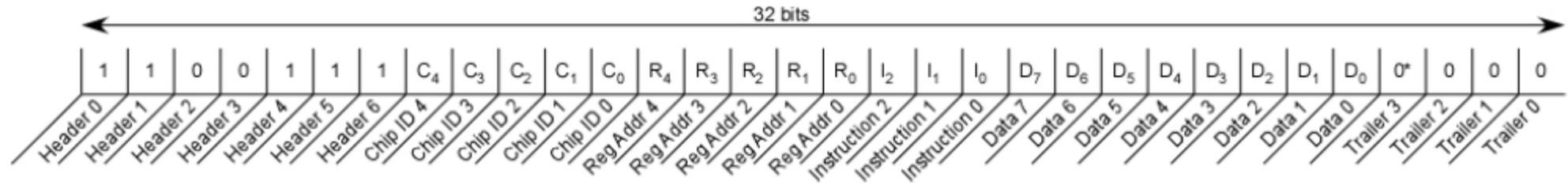
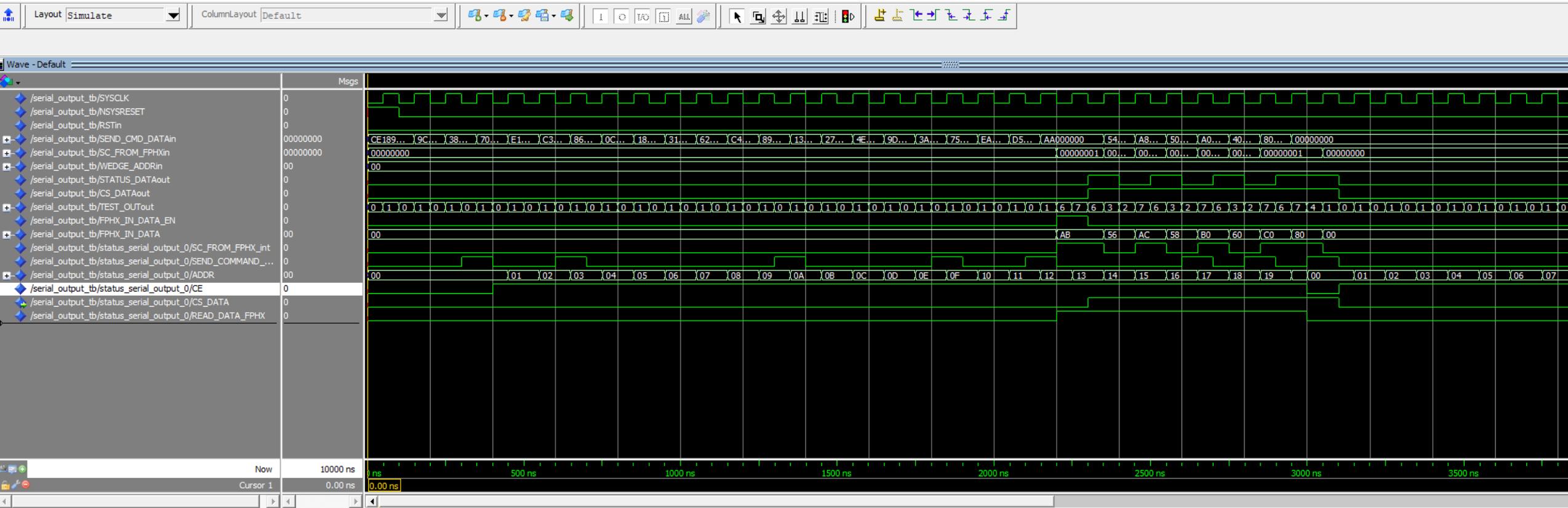


Figure 7 - The Slow Control Word

- Header (7bit) : 0b_1100111
- Chip-ID(5bit) : 0b_00001 = chip1
 - (HDI上のchipは1~26だが、1~13、14~26はそれぞれ1~13として接続されている。前半分、後ろ半分はSlowContrlバスを共有していない。)
- RegAddr(5bit): 0b_10001 = 17 (LVDS current)
- Instruction (3bit) : 0b_001 = write
- Data (8bit) : 0b_11010101 = 213
- Trailer (4bit) : 0b_0000

- 入力データは = 0b_1100111_00001_10001_001_11010101_0000
- 0b_11001110_00011000_10011101_01010000

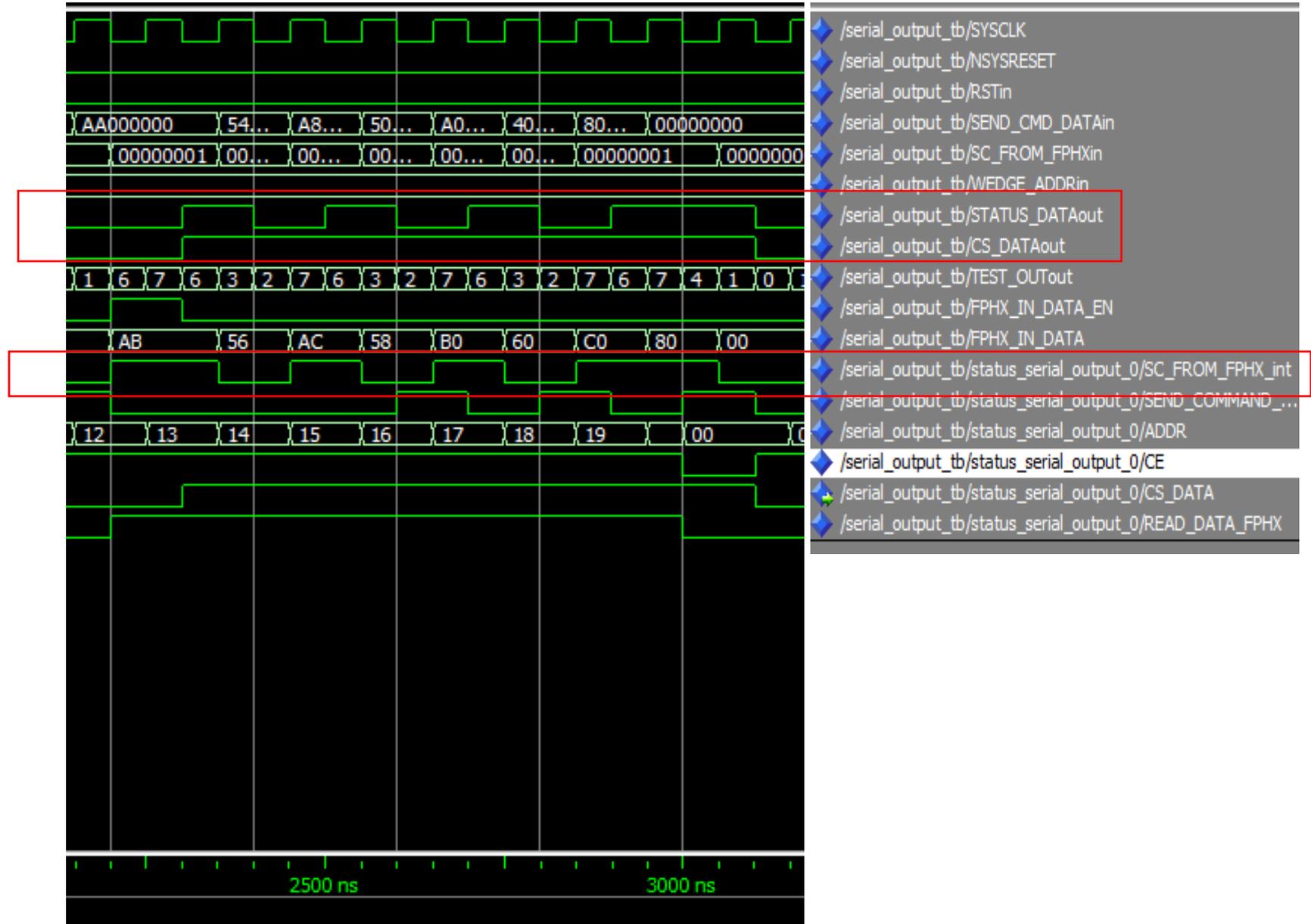
シミュレーションの結果



- リセット後、Chip1のFPHXへ、LVDS = 127のコマンドを送る
- コマンドを送って21クロック後、FPHXからの読出しデータを表示

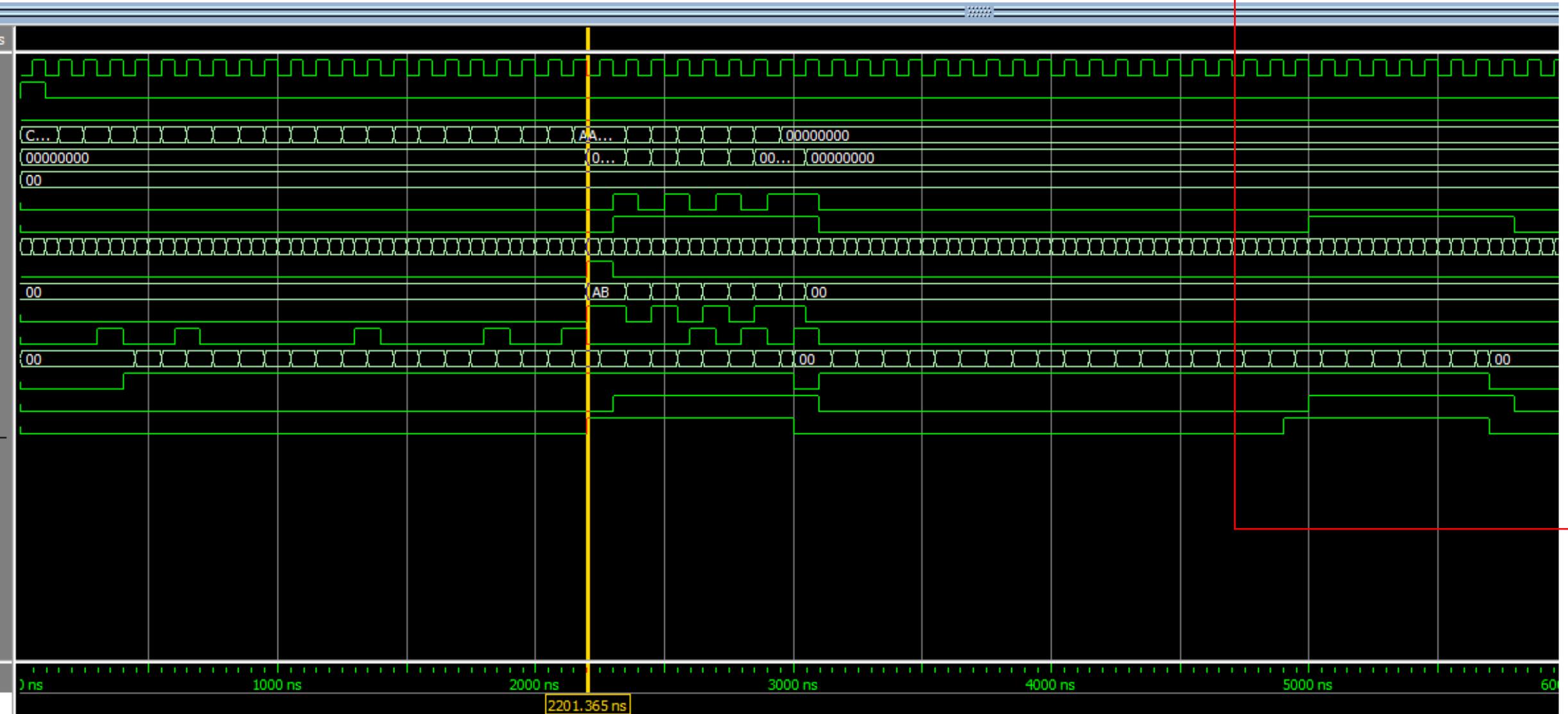
ROCで受信したデータ

FPHXから読み出しデータ



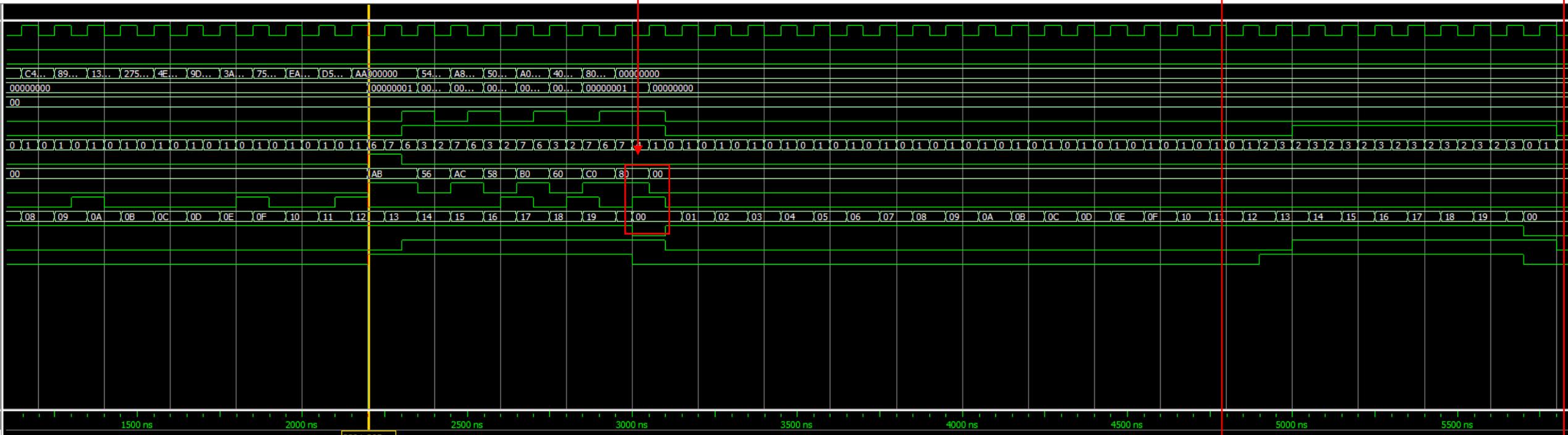
見つけたそれ以外の問題点

2つ目の読出しがある。



- この信号のせいで、2つ目の読出しが始まっている。

2つ目の読出しがある。



- 読出しモジュール内の待ち時間がSCコマンド長よりも短いため、1つのSCコマンドで2つの読出しを実行してしまう。

```
--Create an FPHX send_command trigger, and upon this trigger start a counter which will
--tell us when to extract the status word from the FPHX SC line:
SEND_COMMAND_BUF <= SEND_COMMAND;
SEND_COMMAND_2BUF <= SEND_COMMAND_BUF;
SEND_COMMAND_TRIG <= SEND_COMMAND_BUF and (not SEND_COMMAND_2BUF);

if SEND_COMMAND_TRIG = '1' then
    CE <= '1';
end if;

--After 24 clocks, read the 8-bit FPHX status word:
if ADDR = "010010" then
    READ_DATA_FPHX <= '1';
end if;
if ADDR = "011010" then
    READ_DATA_FPHX <= '0';
    CE <= '0';
end if; |

if (READ_DATA_FPHX = '1') then
    STATUS_DATA <= SC_FROM_FPHX_int;
    CS_DATA <= '1';
else
    STATUS_DATA <= '0';
    CS_DATA <= '0';
end if;

THR_BUF <= THR;

end if;

end process;
```

- 24clk待ち、と書いているが実際には21クロックしか待っていない。そのため、ずれが生じている