

# ROC-FPGA書き換えテスト

2023/02/22

INTT日本語ミーティング

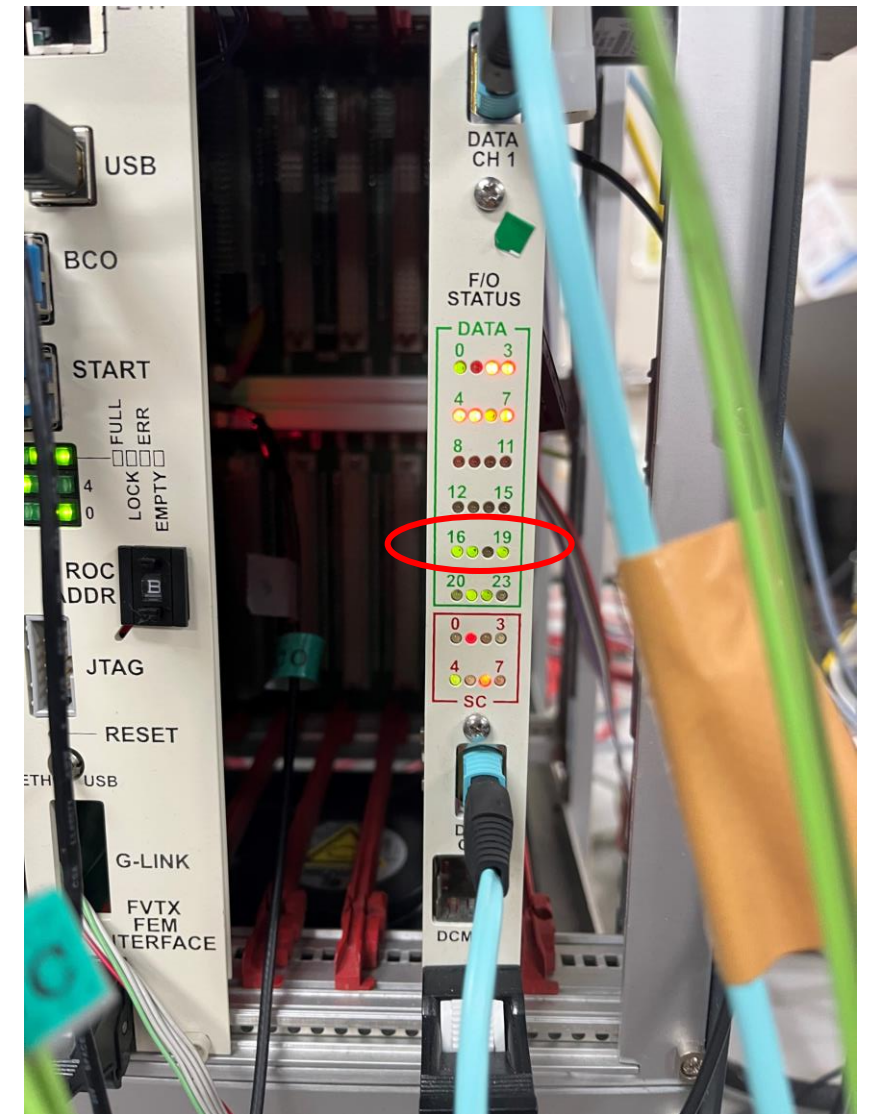
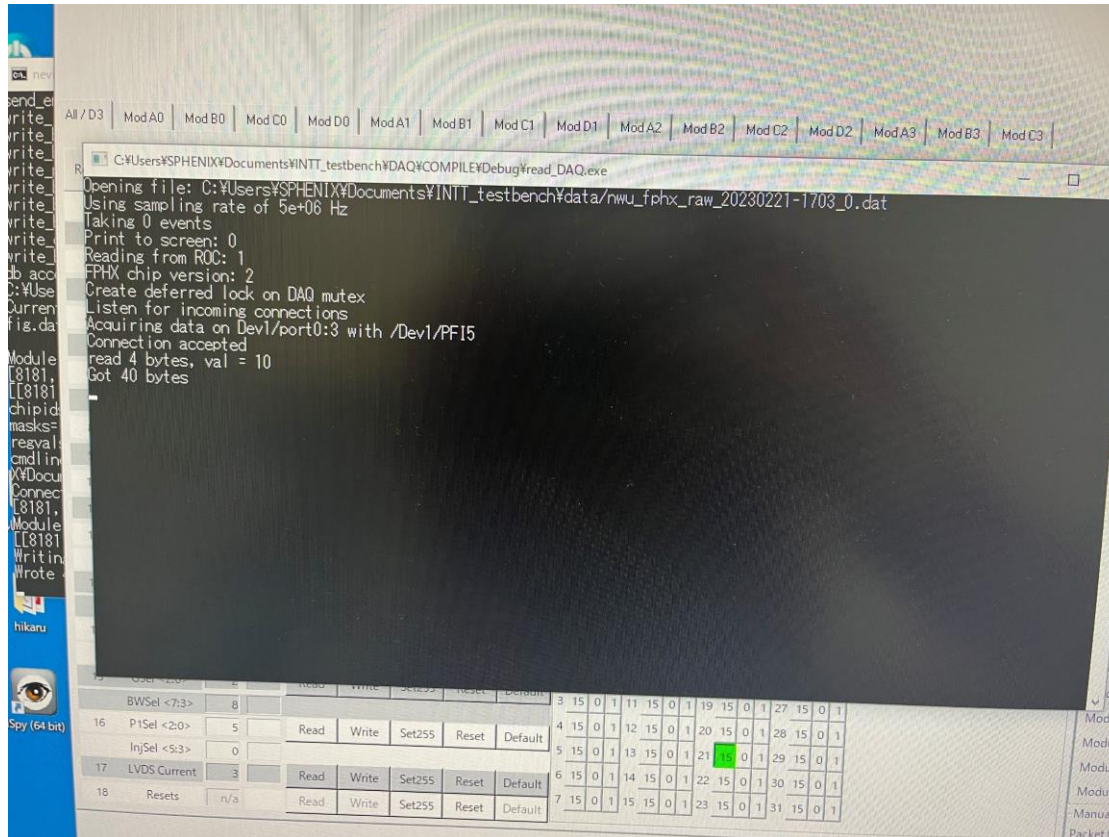
加納麻衣

# 現状

- 改造したFPGAコードをROC 7 のFPGAに書き込んだ  
→キャリブレーションを行ったが出来なくなった
- 改造前のコードと、FVTXのWebページにある別のFPGAコードのうち2つ（Webページの上から2,3個目）をそれぞれ書き込んだ  
→いずれもキャリブは出来なかった
- Identifyを用いて信号がどのようなになっているか確認

# ROC 7 の状態

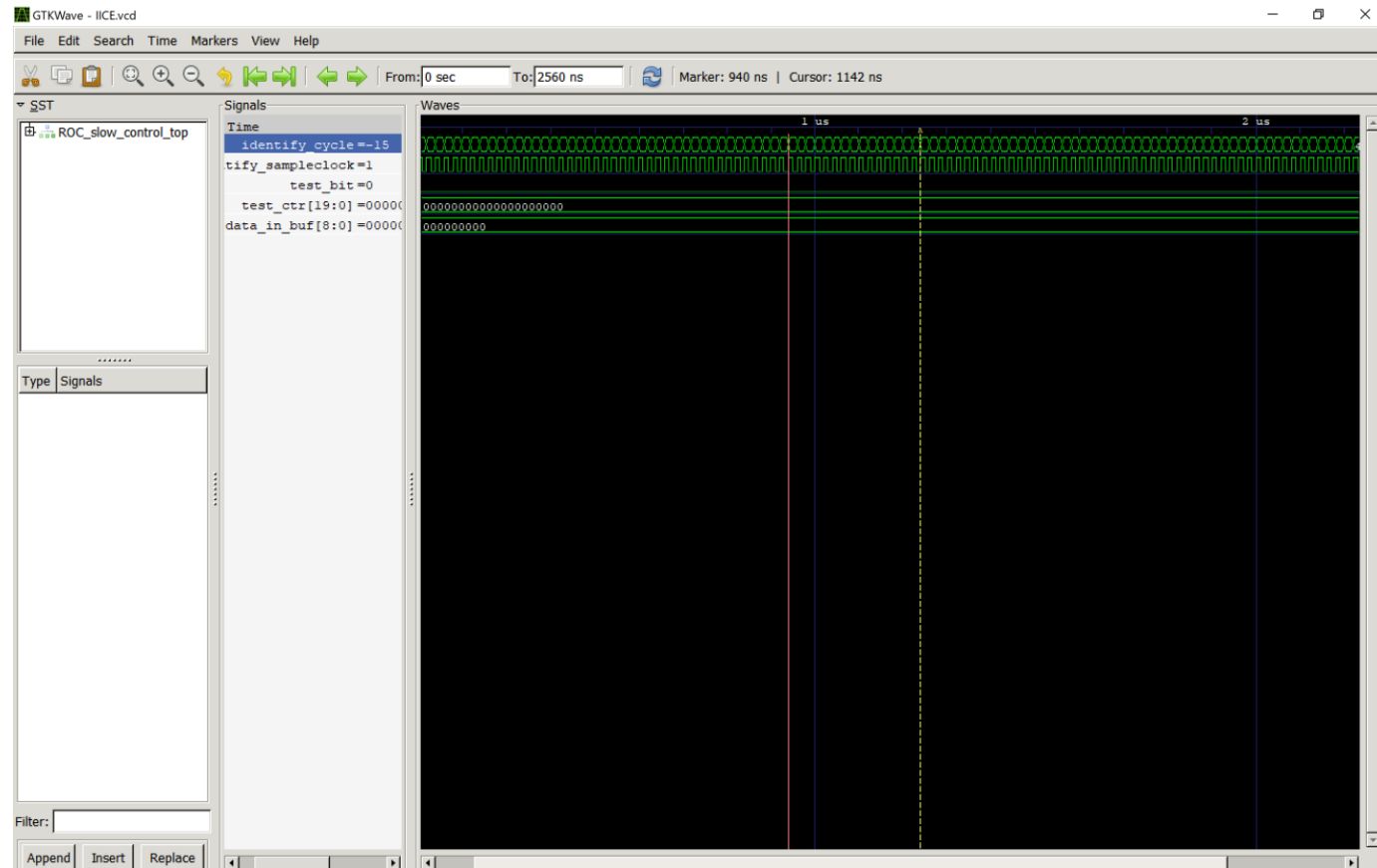
- FEMに本来ついていない箇所でランプがついている→
- キャリブを行った場合データが来ない↓



# Identifyの状態

- DATA\_IN\_BUF (8 downto 0)の信号を見た様子

本来ならSlowControlコマンドがでるはずだが、“000000000”になってしまっている。Identifyの設定が悪くトリガーを上手くかけれていないのが原因



# 今後すること

- 引き続きIdentifyでDATA\_IN\_BUF (8 downto 0) の信号を見る。  
各ビットの信号の内容をそれぞれ詳しく確認