

2023/3/15

3ラダー解析

NWU M2 並本ゆみか

前提: 修論で見つかった問題

- 修論では3ラダーすべての検出効率を出した
- L0 efficiency = $\frac{23344}{23585} = 98.98 \pm 0.07 \%$
- L1 efficiency = $\frac{14714}{14786} = 99.51 \pm 0.06 \%$
- L2 efficiency = $\frac{23240}{24158} = 96.20 \pm 0.12 \%$
- **問題点**
 - L1の分子、分母が他に比べて少ない
 - L2の検出効率がほか2ラダーより低い
 - 検出効率99.5%の残り0.5%は何なのか

前提: 修論で見つかった問題

- 修論では3ラダーすべての検出効率を出した

- L0 efficiency = $\frac{23344}{23585} = 98.98 \pm 0.07 \%$

- L1 efficiency = $\frac{14714}{14786} = 99.51 \pm 0.06 \%$

- L2 efficiency = $\frac{23240}{24158} = 96.20 \pm 0.12 \%$

- **問題点**

- L1の分子、分母が他に比べて少ない
- L2の検出効率がほか2ラダーより低い
- 検出効率99.5%の残り0.5%は何なのか

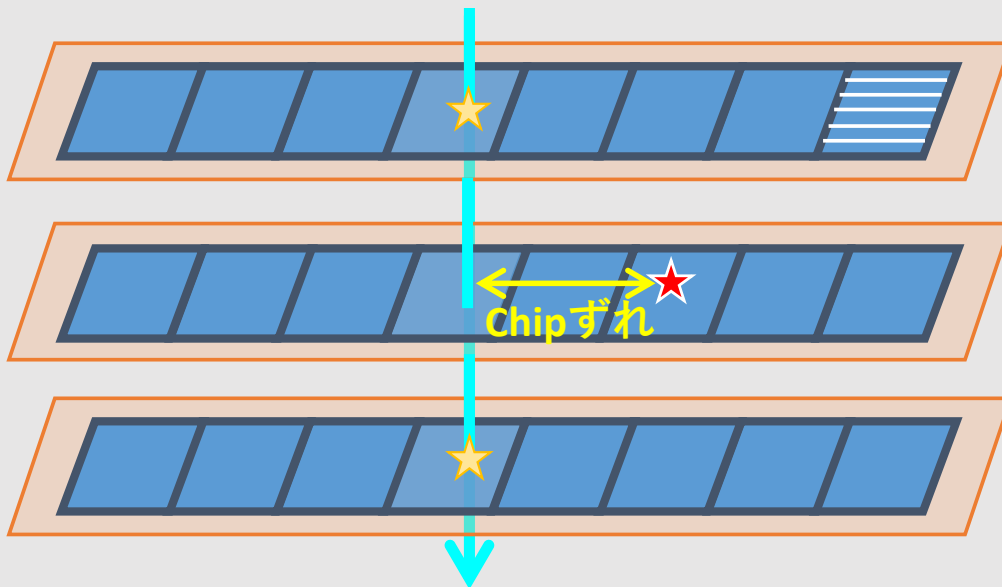
L1の検出効率計算のみ、隣り合っていないラダー
(L0, L2)のtrackを用いていることが原因

行ったこと

- Chipずれについて解析
- 検出効率計算
 - Chip制限をなくした場合
 - chip番号別

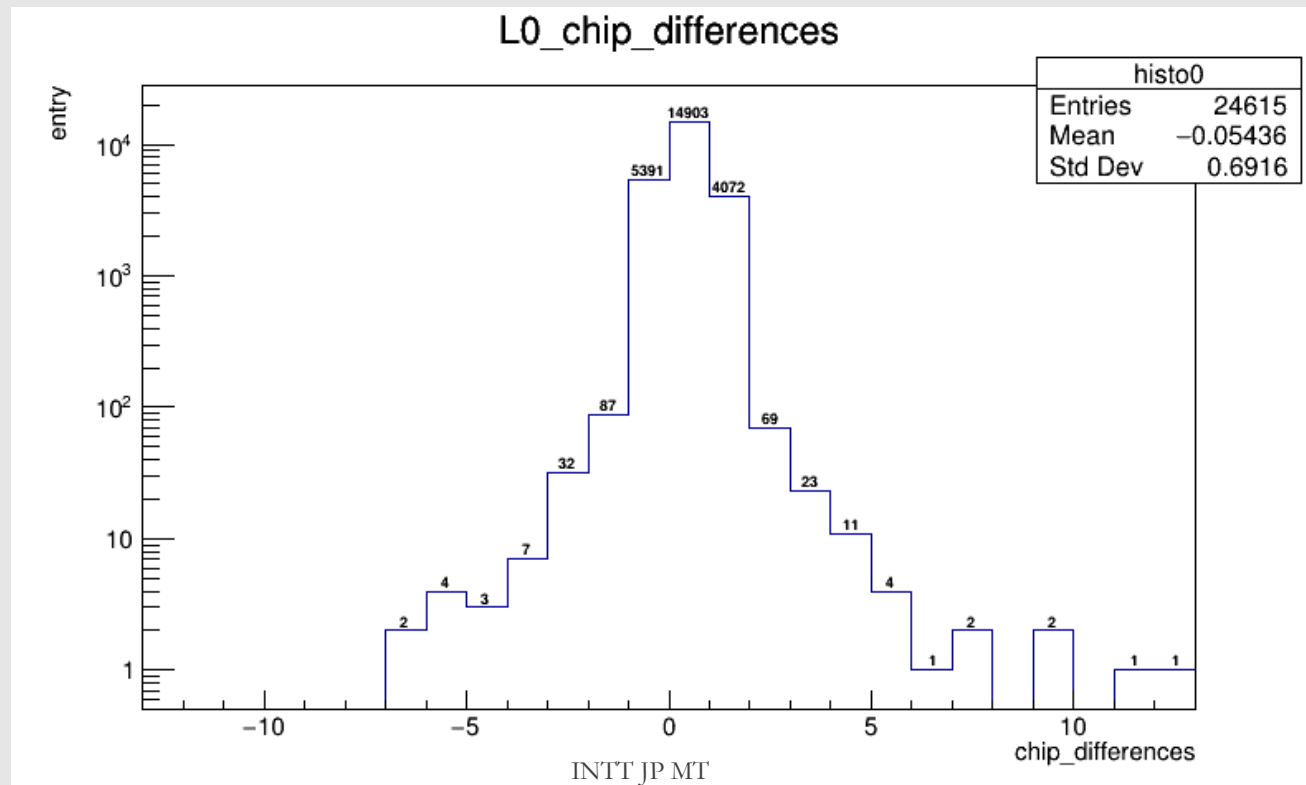
Chipずれについて

- 2本のラダーが同じchipにクラスターを1つ持つと仮定したとき、残る1本のラダーがクラスターを持つchipが、ほか2本のchipとどれくらい離れているか示す
- ※残る1本のラダーのクラスター数は1以上とする



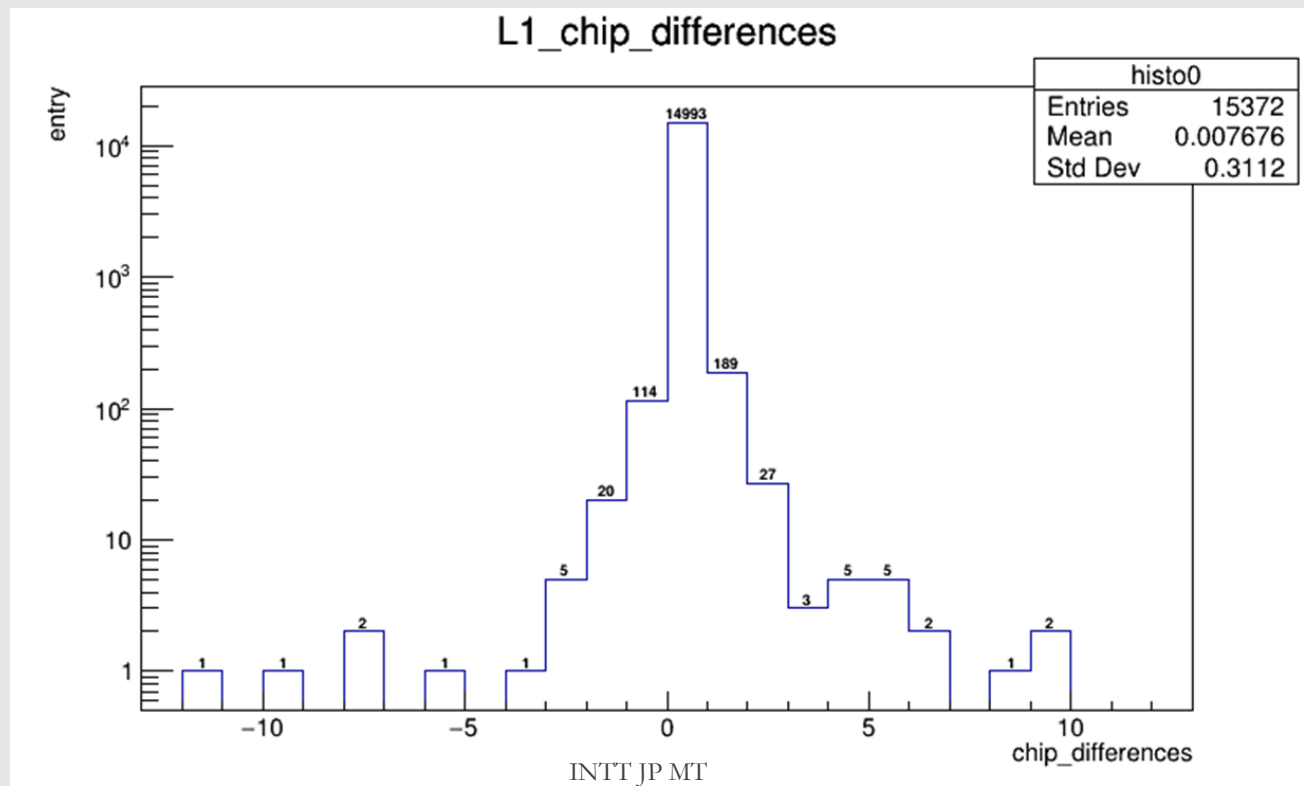
Chipずれ: L0

- L1, L2が同じchipにクラスターを持つとき、L0がクラスターを持つchip番号との差は、



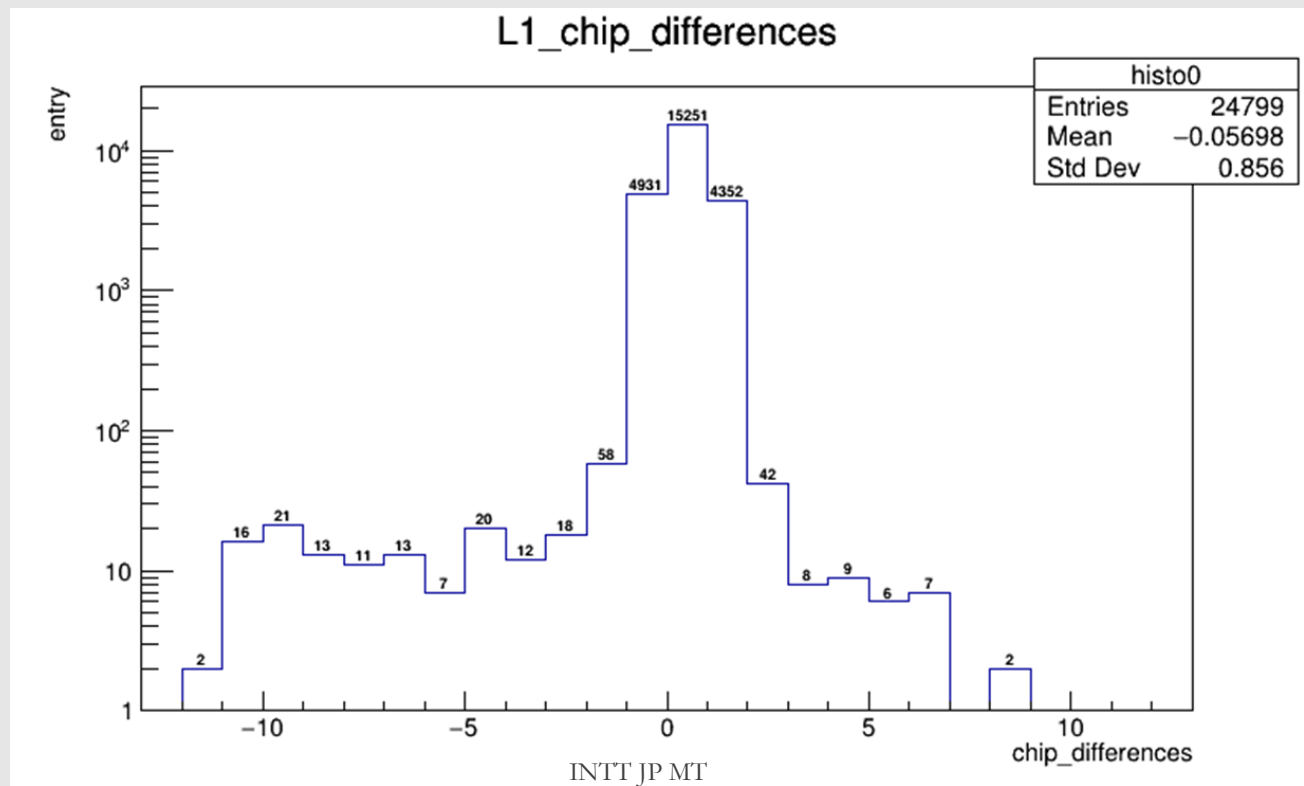
Chipずれ: L1

- L0, L2が同じchipにクラスターを持つとき、L1がクラスターを持つchip番号との差は、



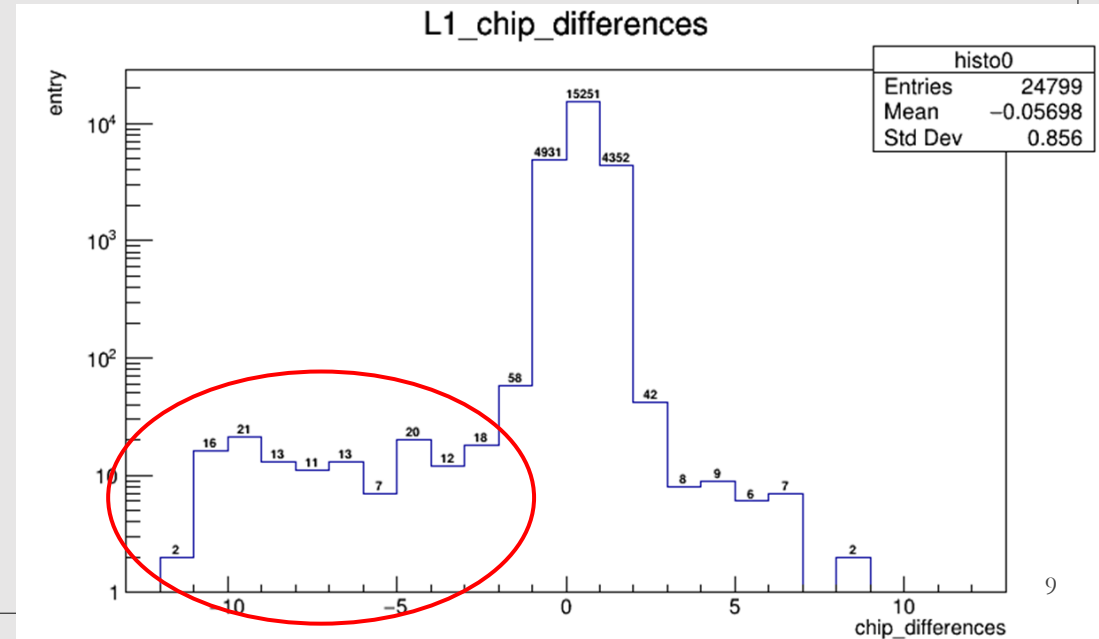
Chipずれ: L2

- L0, L1が同じchipにクラスターを持つとき、L2がクラスターを持つchip番号との差は、



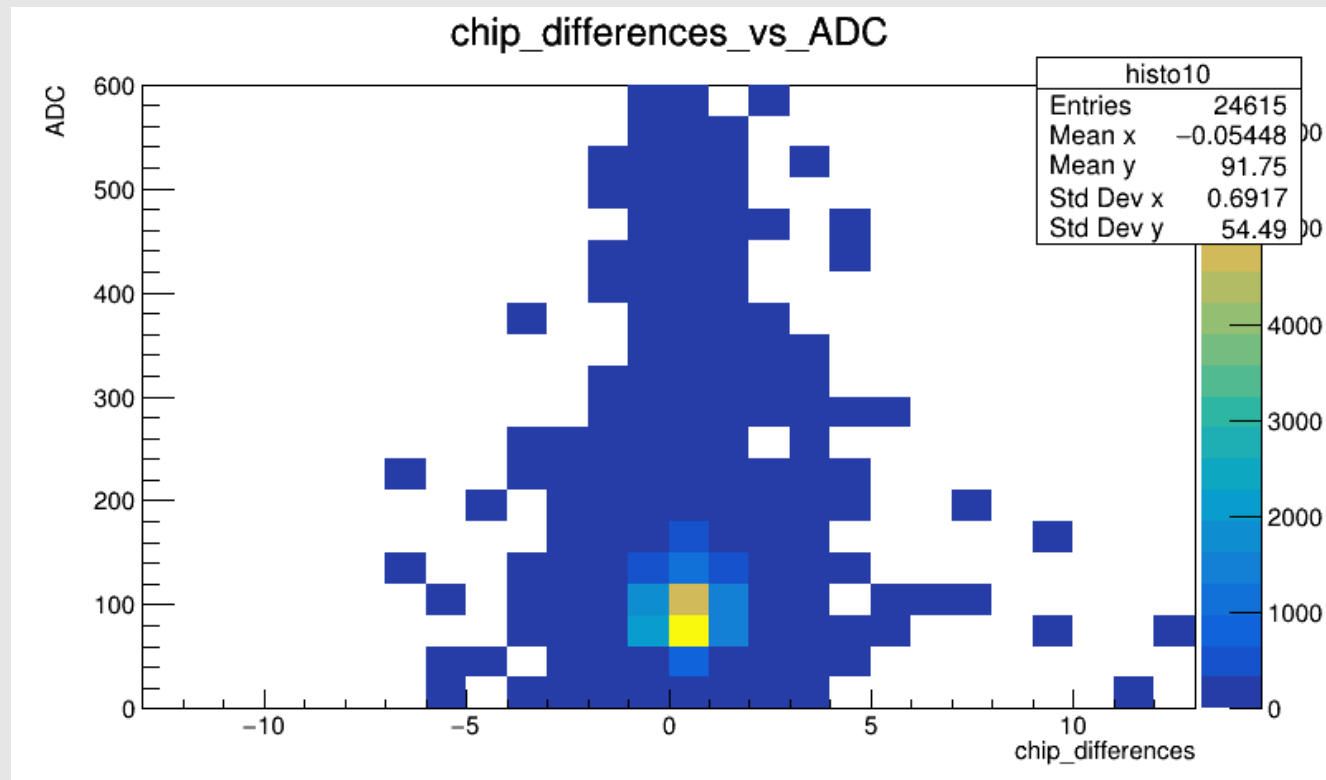
Chipずれまとめ

- L0, L1はchipずれ0をピークとして左右対称な分布を持つ
- L2のみ、chipずれ負の方向にフラットな分布がある
 - ノイズ? 調査のため、ADCとの2次元ヒストを作ってみた

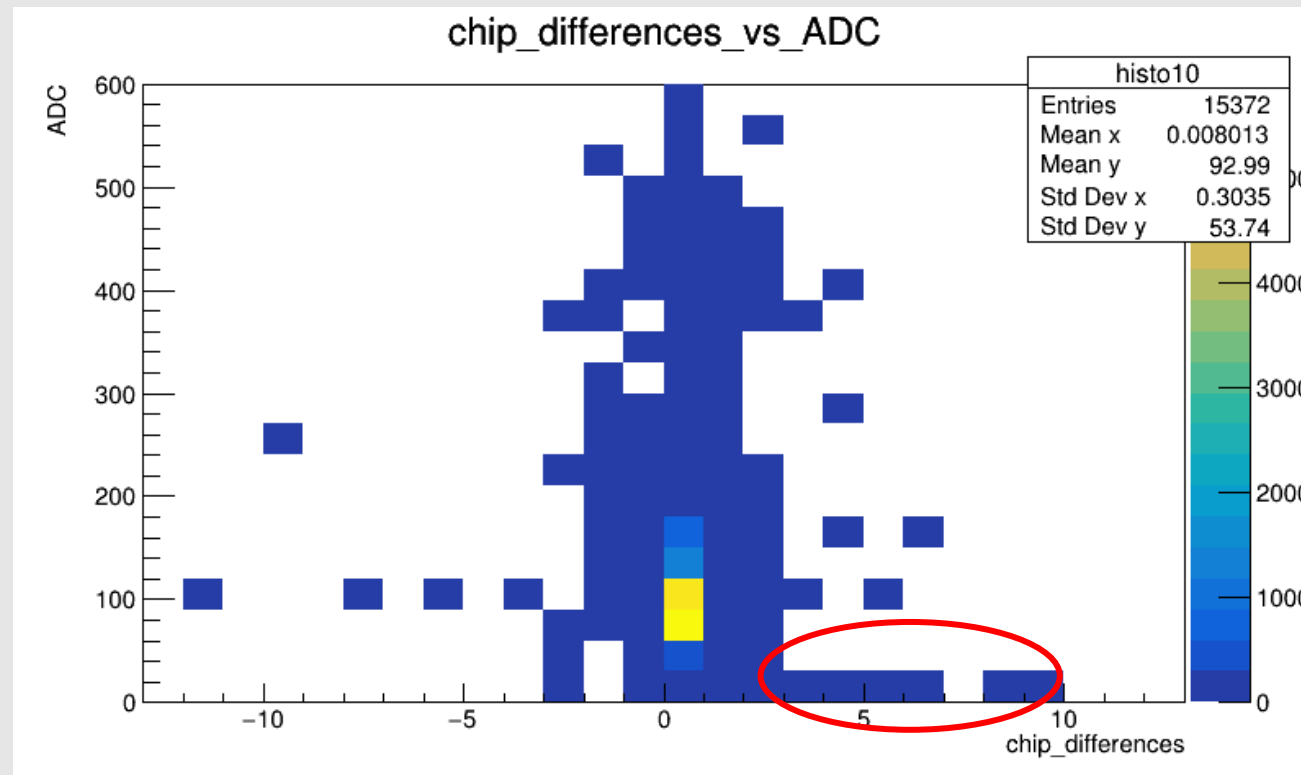


ADC vs chipずれ: L0

- 横軸chipずれ、縦軸ADC値として2次元ヒストグラムを作成した

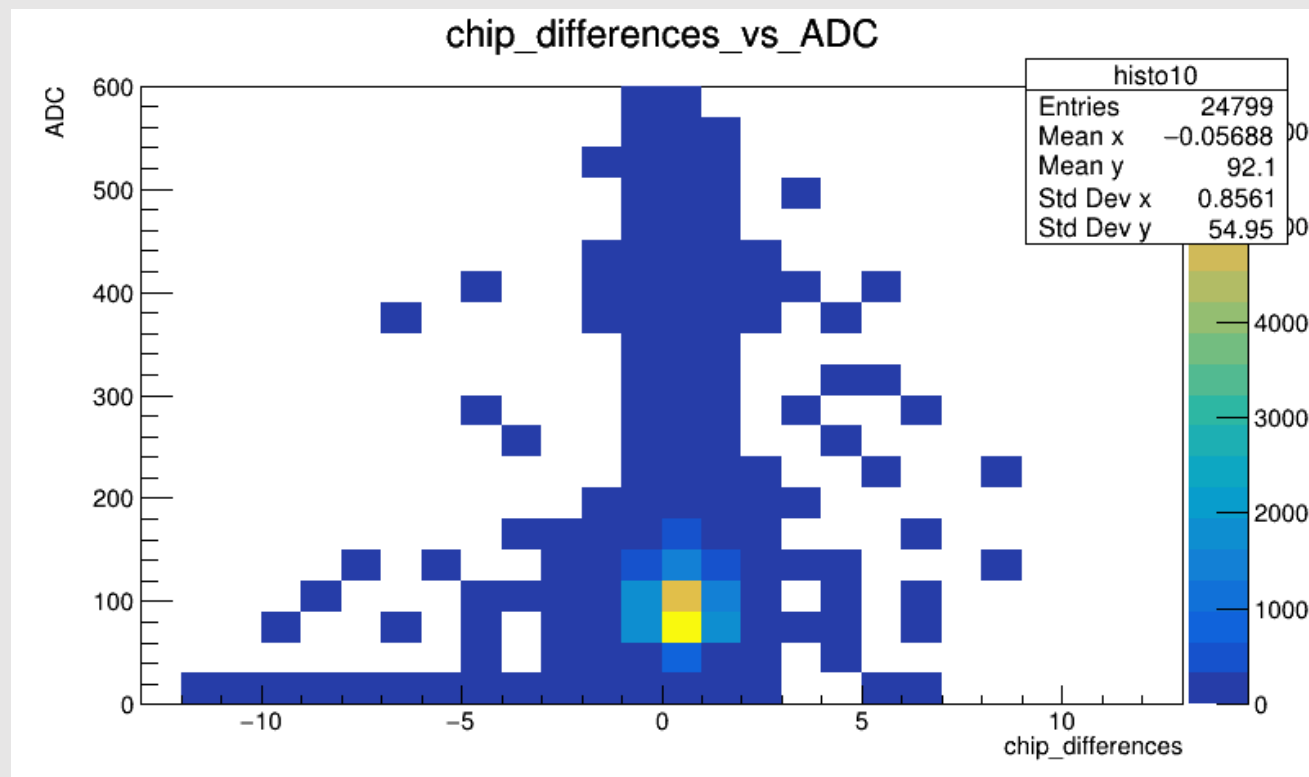


ADC vs chipずれ: L1



- Chipずれ正の方向に、低ADC値が分布している

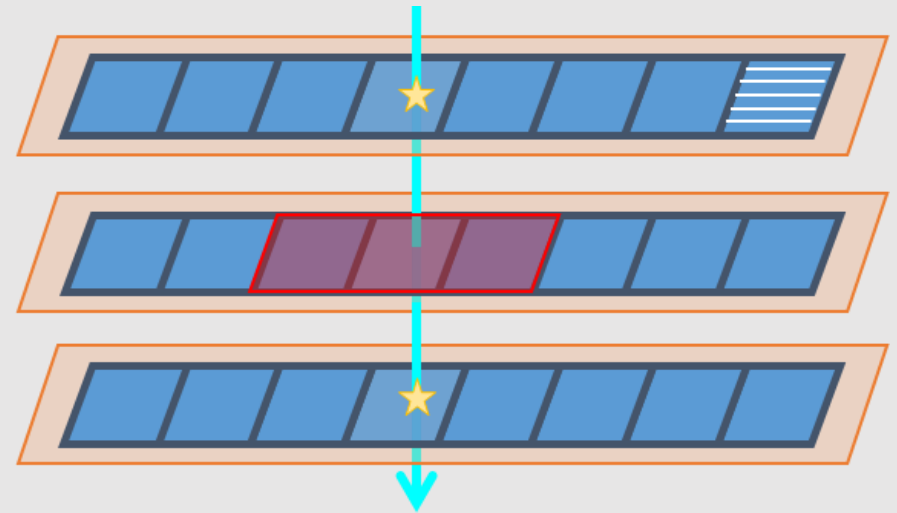
ADC vs chipずれ: L2



- Chipずれ負の方向に、低ADC値の分布がある

検出効率の定義

- 例えばL1の検出効率を求めたいとき、
 - L0, L2は同じchipにクラスターを1つ持つ
 - L1はL0, L2と同じchipもしくはchip番号 ± 1 の範囲にクラスターを1つ以上持てば、検出したとする
- このchipに付いての条件を外すと検出効率がどうなるか調べた
- 計算パターンは2種類(例: L1の検出効率計算)
 - L0, L2は同じchipにクラスターを持ち、L1はどのchipにクラスターを持っていても良い
 - L0, L1, L2すべてのラダーがどのchipにクラスターを持っていても良い



計算対象だけが自由な検出効率

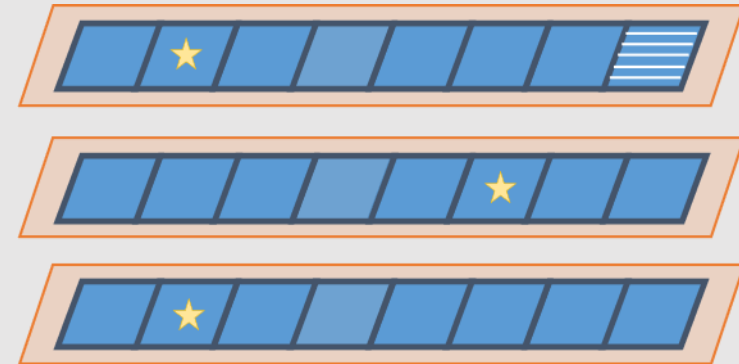
- Trackの基準となる2ラダーは同一chipにクラスターを持ち、検出効率の計算対象はどのchipでクラスターを検出してもok の場合

- Efficiency L0 = $\frac{23385}{23585} = 99.15\%$

- Efficiency L1 = $\frac{14714}{14786} = 99.51\%$

- Efficiency L2 = $\frac{23272}{24158} = 96.33\%$

- L0が99%を超えた
- L2が低い



全ラダーが自由な検出効率

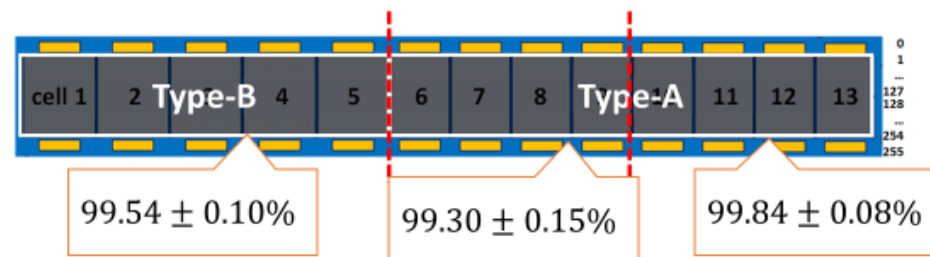
- Trackの基準となる2ラダー、計算対象となるラダーのすべてがどのchipにクラスターを持っていてもok の場合
- Efficiency L0 = $\frac{38947}{39281} = 99.15\%$
- Efficiency L1 = $\frac{39495}{39869} = 99.06\%$
- Efficiency L2 = $\frac{39307}{40754} = 96.45\%$
- L0, L1は99% over
- L2は96%に留まる

Chip番号別検出効率

- 修論ではL1について、chip番号別検出効率を出した
- ハーフラダーを全13chipとみなし、chip1-5, 6-9, 10-13の3グループに分けて計算している
- 同様の分け方でL0, L2についても検出効率を求めた

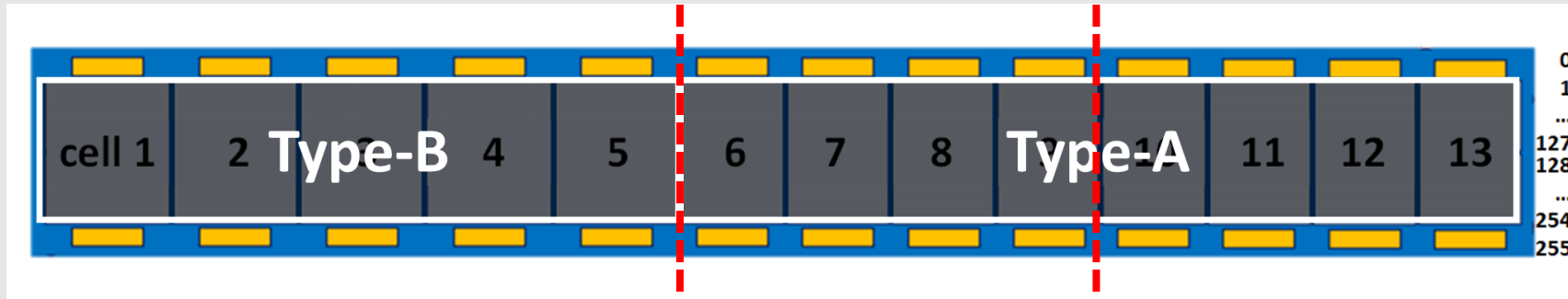
検出効率のセル位置依存性確認

- センサーラダーには長さの異なる2種類のセンサーが用いられている
- センサーの種類によって検出効率に変化がないか確認するため、L1についてセル番号別に3つのグループに分けて検出効率の計算を行った



- センサーの種類やセルの位置によらず、検出効率は99%以上であることがわかる

Chip番号別検出効率: L0, L2



- L0

- Chip1-5: $\frac{10009}{10218} = 97.95\%$

- chip6-9: $\frac{7541}{7761} = 97.17\%$

- chip10-13: $\frac{5689}{5901} = 96.41\%$

- L2

- Chip1-5: $\frac{10168}{11064} = 91.9\%$

- chip6-9: $\frac{7300}{8202} = 89\%$

- chip10-13: $\frac{5585}{6476} = 86.24\%$

今後

- APR修正
- 学会スライドを作る
- 引き継ぎ