ROC　SlowControl FPGA の再実装

奈良女B4　加納麻衣

2023/01/24

ROC-FPGA

- FPGA（field programmable gate array）：書き換えを行う開発ツール
  FPGAは現場でプログラム可能な論理回路配列という意味
- SlowControl FPGA:　SlowControl コマンドをラダーに送受信する

  Readbackerで使用

Readbackerの現状

- Readbacker

　INTTラダー上の読み出しチップ（FPTX)の情報（レジスタ値）を読み出す

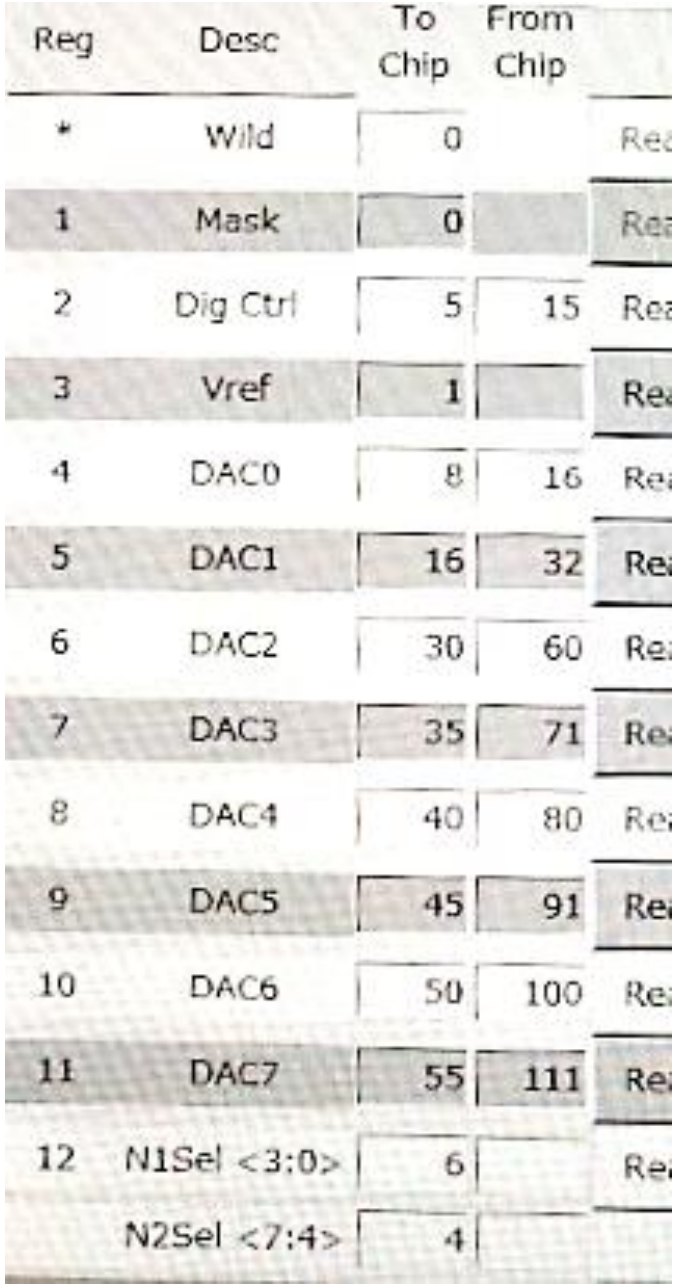
- 現状

　Bus-Extender（BEX）を接続すると、読み出したデータが設定値と異なる

Readbackerの現状

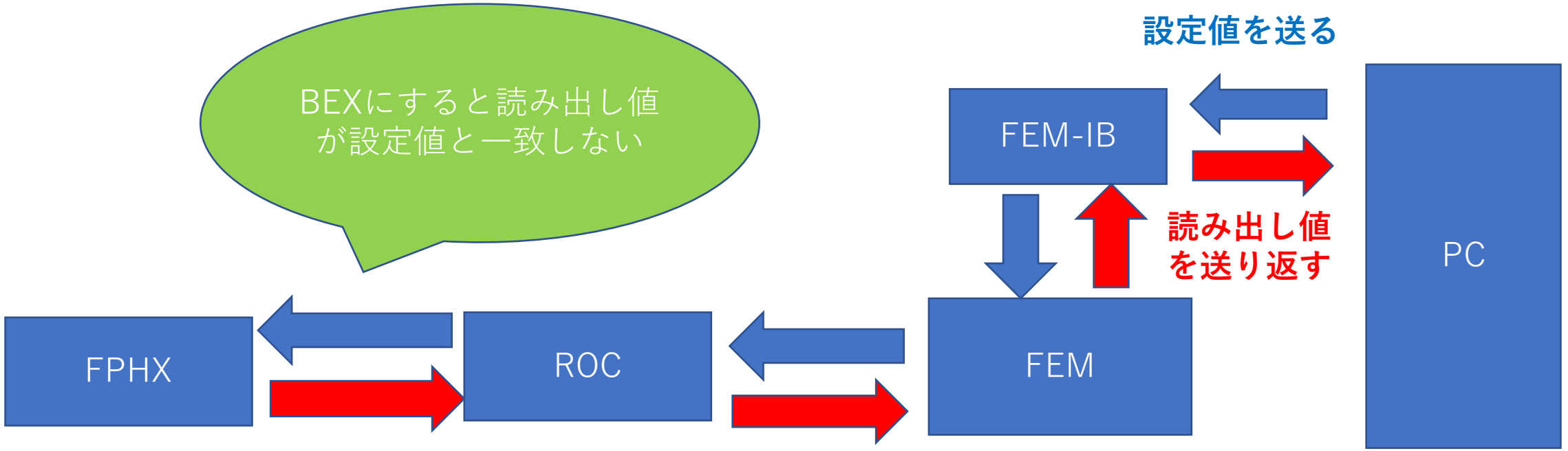
- BEXをつながない時は正常に動作する
  設定値をそのまま読み出せる

- BEXをつなぐと、読み出し結果が設定値と異なる
（TO ChipとFrom Chipの値が一致しない）



Reg	Desc	To Chip	From Chip	
*	Wild	0		Rec
1	Mask	0		Rea
2	Dig Ctrl	5	15	Rea
3	Vref	1		Rea
4	DAC0	8	16	Rea
5	DAC1	16	32	Rea
6	DAC2	30	60	Rea
7	DAC3	35	71	Rea
8	DAC4	40	80	Rea
9	DAC5	45	91	Rea
10	DAC6	50	100	Rea
11	DAC7	55	111	Rea
12	N1Sel <3:0>	6		Rea
	N2Sel <7:4>	4		

Readbackerの構成



ROCでデータが1ビットずれて欠けることが分かっている→ROCのFPGAに原因
1ビットのずれを補正するようにROC-FPGAを変更するのが目的

セットアップ

- 開発環境

  Libero SoC　v11.9（ProAsic3Eで使える）

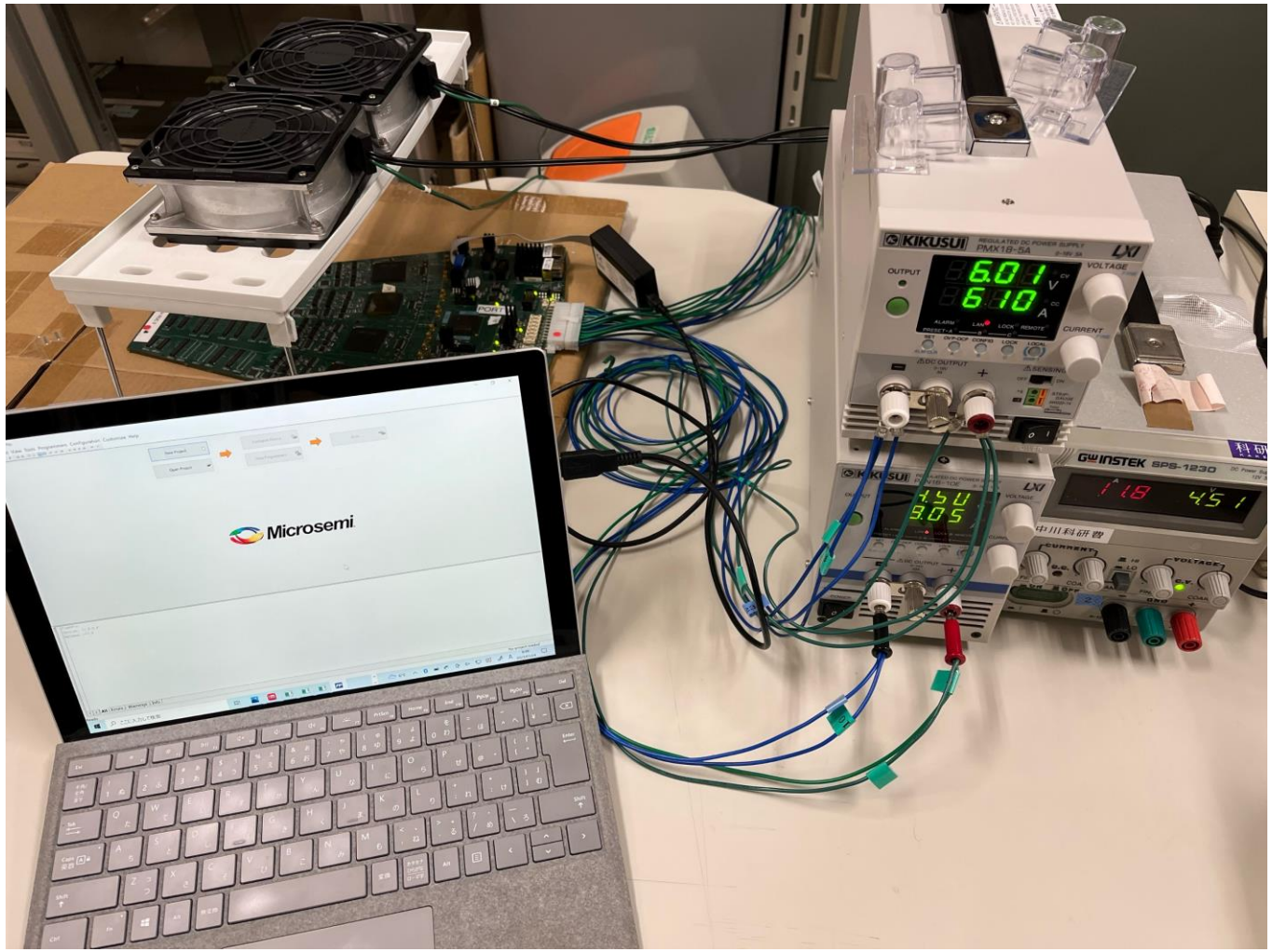
  - VHDL言語を用いる　論理合成＋配線ツール
  - V11.9はProAsic3E用の最終版
  - FVTX開発にはv9.1が使われている
  - Libero SoCのセットアップにはライセンスの入手と設定
    ライセンスサーバーの登録が必要

  FlashPro（ソフトウェア）

  - FPGA書き込み用ソフトウェア
  - PCとの接続にFlashPro５を用いる

セットアップ

- ROC-FPGA書き換え用のテストベンチ



今までしたこと

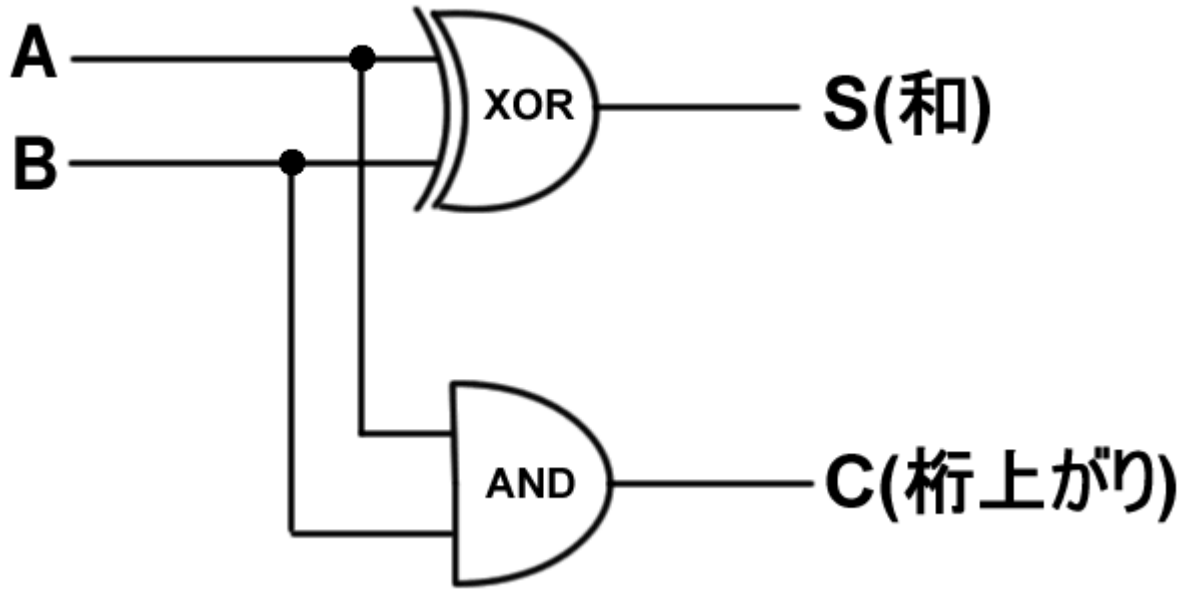
- 環境の動作テスト
  Libero SoCとFlashPro動作確認
- FPGAコードの確認とコンパイル
- 書き換え用ベンチの準備

環境の動作テスト（Libero SoC）

- 回路を作成し、論理合成→シュミレーションをしてみた

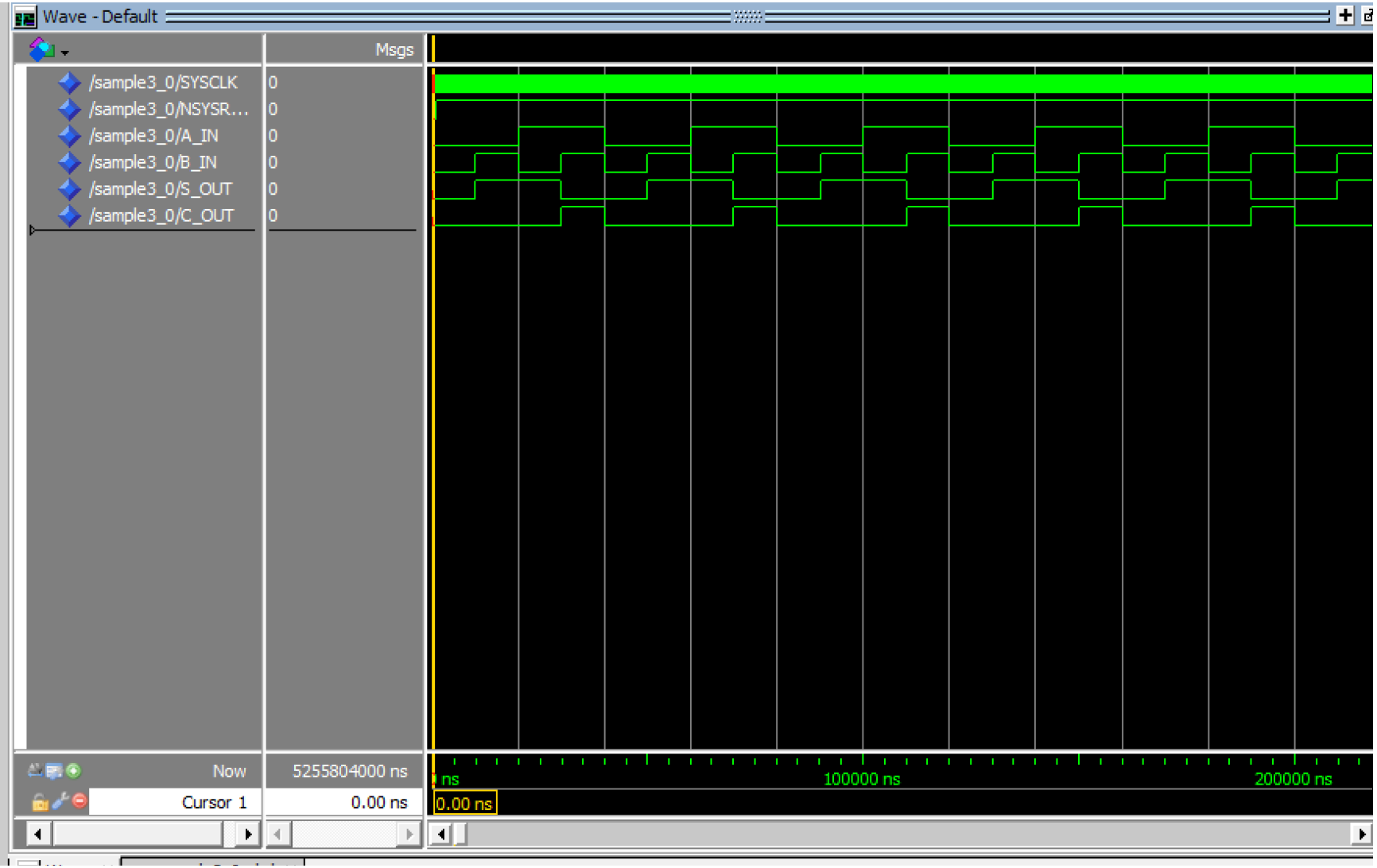
Reports | StartPage | sample3.vhd | sample3_0.vhd

```
-- File history:
--      <Revision number>: <Date>: <Comments>
--      <Revision number>: <Date>: <Comments>
--      <Revision number>: <Date>: <Comments>
--
-- Description:
--
-- <Description here>
--
-- Targeted device: <Family::ProASIC3E> <Die::A3PE1500> <Package::676 FBGA>
-- Author: <Name>
--
--------------------------------------------------------------------------------

library IEEE;

use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;

entity sample1 is
port (
    A:in std_logic;
    B:in std_logic;
    S:out std_logic;
    C: out std_logic);
end sample1;

architecture architecture_sample1 of sample1 is

begin
S<=A xor B;
C<=A and B;
   -- architecture body
end architecture_sample1;

```



シュミレーション

先ほどの回路でシュミレーションを行うことが出来た

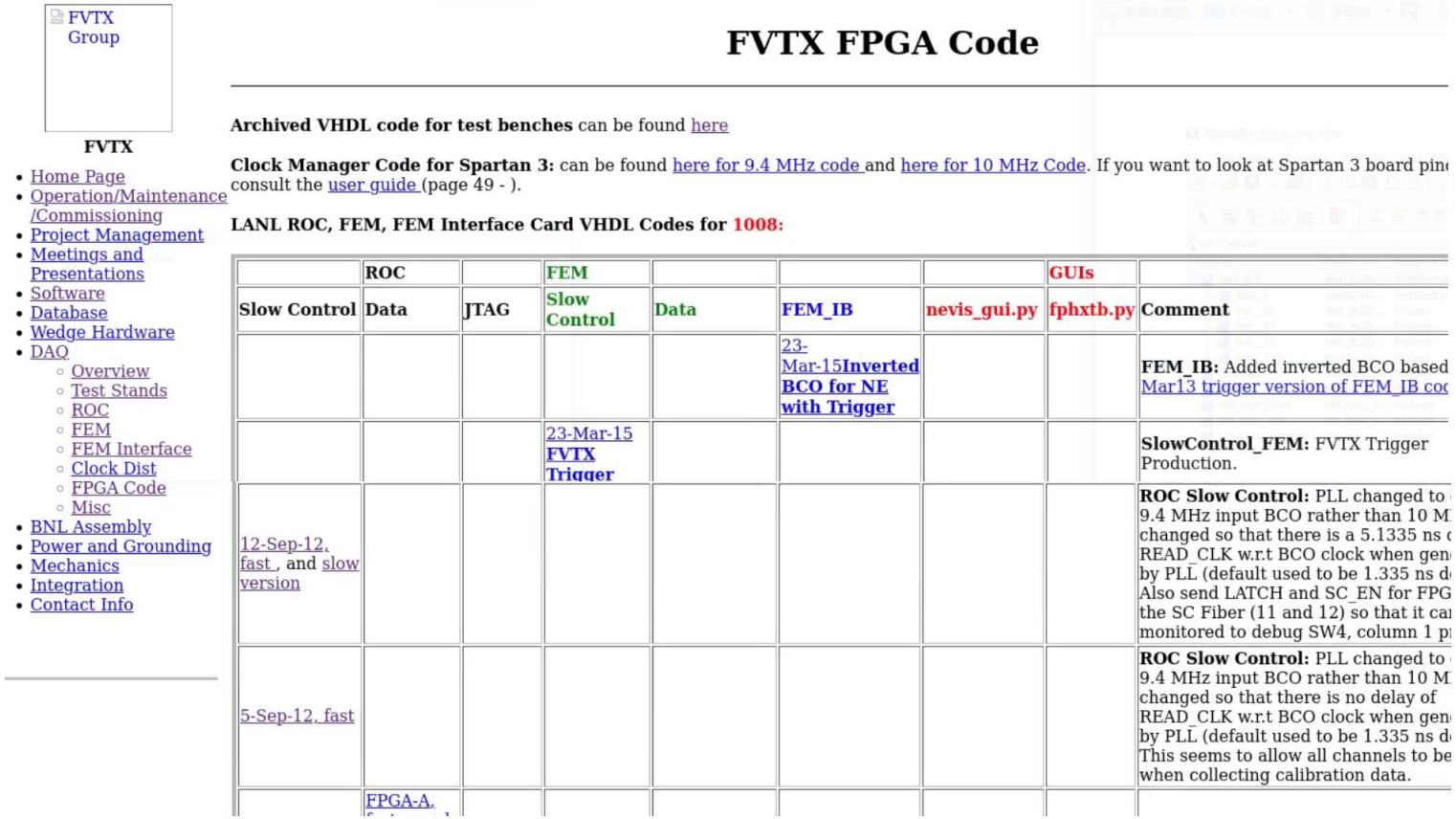


真理値表

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

FlashProによるFPGAのVerify

- FVTXのWebページにあるFPGAコードを使ってROCのSlowControl FPGAをVerify（同じコードかどうかチェック）



FVTX Group

FVTX

- Home Page
- Operation/Maintenance /Commissioning
- Project Management
- Meetings and Presentations
- Software
- Database
- Wedge Hardware
- DAQ
  - Overview
  - Test Stands
  - ROC
  - FEM
  - FEM Interface
  - Clock Dist
  - FPGA Code
  - Misc
- BNL Assembly
- Power and Grounding
- Mechanics
- Integration
- Contact Info

FVTX FPGA Code

Archived VHDL code for test benches can be found here

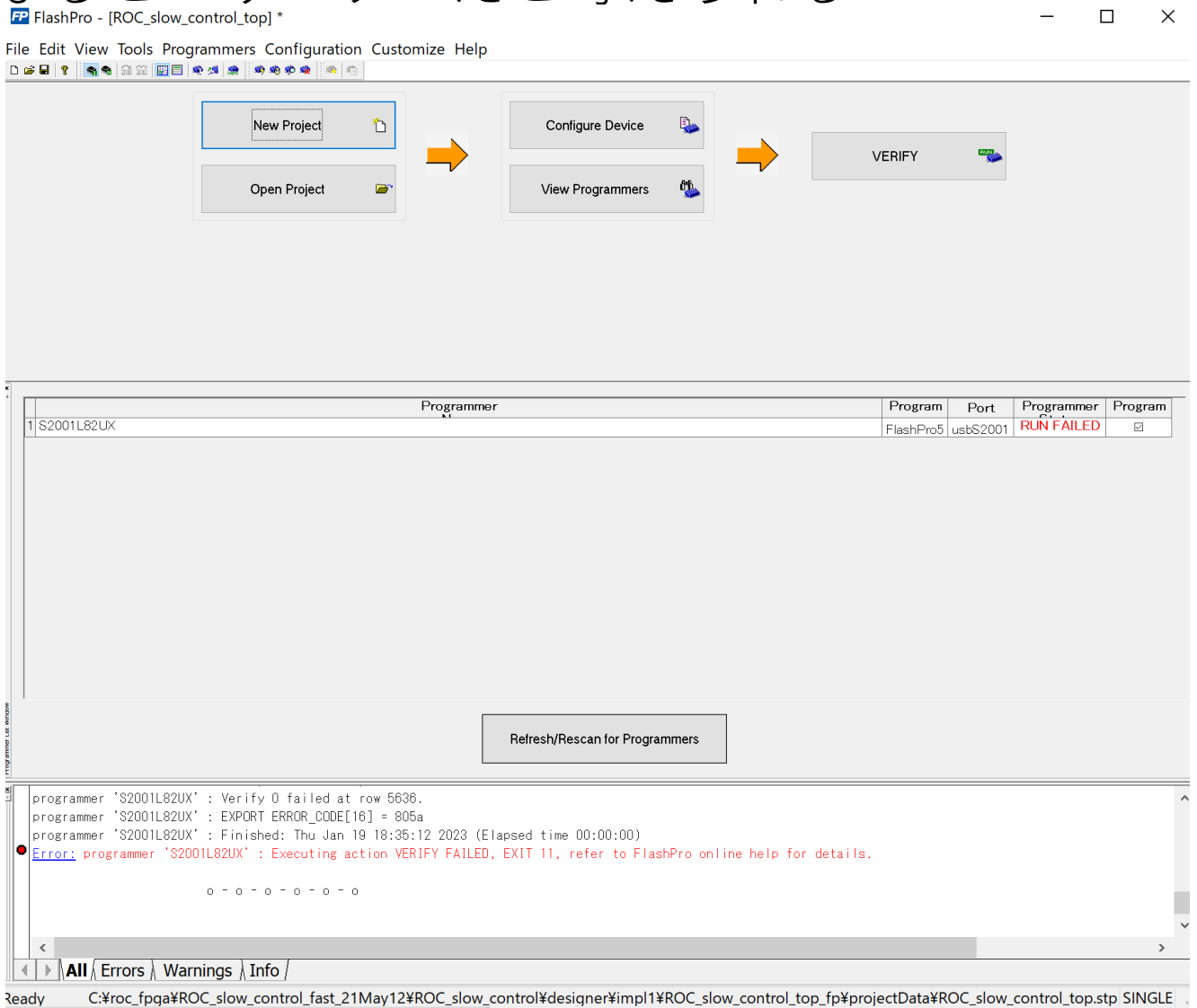
Clock Manager Code for Spartan 3: can be found here for 9.4 MHz code and here for 10 MHz Code. If you want to look at Spartan 3 board pin consult the user guide (page 49 -).

LANL ROC, FEM, FEM Interface Card VHDL Codes for 1008:

	ROC		FEM				GUIs	
Slow Control	Data	JTAG	Slow Control	Data	FEM_IB	nevis_gui.py	fphxtb.py	Comment
					23-Mar-15 **Inverted BCO for NE with Trigger**			**FEM_IB:** Added inverted BCO based Mar13 trigger version of FEM_IB coc
			23-Mar-15 **FVTX Trigger**					**SlowControl_FEM:** FVTX Trigger Production.
12-Sep-12, fast , and slow version								**ROC Slow Control:** PLL changed to 9.4 MHz input BCO rather than 10 M changed so that there is a 5.1335 ns READ_CLK w.r.t BCO clock when gen by PLL (default used to be 1.335 ns d Also send LATCH and SC_EN for FPG the SC Fiber (11 and 12) so that it ca monitored to debug SW4, column 1 p
5-Sep-12, fast								**ROC Slow Control:** PLL changed to 9.4 MHz input BCO rather than 10 M changed so that there is no delay of READ_CLK w.r.t BCO clock when gen by PLL (default used to be 1.335 ns d This seems to allow all channels to be when collecting calibration data.
	FPGA-A,							

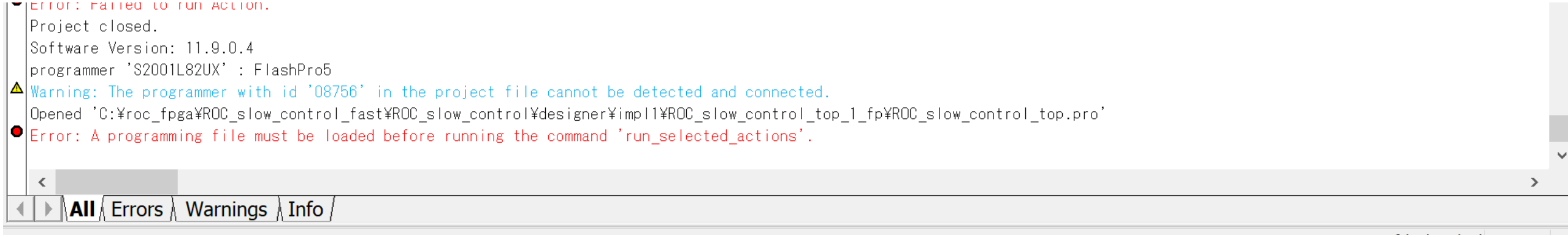
Verifyのテスト

- FVTXのWebページのSlowControl FPGAコードを全てVerifyを行ったがエラーが出た
- デザインが異なるというエラーだと考えられる

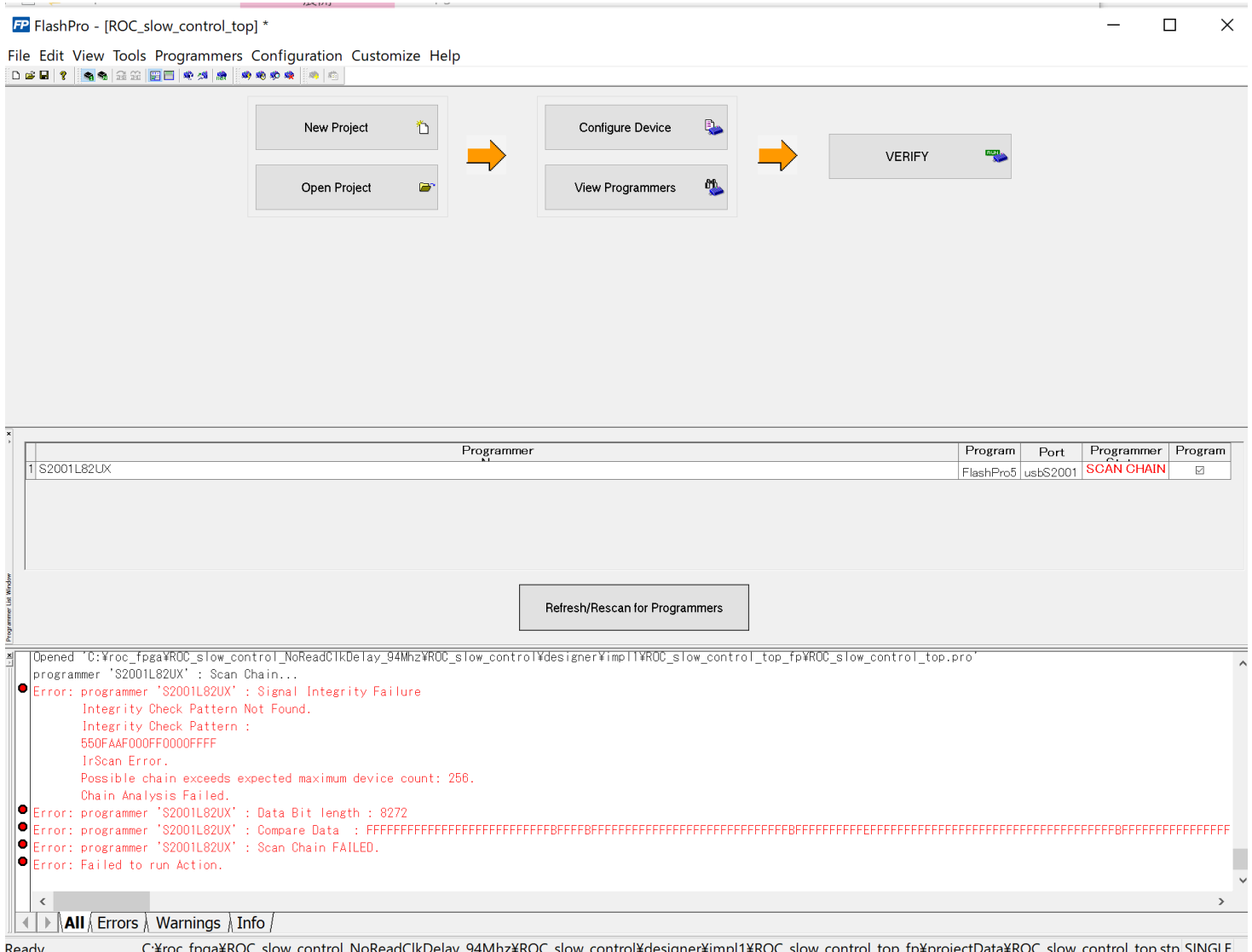


Verifyのテスト

一部のコードではそもそもVerifyが出来なかった（RUNならできる）

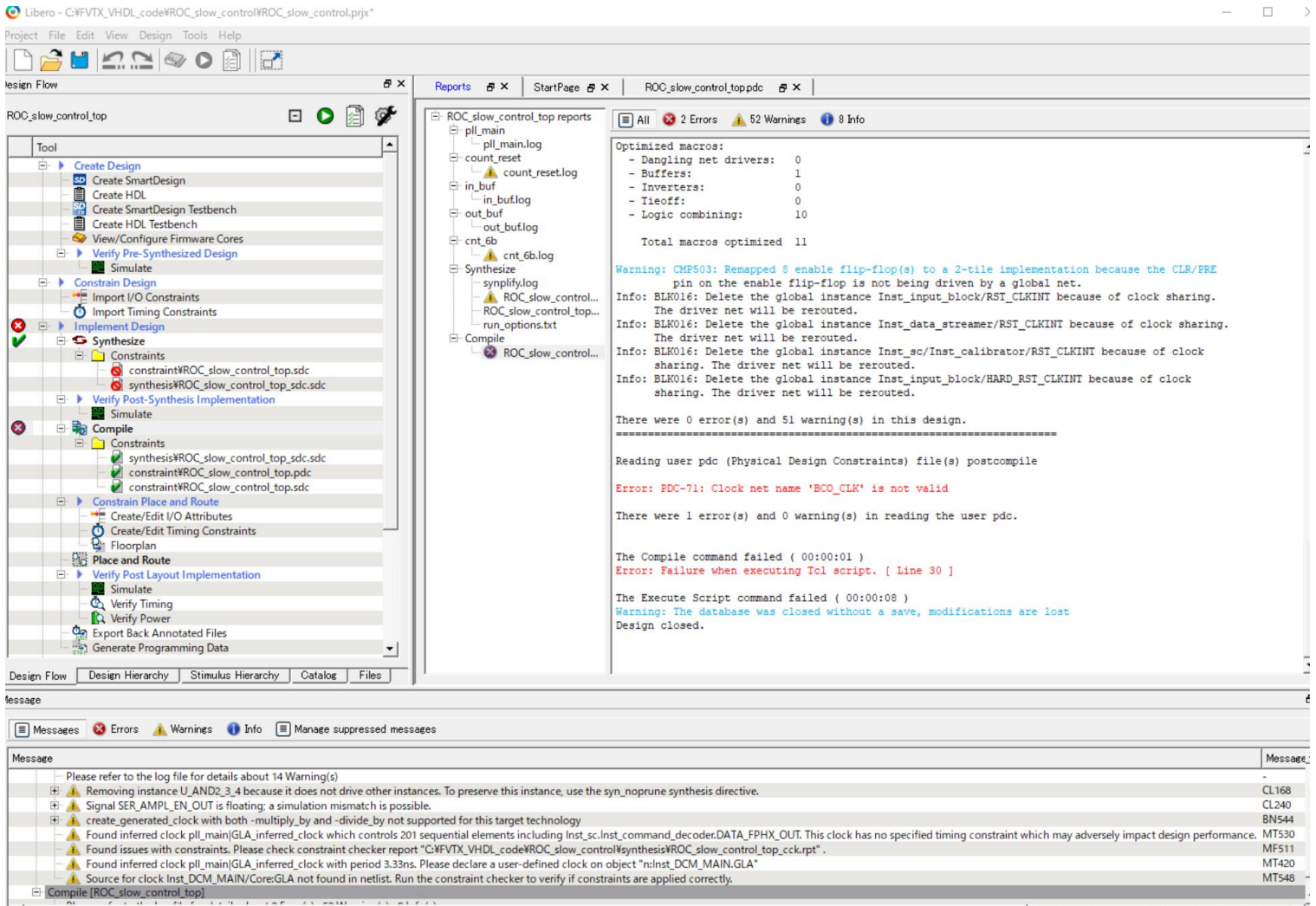


Verifyのエラー
（接続が上手くできていないとき）



SlowControl FPGAのコンパイル

- FVTXのWebページにある一番新しいFPGAコードを使って Libero SoCでコンパイルを行った。何も変えずに行うとエラーがでる



コンパイルのエラー

エラーの内容を確認すると上から3行目が＃がなくコメントになっていなかったので訂正

All | 2 Errors | 52 Warnings | 8 Info

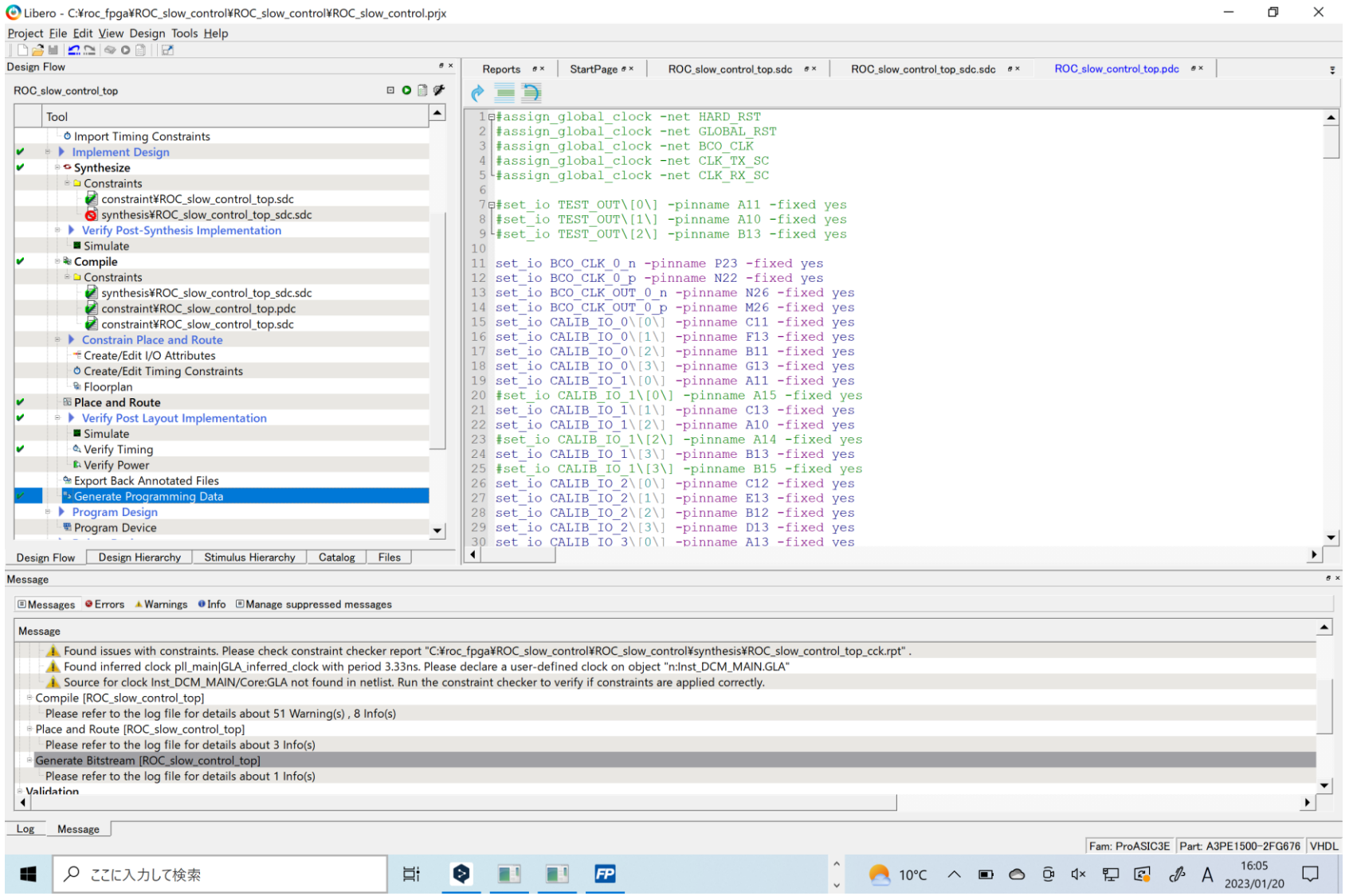
```
Optimized macros:
  - Dangling net drivers:   0
  - Buffers:                1
  - Inverters:              0
  - Tieoff:                 0
  - Logic combining:        10

    Total macros optimized  11

Warning: CMP503: Remapped 8 enable flip-flop(s) to a 2-tile implementation because the CLR/PRE
         pin on the enable flip-flop is not being driven by a global net.
Info: BLK016: Delete the global instance Inst_input_block/RST_CLKINT because of clock sharing.
      The driver net will be rerouted.
Info: BLK016: Delete the global instance Inst_data_streamer/RST_CLKINT because of clock sharing.
      The driver net will be rerouted.
Info: BLK016: Delete the global instance Inst_sc/Inst_calibrator/RST_CLKINT because of clock
      sharing. The driver net will be rerouted.
Info: BLK016: Delete the global instance Inst_input_block/HARD_RST_CLKINT because of clock
      sharing. The driver net will be rerouted.

There were 0 error(s) and 51 warning(s) in this design.
=====================================================================

Reading user pdc (Physical Design Constraints) file(s) postcompile

Error: PDC-71: Clock net name 'BCO_CLK' is not valid

There were 1 error(s) and 0 warning(s) in reading the user pdc.


The Compile command failed ( 00:00:01 )
Error: Failure when executing Tcl script. [ Line 30 ]

The Execute Script command failed ( 00:00:08 )
Warning: The database was closed without a save, modifications are lost
Design closed.
```

Reports | ROC_slow_control_top.vhd | StartPage | ROC_slow_control_top_sdc.sdc | ROC_slow_control_top.pdc

```
1  #assign_global_clock -net HARD_RST
2  #assign_global_clock -net GLOBAL_RST
3  #assign_global_clock -net BCO_CLK
4  #assign_global_clock -net CLK_TX_SC
5  #assign_global_clock -net CLK_RX_SC
6
7  #set_io TEST_OUT\[0\] -pinname A11 -fixed yes
8  #set_io TEST_OUT\[1\] -pinname A10 -fixed yes
9  #set_io TEST_OUT\[2\] -pinname B13 -fixed yes
10
11 set_io BCO_CLK_0_n -pinname P23 -fixed yes
12 set_io BCO_CLK_0_p -pinname N22 -fixed yes
13 set_io BCO_CLK_OUT_0_n -pinname N26 -fixed yes
14 set_io BCO_CLK_OUT_0_p -pinname M26 -fixed yes
15 set_io CALIB_IO_0\[0\] -pinname C11 -fixed yes
16 #set_io CALIB_IO_0\[1\] -pinname F13 -fixed yes
17 set_io CALIB_IO_0\[2\] -pinname B11 -fixed yes
18 set_io CALIB_IO_0\[3\] -pinname G13 -fixed yes
19 set_io CALIB_IO_1\[0\] -pinname A11 -fixed yes
20 #set_io CALIB_IO_1\[0\] -pinname A15 -fixed yes
21 set_io CALIB_IO_1\[1\] -pinname C13 -fixed yes
22 set_io CALIB_IO_1\[2\] -pinname A10 -fixed yes
23 #set_io CALIB_IO_1\[2\] -pinname A14 -fixed yes
24 set_io CALIB_IO_1\[3\] -pinname B13 -fixed yes
25 #set_io CALIB_IO_1\[3\] -pinname B15 -fixed yes
26 set_io CALIB_IO_2\[0\] -pinname C12 -fixed yes
27 set_io CALIB_IO_2\[1\] -pinname E13 -fixed yes
28 set_io CALIB_IO_2\[2\] -pinname B12 -fixed yes
29 set_io CALIB_IO_2\[3\] -pinname D13 -fixed yes
30 set_io CALIB_IO_3\[0\] -pinname A13 -fixed yes
31 set_io CALIB_IO_3\[1\] -pinname G14 -fixed yes
32 set_io CALIB_IO_3\[2\] -pinname A12 -fixed yes
33 set_io CALIB_IO_3\[3\] -pinname F14 -fixed yes
34 set_io CLK_RX_SC -pinname R6 -fixed yes
```

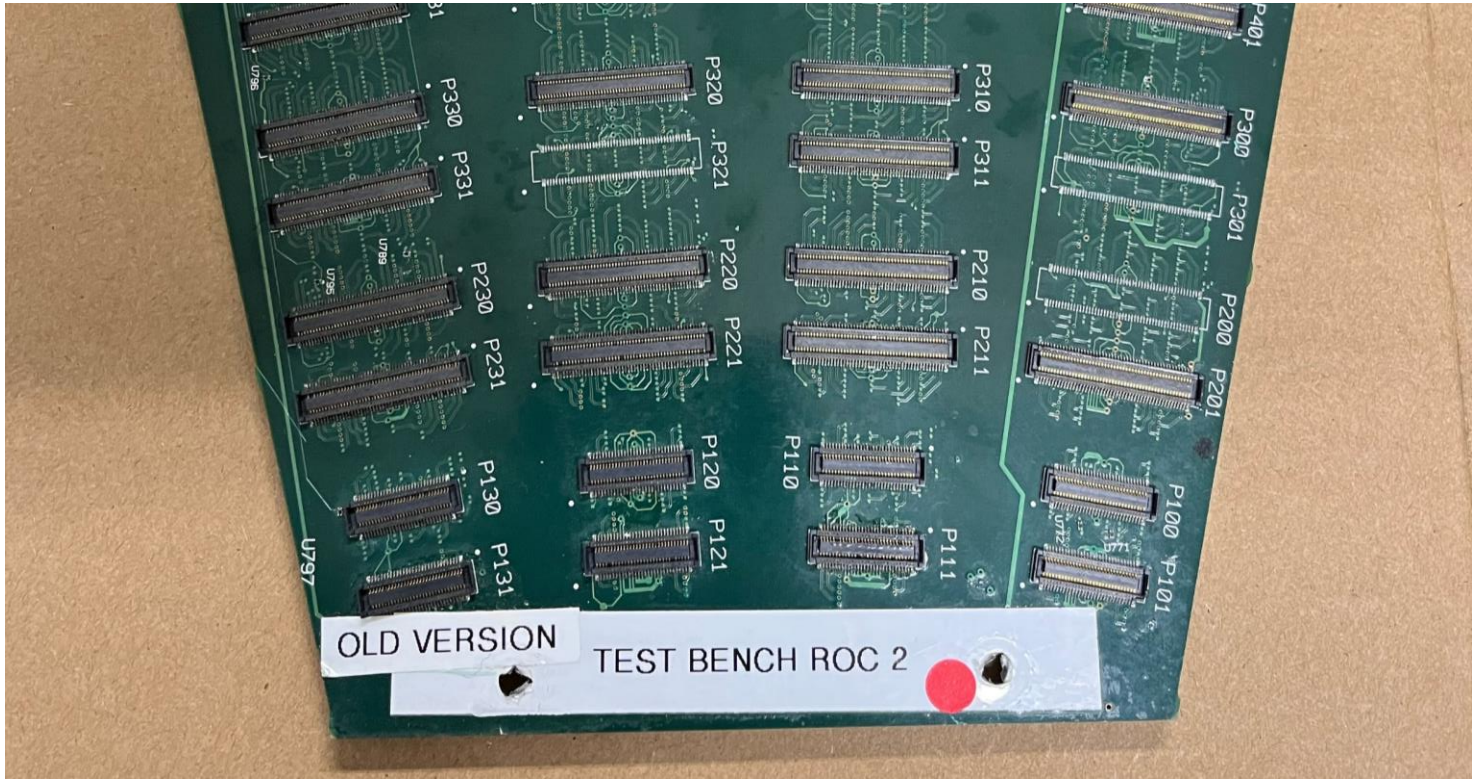
SlowControl FPGAコードのコンパイル

- 結果コンパイルに成功→このファイルをFPGA書き換えテストに利用



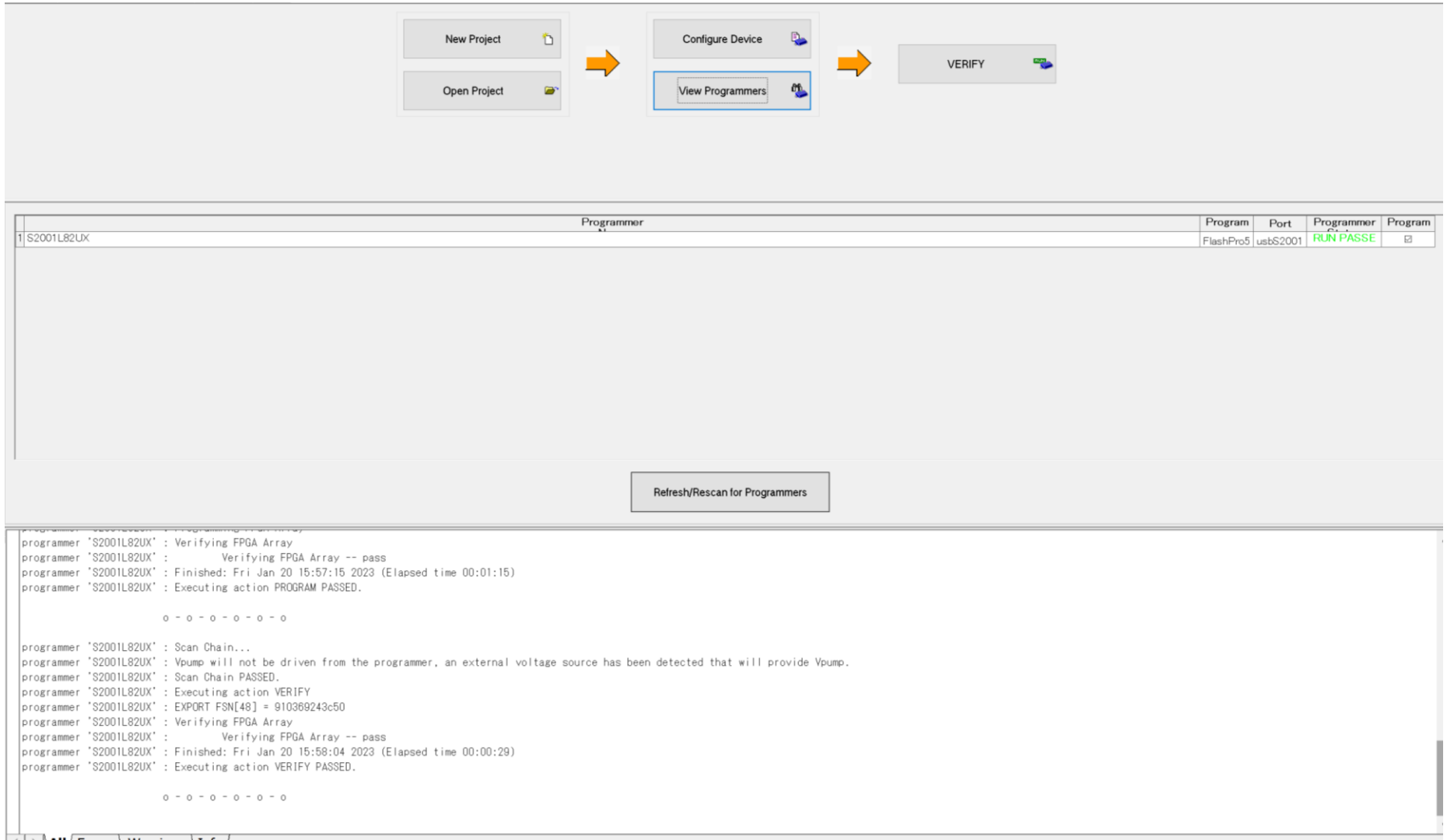
FPGAコード書き換えテスト

- VerifyのテストをおこなっているときはROC7を使用していたが
  実際にProgramするために古いROCを使用した



FPGAの書き換えテスト

- 先ほどのコンパイルに成功したFPGAコードを使ってProgramを行うと成功し、次にそのコードでのVerifyも成功→FPGAの書き換えが成功



まとめと今後すること

- FPGAを書き換えることが出来るようになった

- 実際にFPGAコードを変更したものをFPGAにProgramをして変更した通りに動作するかテスト