

J-PARC E16実験での飛跡検出に用いる シリコンストリップ検出器の 読み出し回路の開発

原子核・ハドロン物理学研究室 山口佳奈子

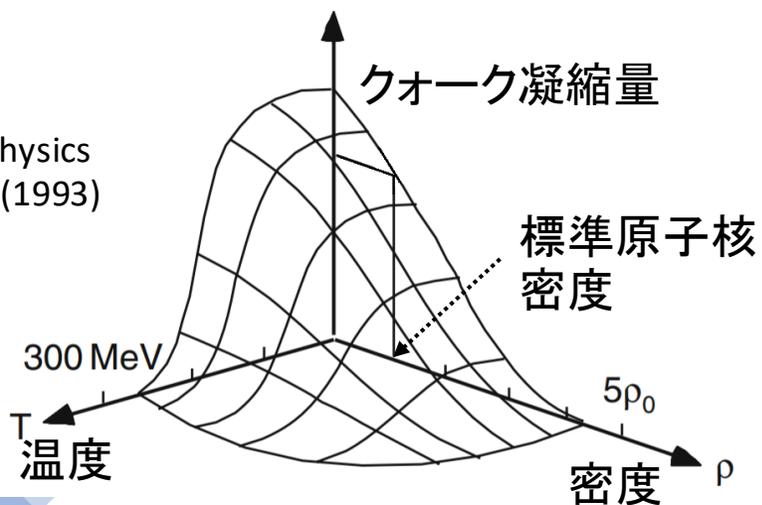
2/7 修論発表会

背景: 有限密度媒質中でのハドロン質量の変化

- QCD真空構造の理解

- カイラル対称性の自発的破れにより QCD真空中にはクォーク凝縮が存在 → ハドロン質量の起源?
- 高密度・高温環境下でのクォーク凝縮量の変化によるハドロン質量の変化が予測されている

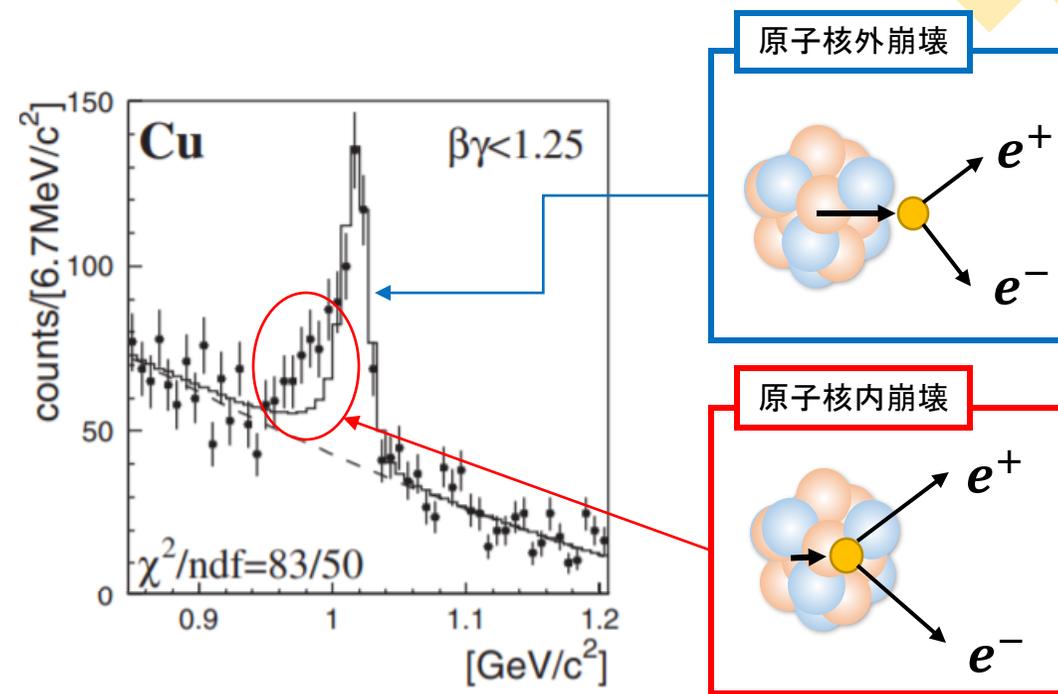
W.Weise,
Nuclear Physics
A.553, 59(1993)



クォーク凝縮量の温度・密度依存性

- 先行実験 KEK-PS E325実験

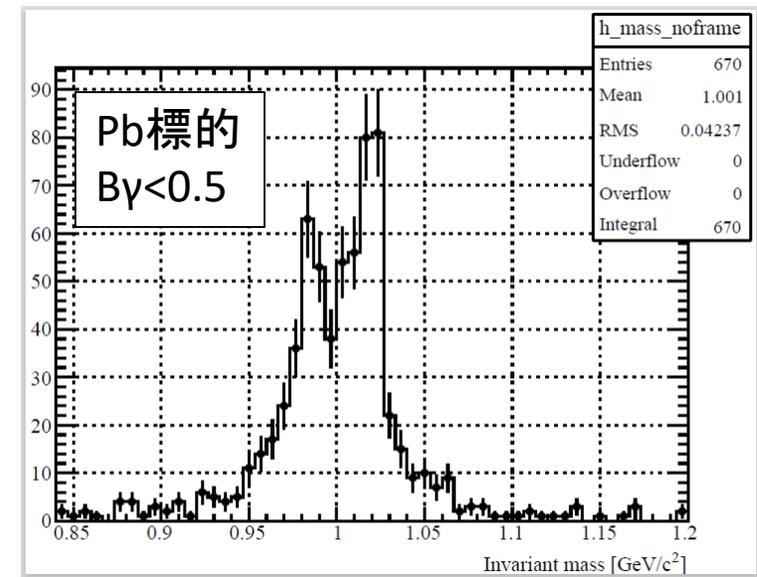
- $\beta\gamma < 1.25$ で ϕ 中間子の質量スペクトルの変化を観測



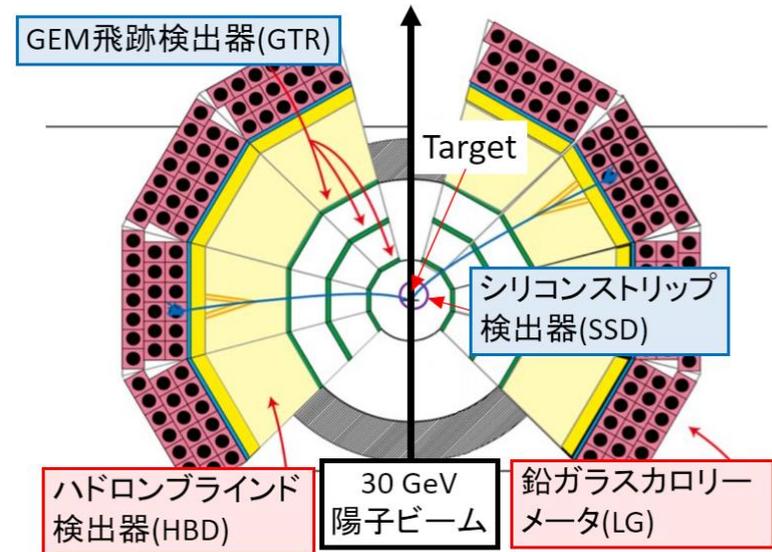
R.Muto et al. Phys.Rev.Lett.98,042501(2007)

J-PARC E16実験について

- pA反応で $\phi \rightarrow e^+e^-$ の崩壊を測定
- 先行実験KEK-PS E325の100倍の統計量を目指す
 - 大強度ビーム(30GeV, 1×10^{10} /spill)
→高粒子計数率(SSDで ~ 128 MHz/モジュール)
- 質量分解能の向上
 - 予測変化 約20-40 MeV/c²
 - 設計値 ~ 6 MeV/c²
- 2023年のコミッショニングランでは8モジュールをインストール (右図)
- シリコンストリップ検出器(SSD)
 - 検出器群の最内側で飛跡検出を担う
 - CBM実験(GSI-FAIR)のSSD及び読み出し回路を新たに導入
→ **E16実験に合わせた改造が必要**



φ中間子の質量スペクトルのシミュレーション



E16実験スペクトロメータの断面図

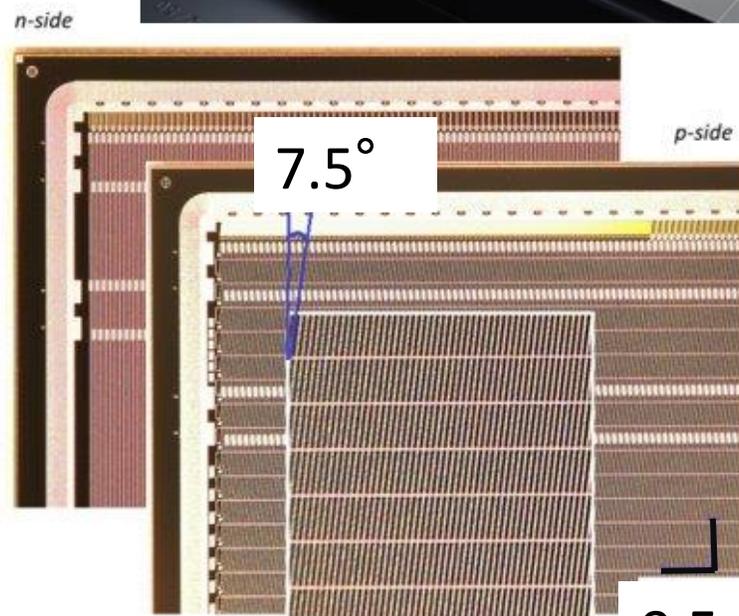
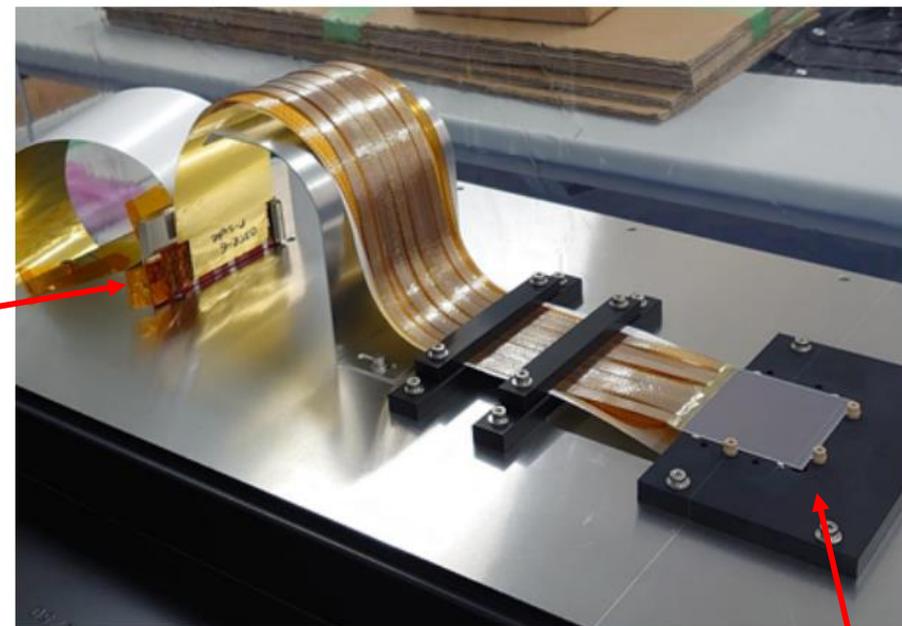
シリコンストリップ検出器(SSD)

- ・CBM実験(GSI-FAIR)と共同開発
- ・両面(2次元)読み出し

FEB-8(フロント
エンド回路)

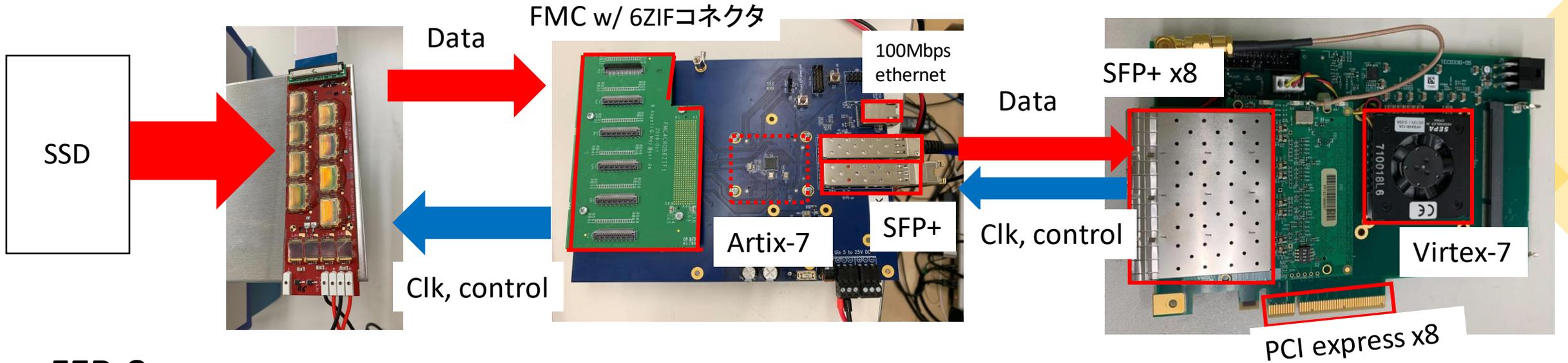
有感領域	60 x 60 mm ²
厚さ	320μm
ストリップピッチ	58μm
ステレオ角	7.5°
ストリップ数	1024/片面
位置分解能	15μm*
時間分解能	6 ns*

*Johann M.Heuser「The CBM experiment at FAIR –Overview of detector and technologies」より
<https://sites.google.com/view/j-parc-hi-evening/>



センサー

SSDの読み出し回路の概要



FEB-8

- フロントエンドボード
- セルフトリガーでADC amplitude, timestampのデジタル情報を送る

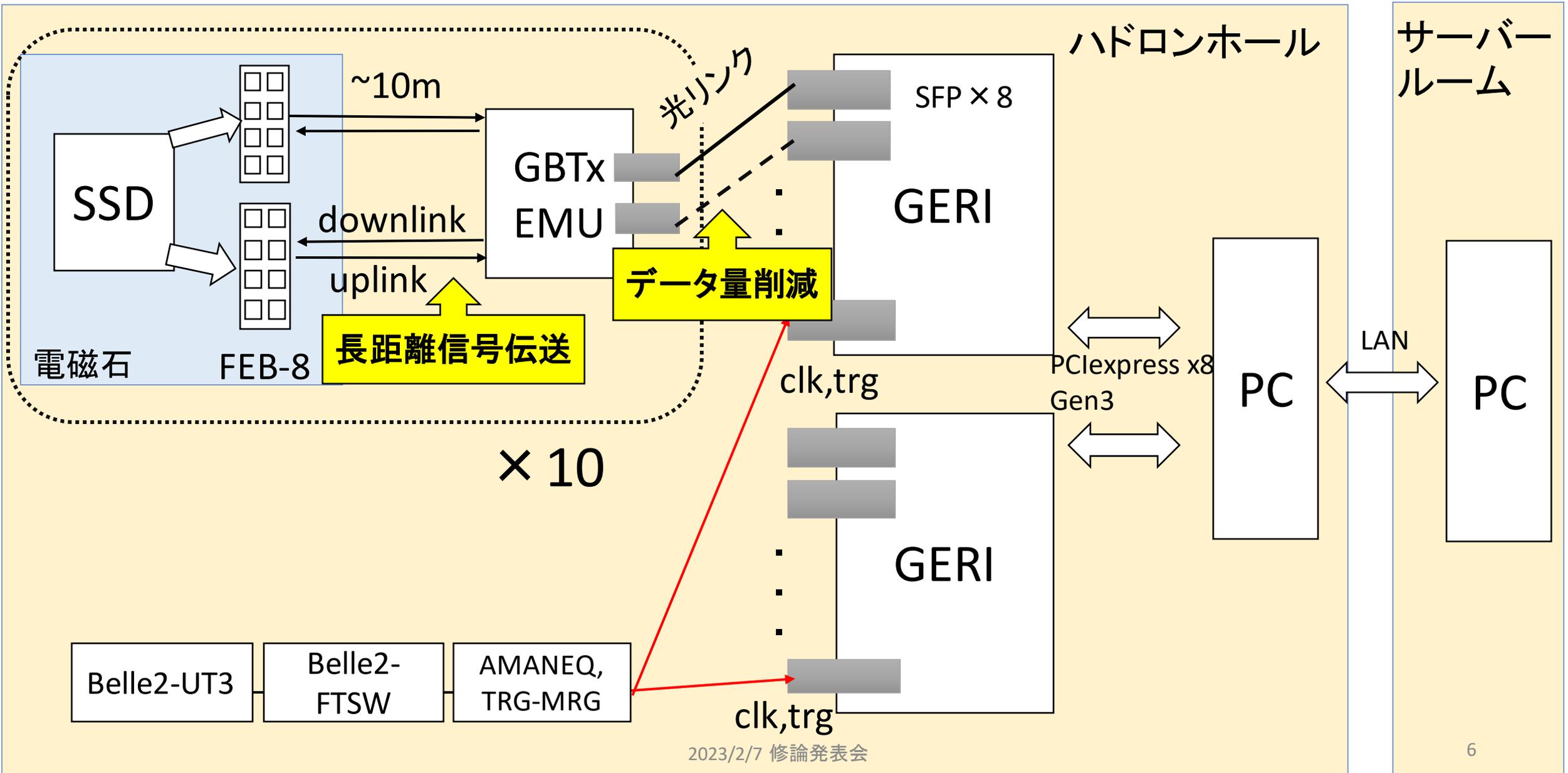
GBTxEMULATOR

- FEB-8 2枚から送られてくるデータをシリアルライズし、GERIへ転送
- clk, controlをFEB8へ

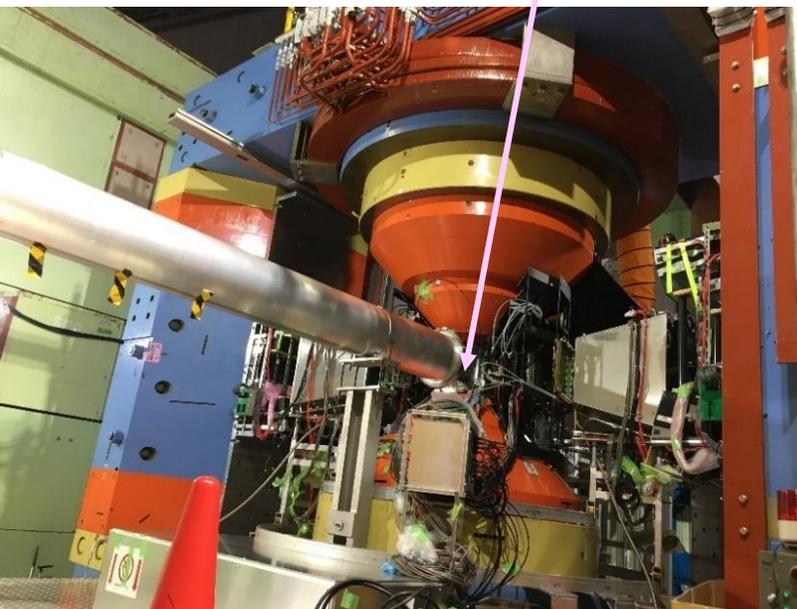
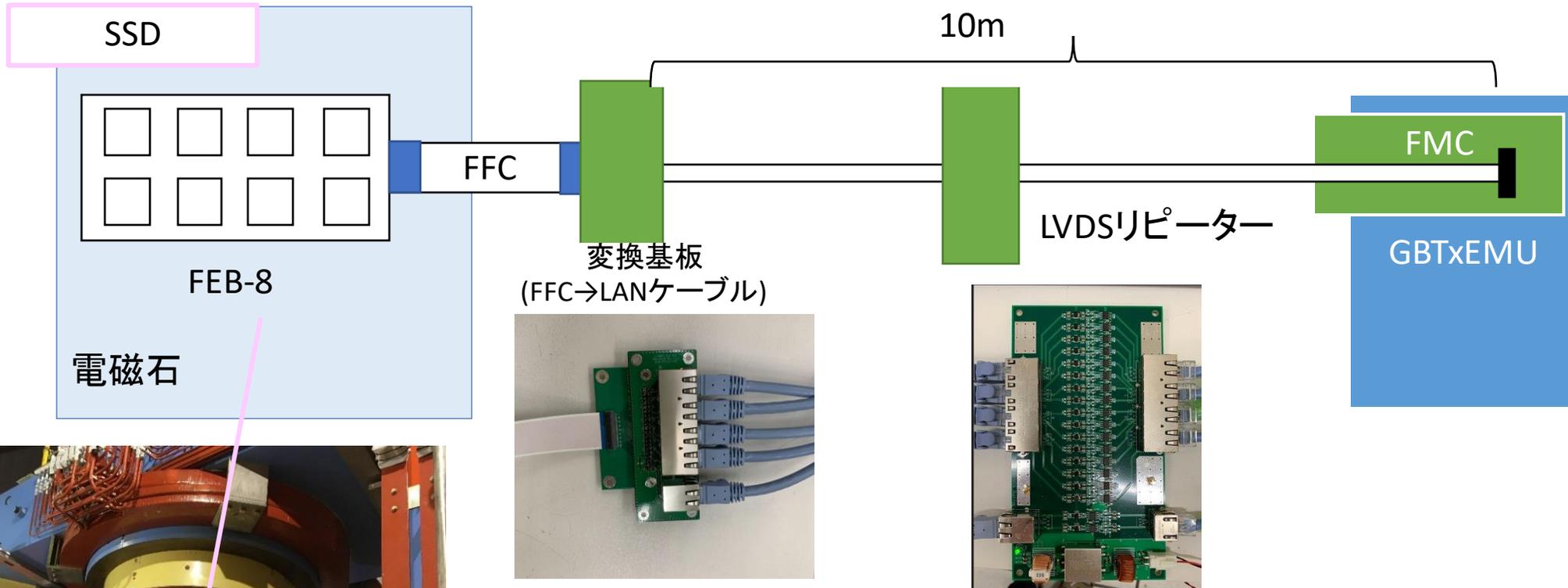
GERI

- 複数のGBTxEMUからのデータを集約
- PCI expressでPCにデータを転送 (Gen3:8Gbps/lane)

SSD読み出し回路の全体像とE16実験向けの改造点



1. FEB-8からGBTxEMUボードへの長距離信号伝送の実現



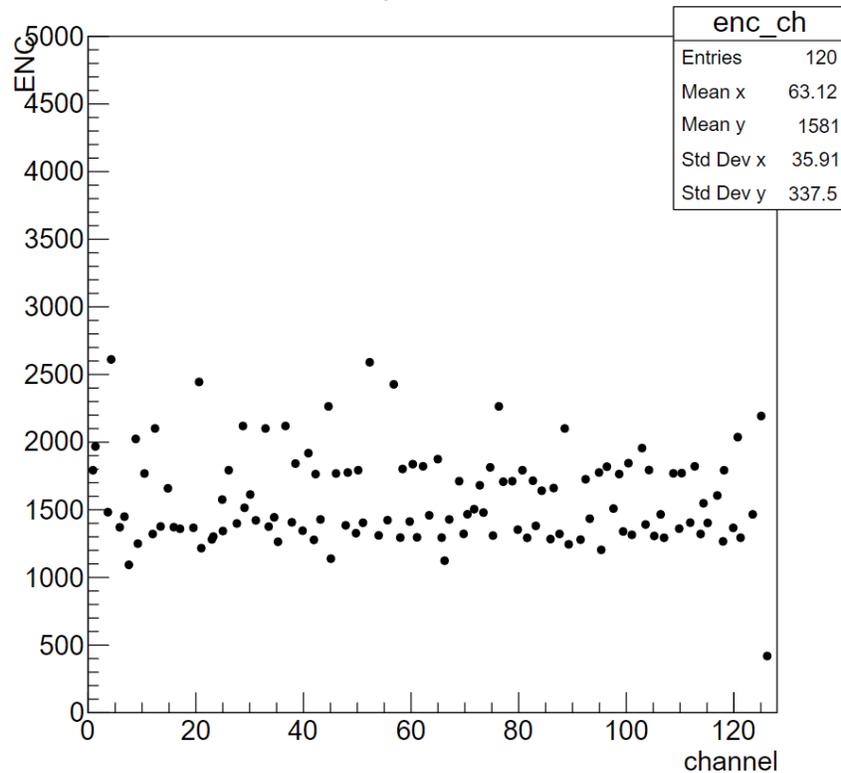
- SSDは磁場中に設置するが、GBTxEMUボードは磁場の外に設置する必要がある
→ 各種ケーブルを試した結果、cat6a LANケーブルを使い、LVDSリピーターで中継することで、0.6mの信号伝送距離を**10mまで延長可能にした**

ノイズの変化

ケーブルとリピーターの使用によるノイズの変化をENC[e-]で評価

ケーブル&リピーターなし

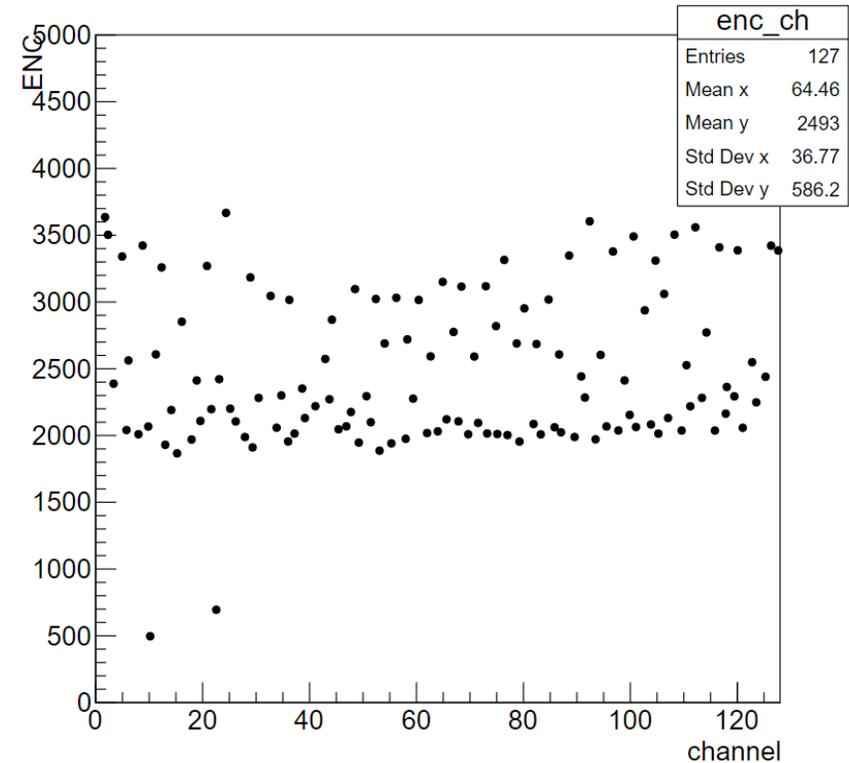
uplink13



ENC[e-] = 1300 ~ 2000

ケーブル&リピーターあり

uplink15



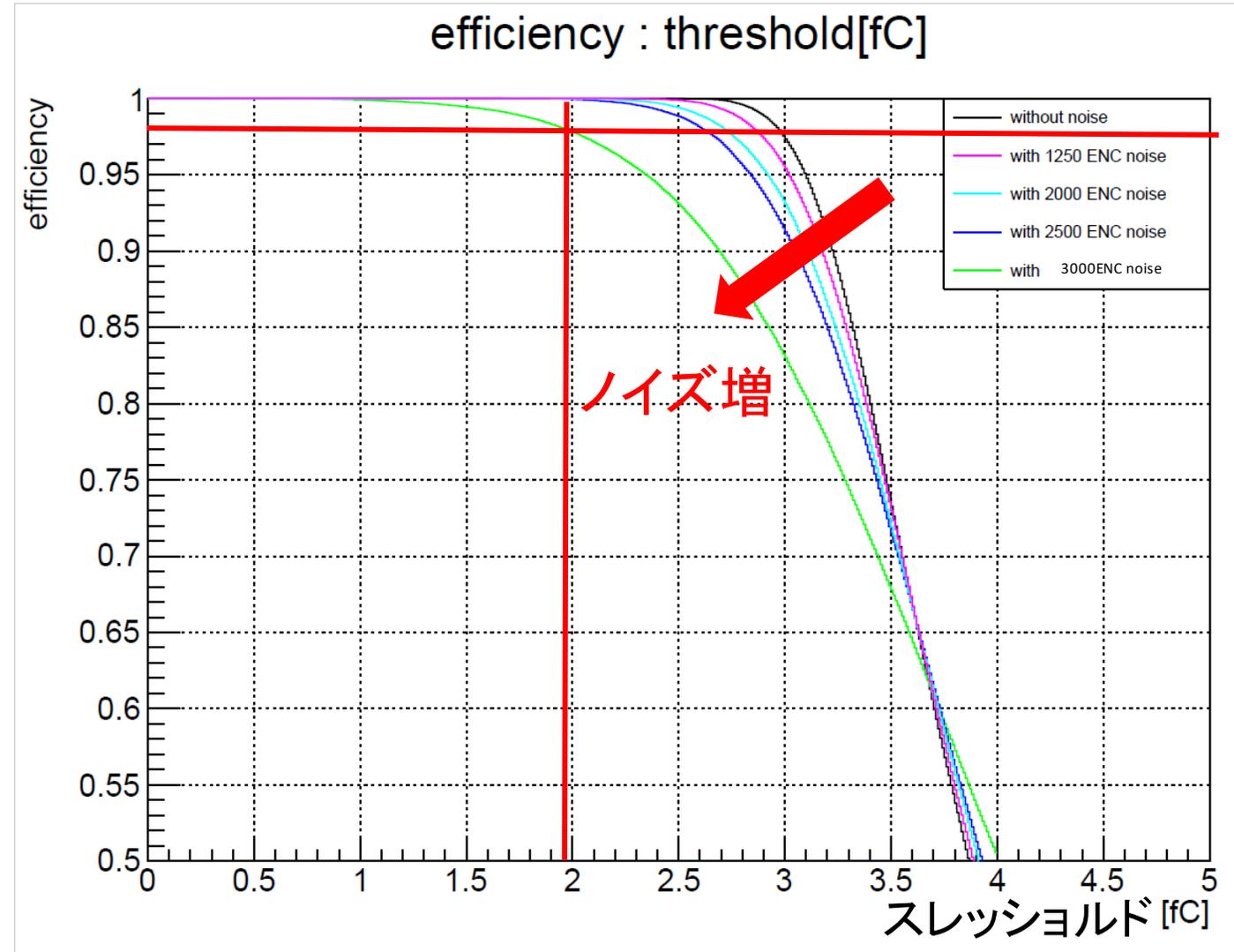
ENC[e-] = 2000 ~ 3000

FEB-8のスレッショルドと検出効率の関係

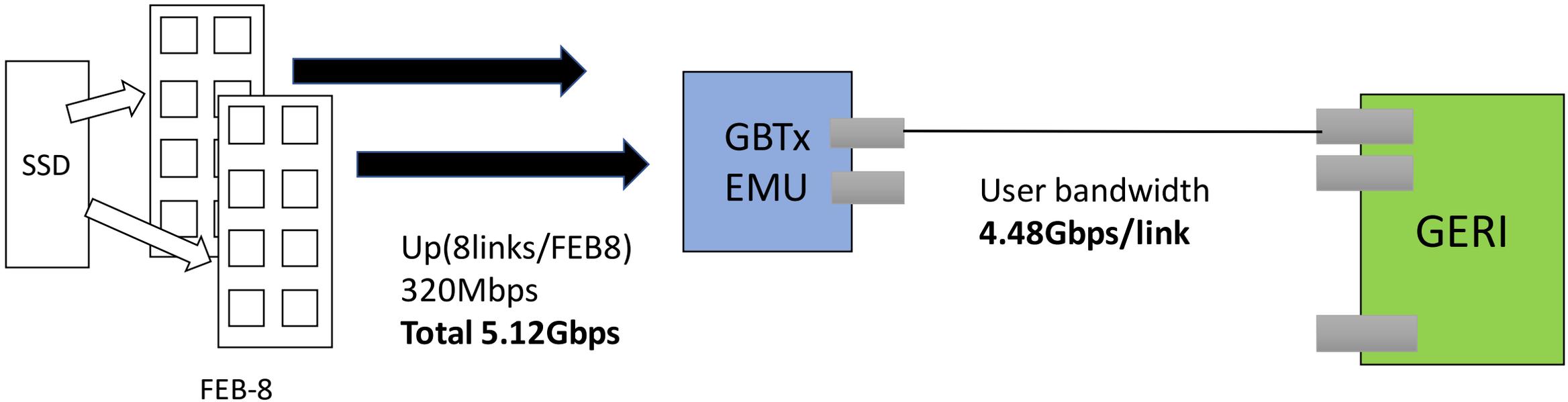
- ・シミュレーションから得られる電荷分布に基づきスレッショルドと検出効率の関係を計算した

- ・ノイズを十分に落とし、検出効率を98%に保つためには少なくともENC=1700程度にノイズを下げる必要あり

- ・今後更にノイズ対策が必要(シールド付きケーブルの使用など)
- ・実際のスレッショルドは現場のノイズを見て決める

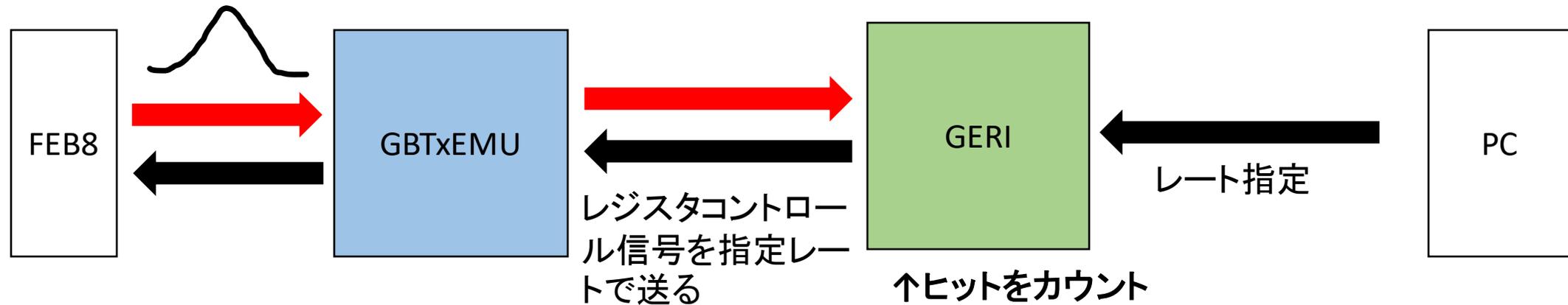


2. GBTxEMUでのデータサイズ削減



- GBTxEMU1台で2枚のFEB-8を読み出し
- 16uplinkからデータが送られてくる
- データ転送速度は320Mbps
- 最大320Mbps × 16uplink = 5.12 Gbps
- GERIへのデータ帯域幅4.48Gbps < 5.12Gbps
➔ GBTxEMUでのデータ量削減が必要
- 8b10b codingされたデータをデコード
5.12Gbps → 4.1Gbps

改造したファームウェアのレート耐性評価: 方法

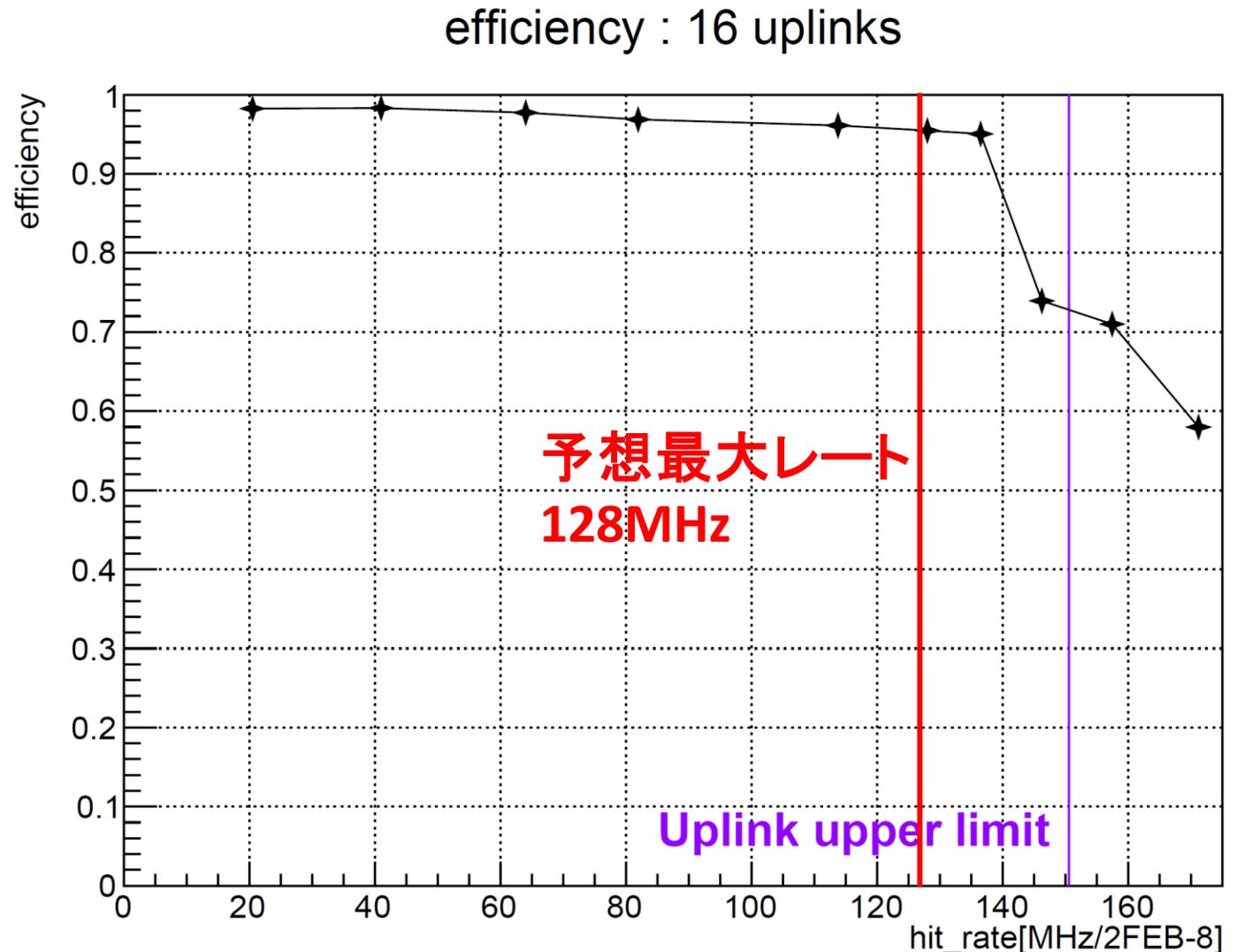


- ・テストパルスが発生させるFEB8のレジスタをGERIの40MHzのclkで制御
- ・レートはPCから指定
- ・2秒間パルス発生、3.2秒間停止を10分間繰り返す(実際のビーム構造と同じ)
- ・検出効率を計算しプロット
検出効率 = GERIでのカウント数 / 計算上のヒット生成数

改造したファームウェアのレート耐性評価: 結果

- ・FEB-8にテストパルスを発生させ、GERIでヒット数をカウントし、検出効率を計算

- ・予想される最大レート
128MHz/2 FEB-8まで、
トータルで検出効率約95%
を保てることが確認された



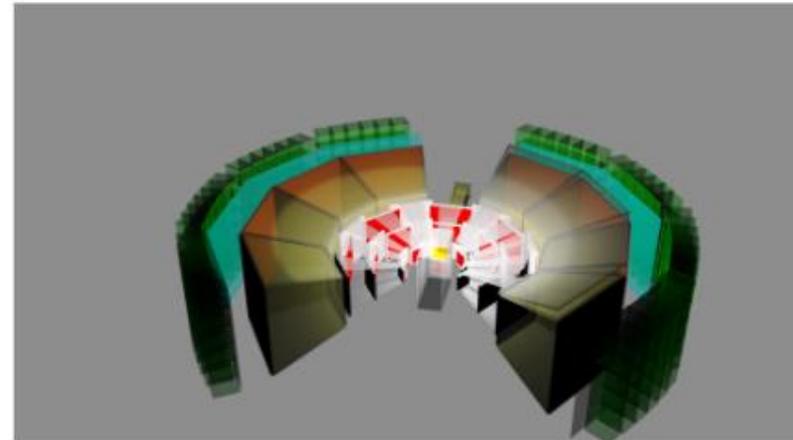
まとめ

- J-PARC E16実験で ϕ 中間子の質量スペクトルを測定する
- 来年度のコミッションングランから、新たなシリコンストリップ検出器及びその読み出し回路を導入予定
- 読み出し回路はE16実験に合わせて開発
 - 長距離信号伝送の実現
 - 10mの距離で信号伝送できることを確認
 - 今後更なるノイズ除去対策を行う
 - データサイズの削減
 - フロントエンド回路からの全データを下流に転送することが可能になった
 - 想定される最大レート約128MHzで、検出効率95%であることを確認した
- 来年度のビームタイムでの運用を目指す

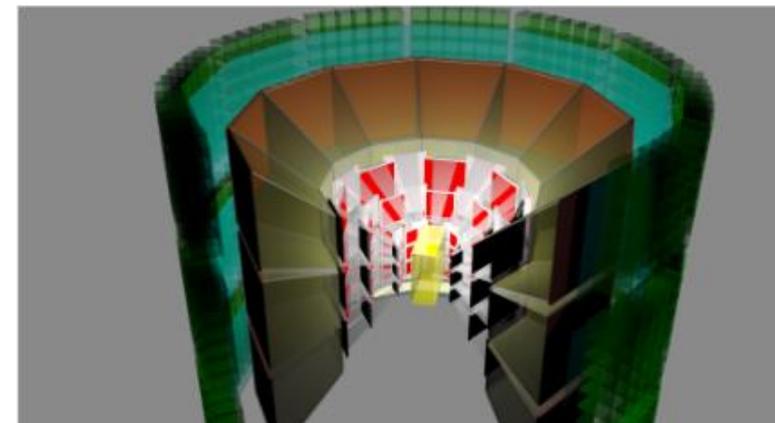
Backup

実験全体

- Run0a-c : 2020, 2021
6(SSD) + 8(GTR) + 6(HBD) + 6(LG)
- Run0d : 2023
10(SSD) + 10(GTR) + 8(HBD) + 8(LG)
- Run1 : ???
10(SSD) + 10(GTR) + 8(HBD) + 8(LG)
Physics run : C/Cu target
- Run2 : ?????
26(SSD) + 26(GTR) + 26(HBD) + 26(LG)
Pb/CH2 target



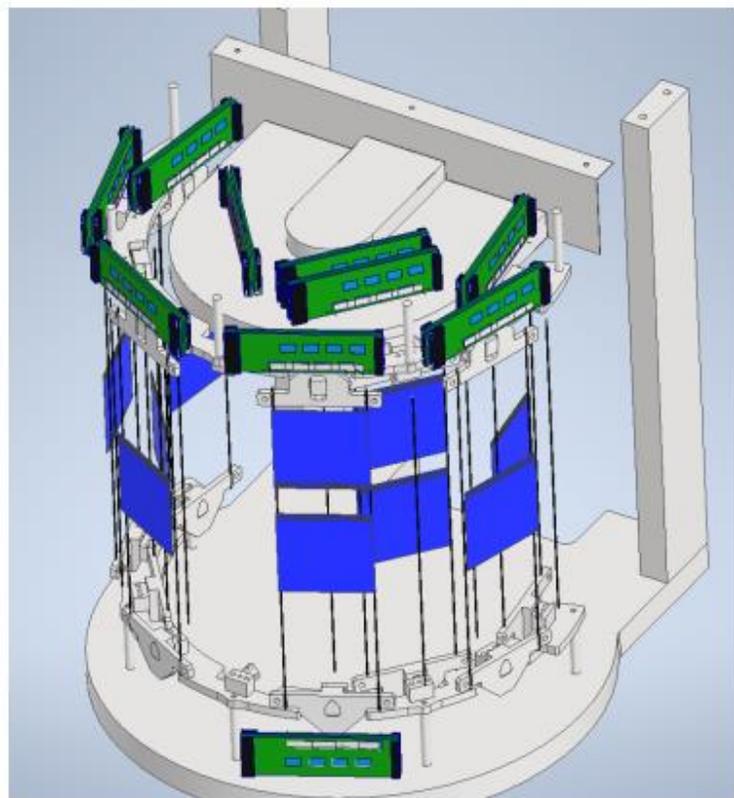
Run1(8 modules)



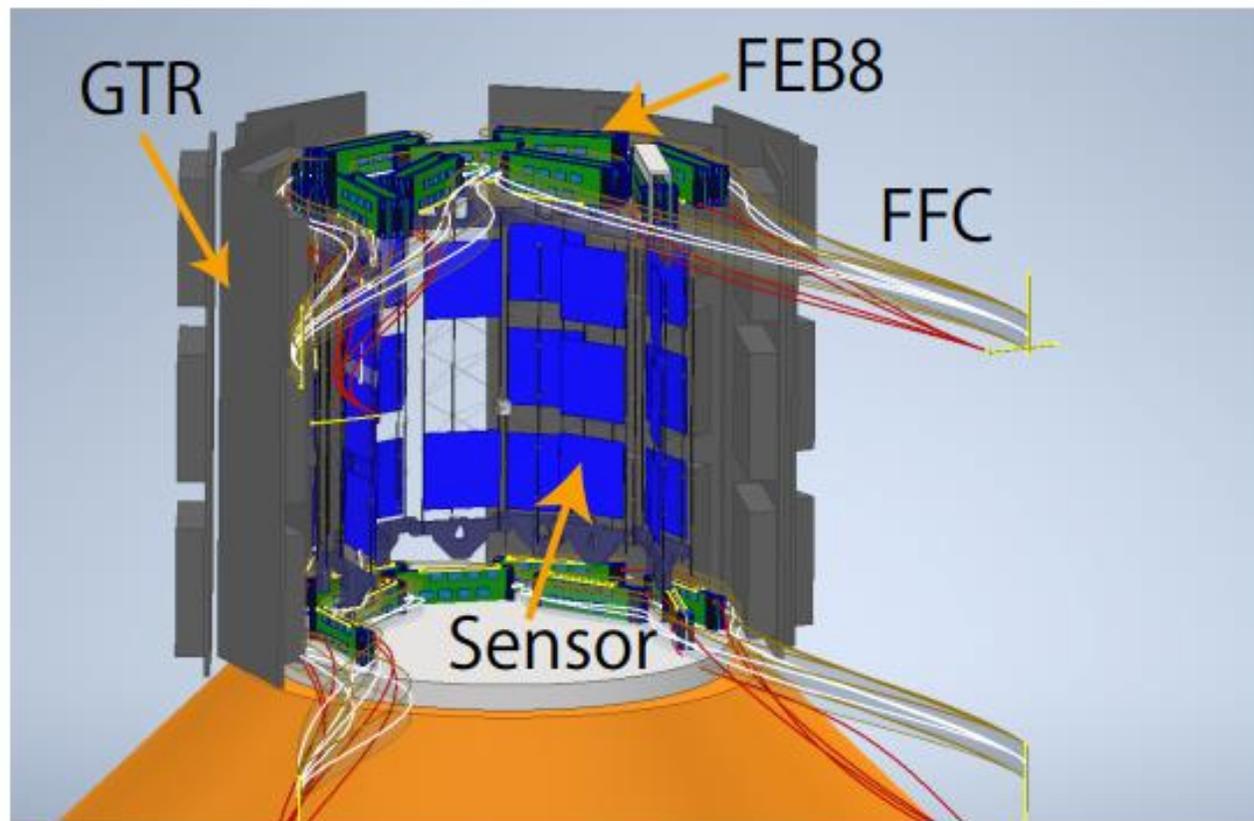
Run2(26 modules)

SSDについて

SSD install イメージ



STSサポートの設計

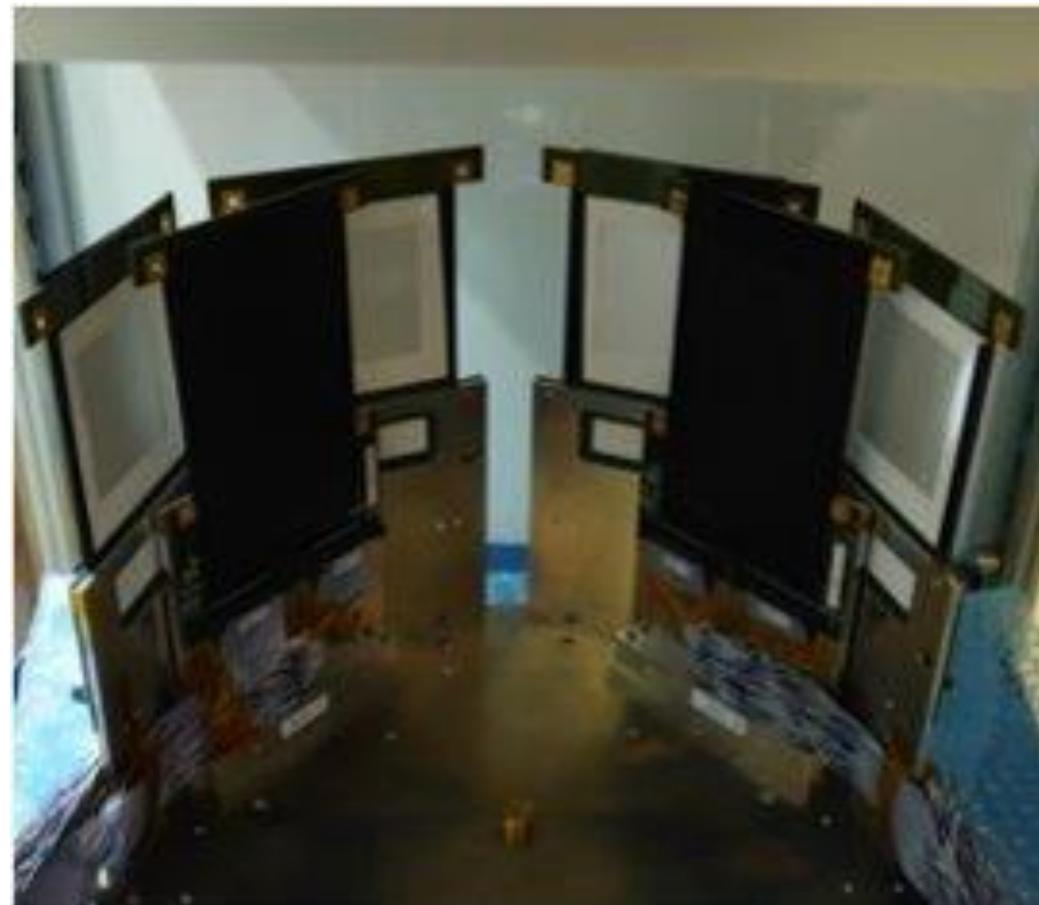


電磁石中へのインストールイメージ
青面がセンサー面を表す

旧SSD

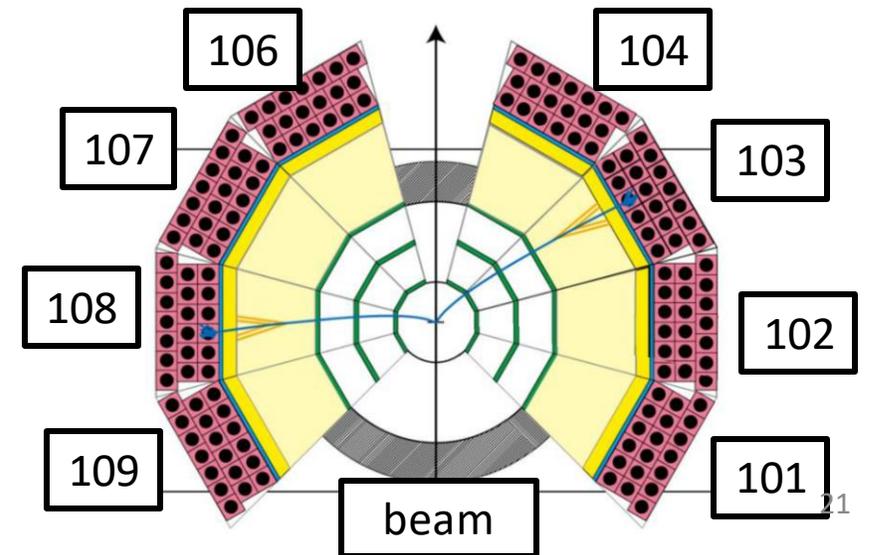
- K1.8 より借用
- Run0a-cで使用
- 1次元

ストリップピッチ	80 μ m
ストリップ数	768
位置分解能	23 μ m
時間分解能	1.91 \pm 0.24ns
検出効率	95%以上



SSD 想定レート

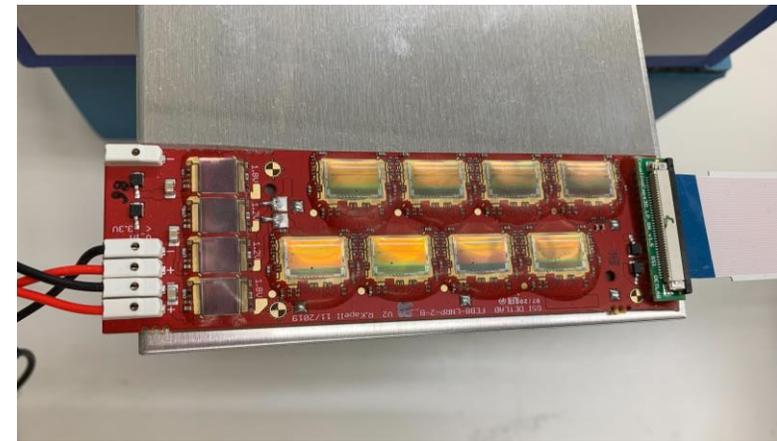
module	109	108	107,207	106,206	104	103	102	101	total
Rate(Mhit/FE B8)	27	27	64	86	64	43	21	21	503
Rate(Mhit/2F EB8)	54	54	128	172	128	86	42	42	1,006
# of elink(/1 GBTxEMU)	16	16	16	32	16	16	16	16	192



回路について

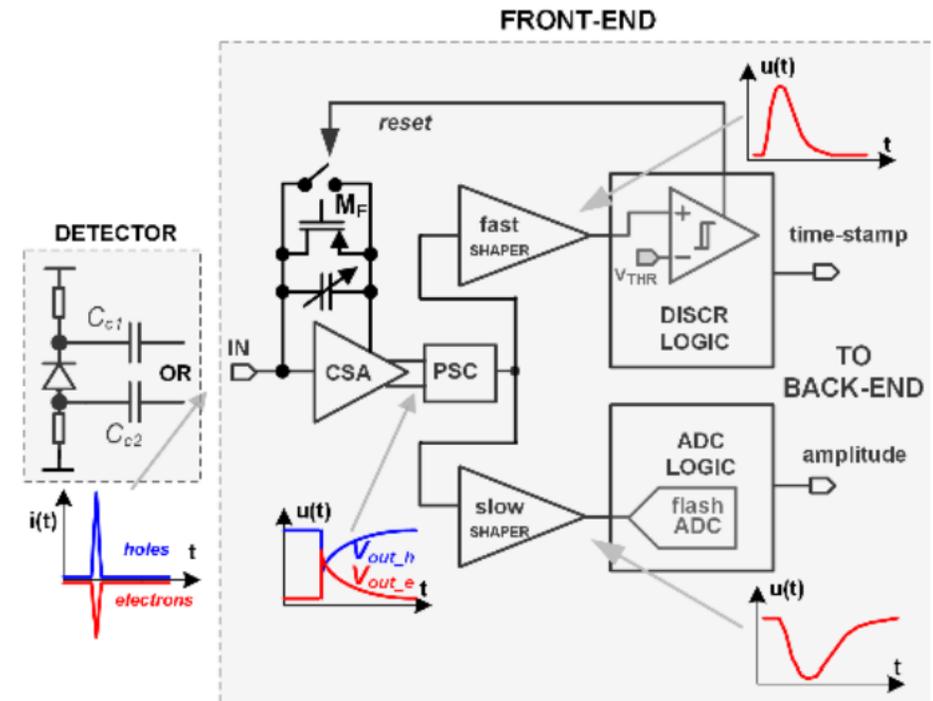
FEB -8

- SMX chipを8つ搭載したボード
1ボードでSSD1sideに対応



- SMX(STS/MUCH XYTER)
CBM実験でシリコンストリップ検出器と
GEM検出器用に開発された、セルフトリガー
で動作するASIC

性能	
チャンネル数	128 / 1 ASIC 1024(total)
ADC bits	5 bits
TDC bits	14 bits (LSB:3.125ns)



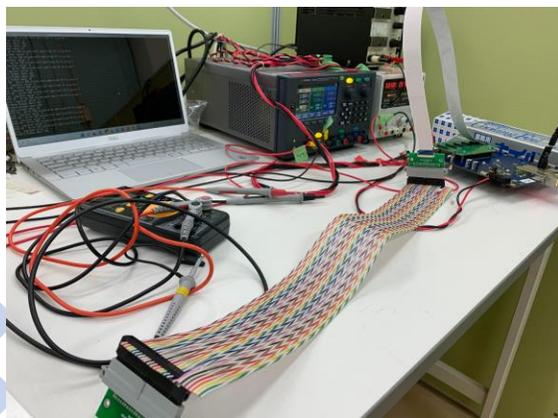
ケーブル関連

ケーブル選定

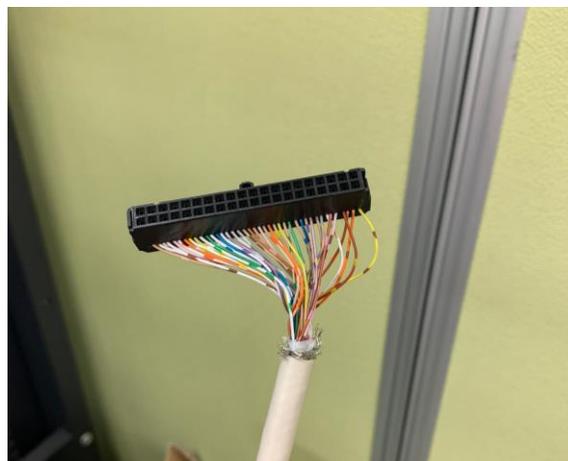
ケーブルの種類	信号伝達距離	欠点
フラットツイストペアケーブル	～5m	ノイズが多い
シールドツイストペアケーブル	< 5m	伝送距離が短い
◎ Cat6a ケーブル	> 5m	

Cat6aの特徴：伝送帯域500MHz

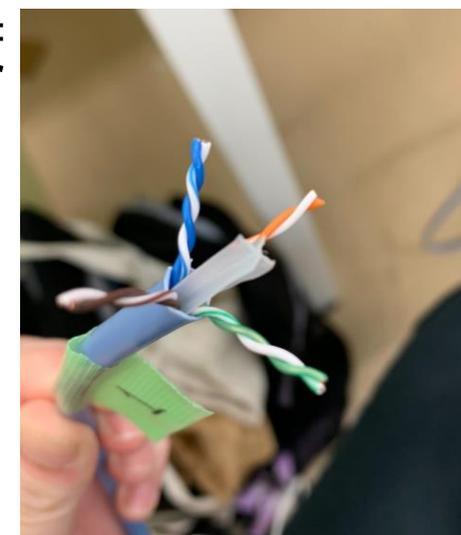
十字仕切り、ツイストのピッチが違う→クロストーク対策



フラットツイストペアケーブル

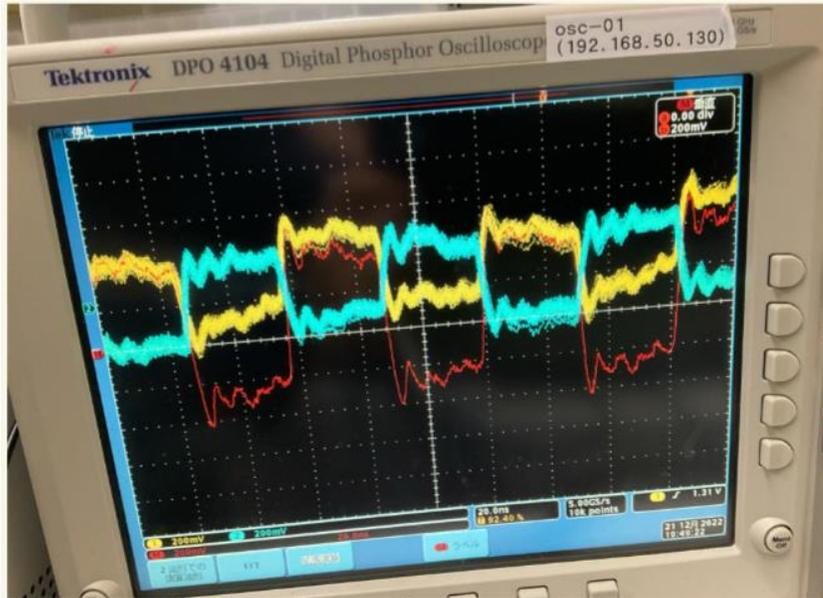
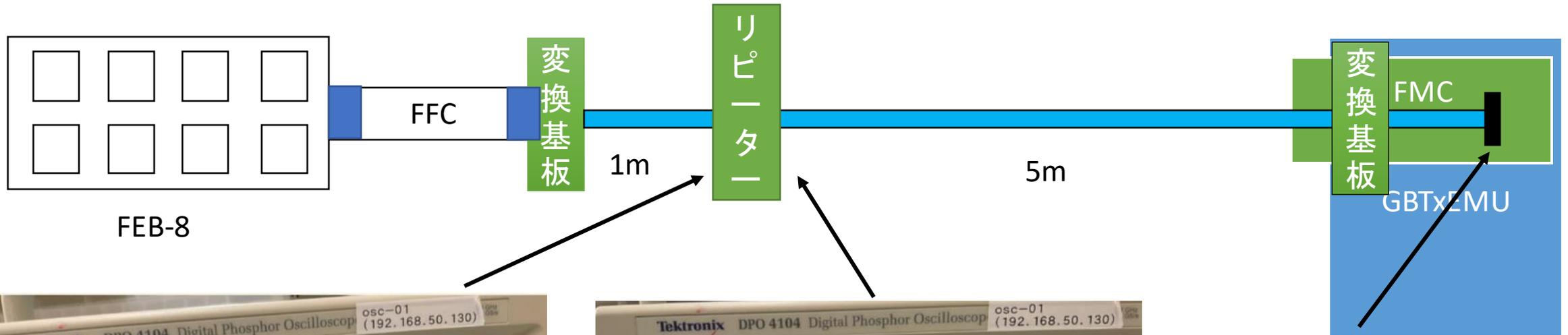
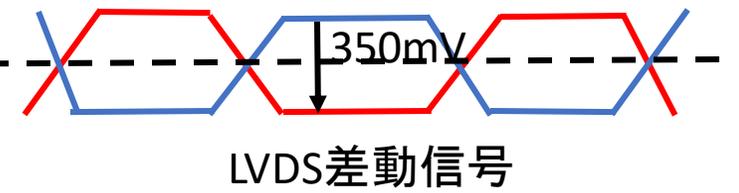


シールドツイストペアケーブル

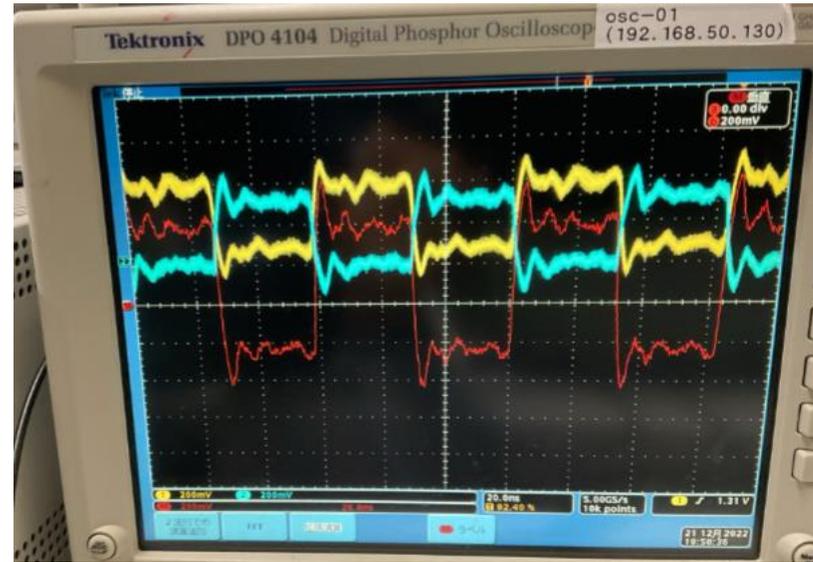


Cat6a ケーブル

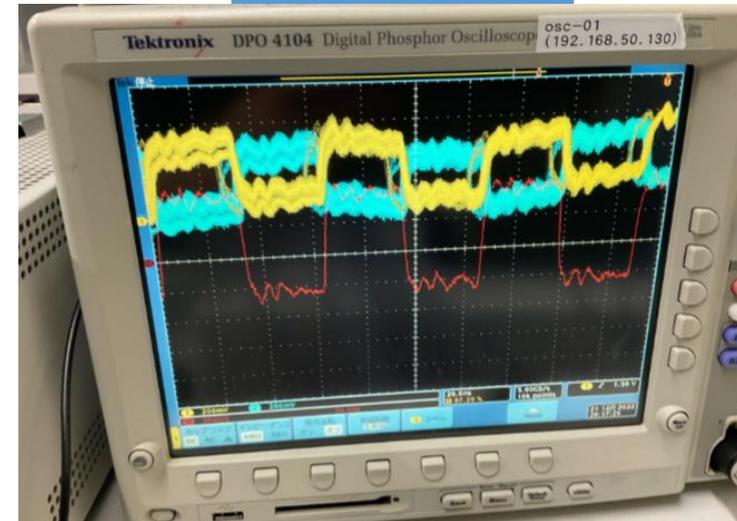
ケーブル・リピーターを使用した際の信号波形



赤: 600mV



赤: 600mV



赤: 600mV

2023/2/7 修論発表会
黄: シングルエンド+ 青: シングルエンド- 赤: 差動信号

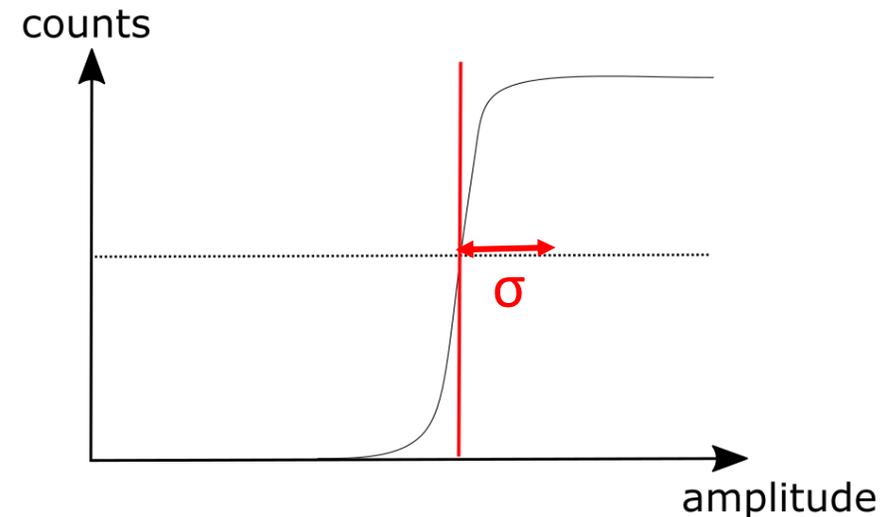
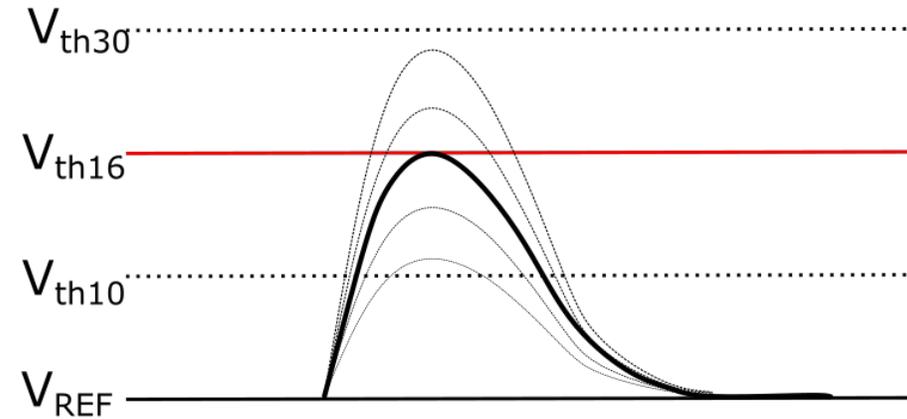
ケーブル・リピーター使用によるノイズの変化

ケーブル・リピーターの使用によりノイズがどの程度変化するのかを確認した

- ノイズ評価の方法

1. 0-255までの大きさのパルスを出し、各ADCスレッシュホールドのカウントを得る
2. 誤差関数でフィッティング
3. 誤差関数の標準偏差 σ を得る
4. σ を電荷量に換算
5. ノイズの指標となる値ENC(equivalent noise charge)を計算

$$\text{ENC} = \sigma[\text{fC}] / 1.6\text{e-}4$$



ノイズとスレッショルドの関係

過去のテスト実験より
ノイズ3000ENCのときスレッショルド3.4fCに
設定していた。

3000ENC ~ 0.48fCから
 $3.4 \text{ fC} / 0.48 \text{ fC} = 7.1$

ノイズレベルの約7.1倍にスレッショルドを設
定する必要がある

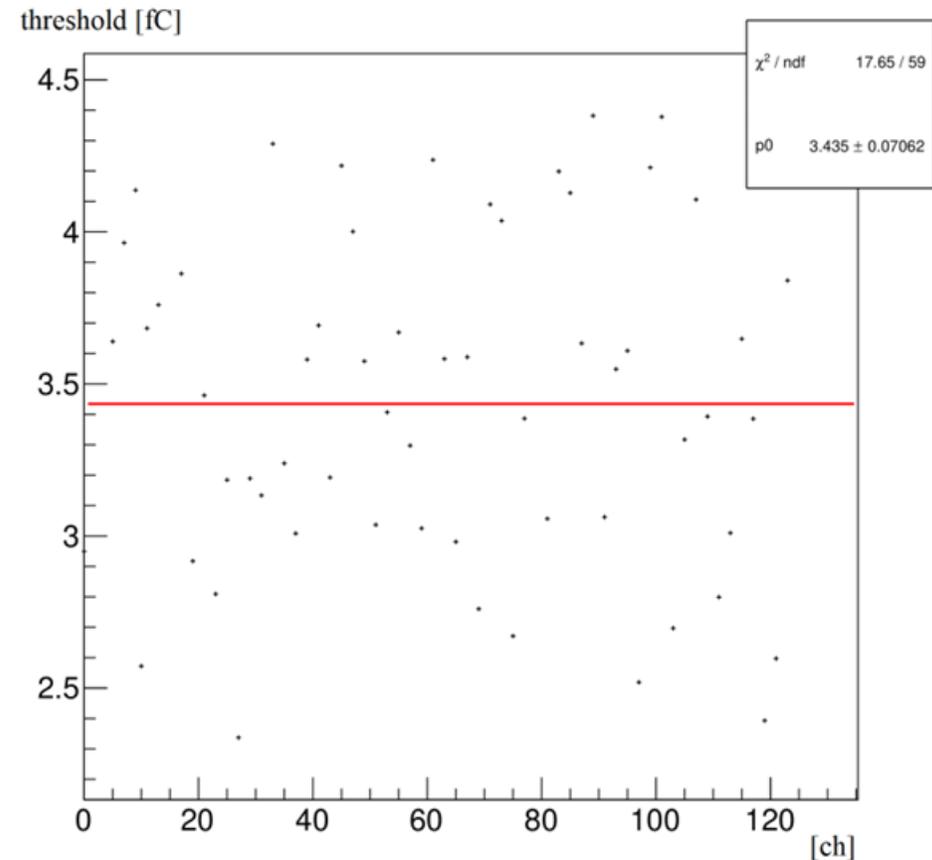
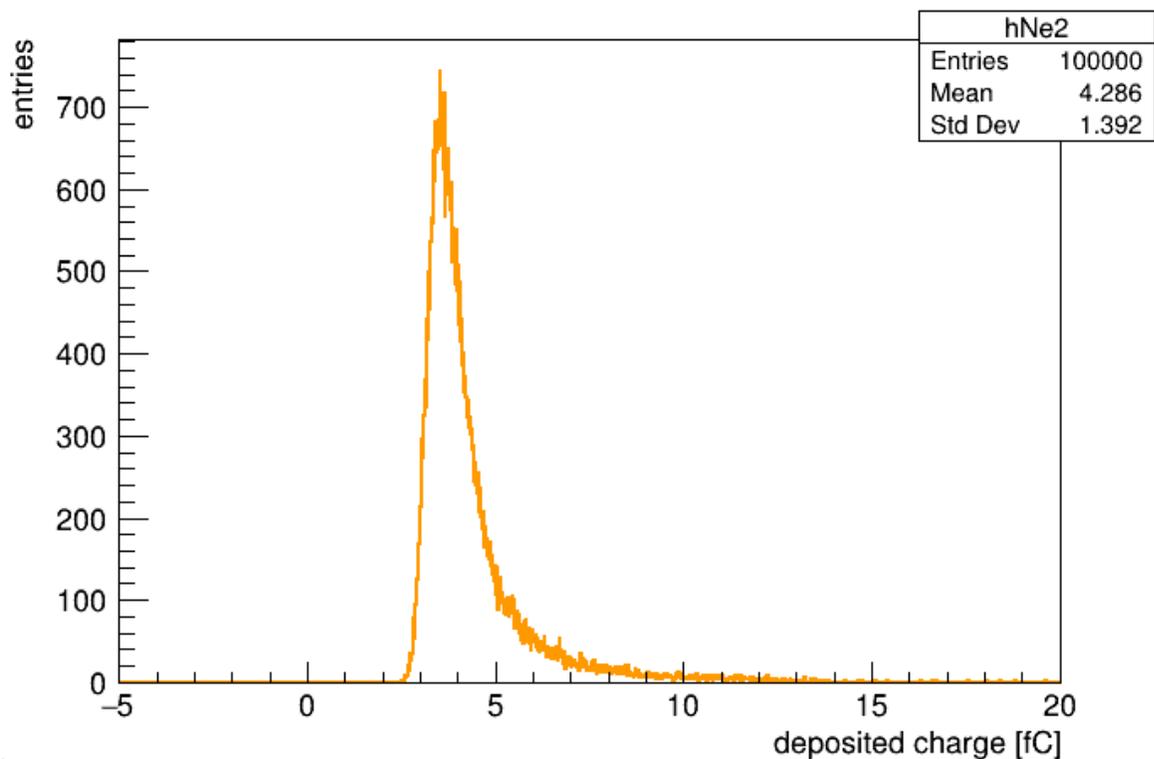


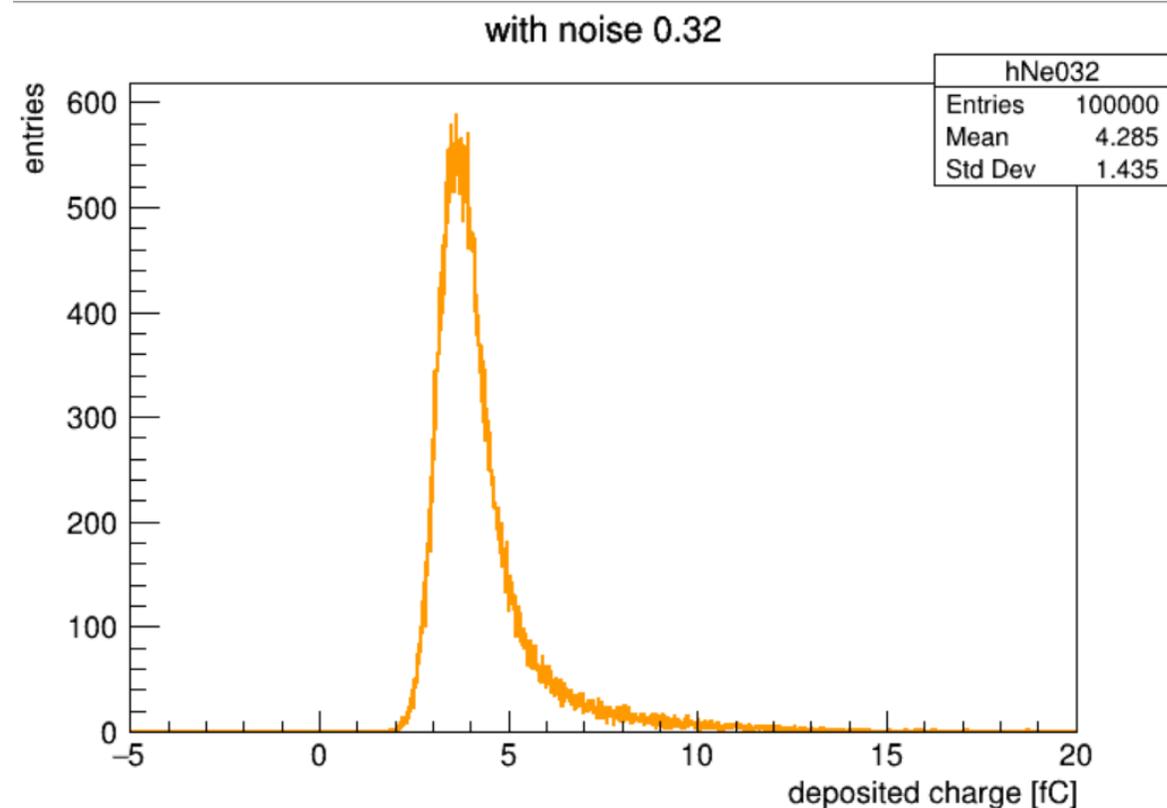
図 6.8: ストリップ毎の threshold を電荷で表したもの

有水大地 修士論文(2022)より

シミュレーションによる電荷分布:パイオン1.3GeV



ノイズなし



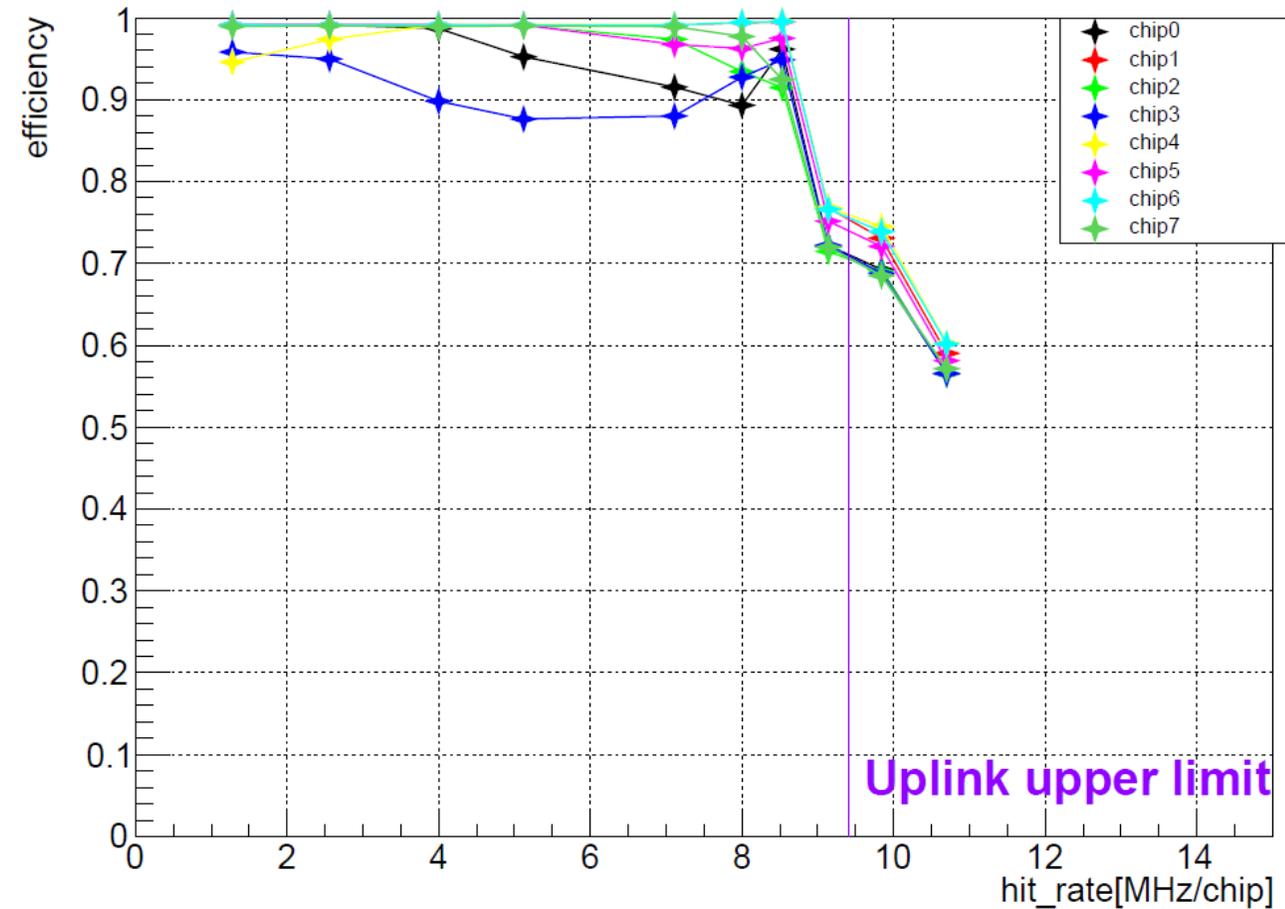
ノイズ:2000ENCを仮定

ファームウェア改造

回路のレート耐性チェック用のファームウェア

hit_rate : efficiency

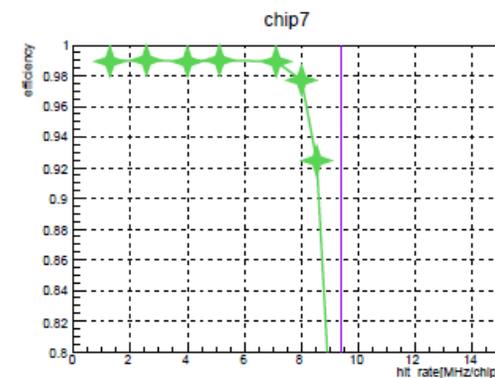
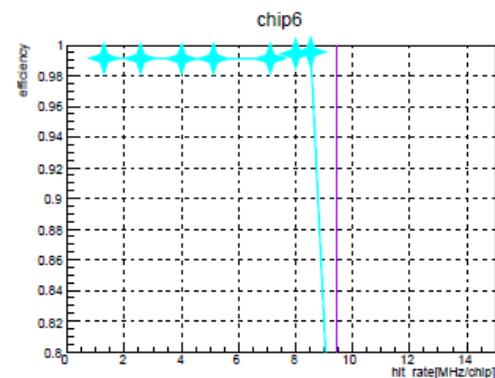
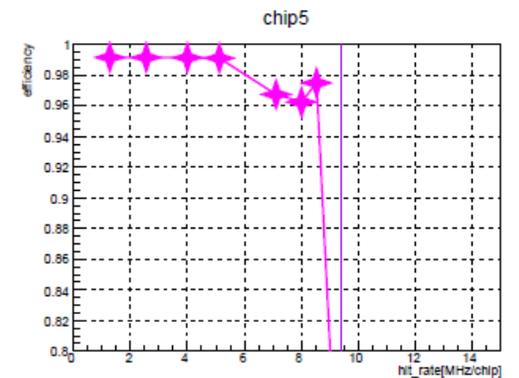
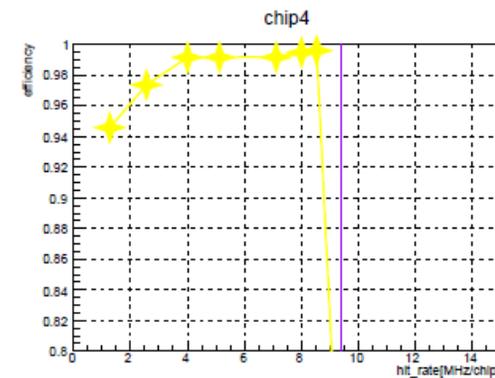
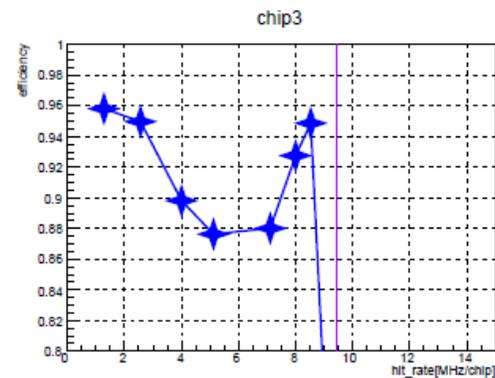
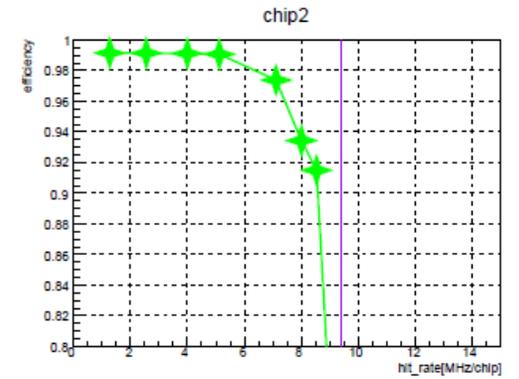
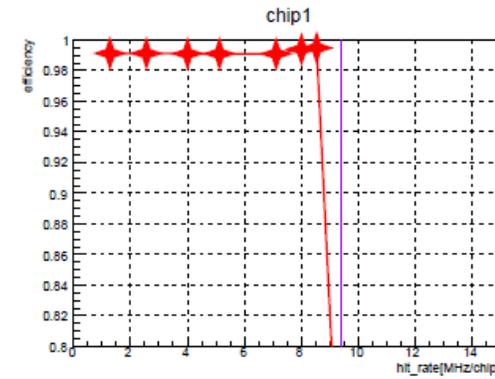
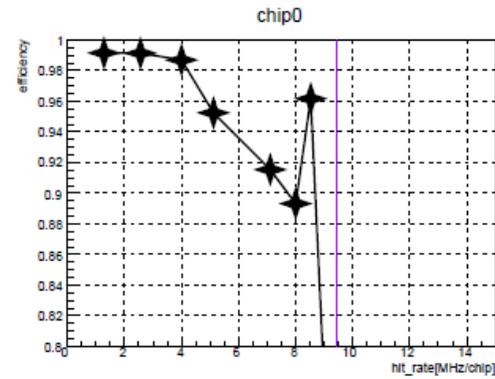
- ・キャリブレーションパルスをGERIの40MHzのclkで制御
- ・レートは外から指定。
- ・2秒間指定したレートでパルス発生、3.2秒間停止 を10分間繰り返す
- ・32ch毎のグループに順番にテストパルスを発生させるようにした
- ・GERIでのカウント数 / 計算上のヒット生成数でefficiencyを計算しプロット



チップ別のプロット

Chip0(黒)、chip3(青)が特に低くなる(<90%)

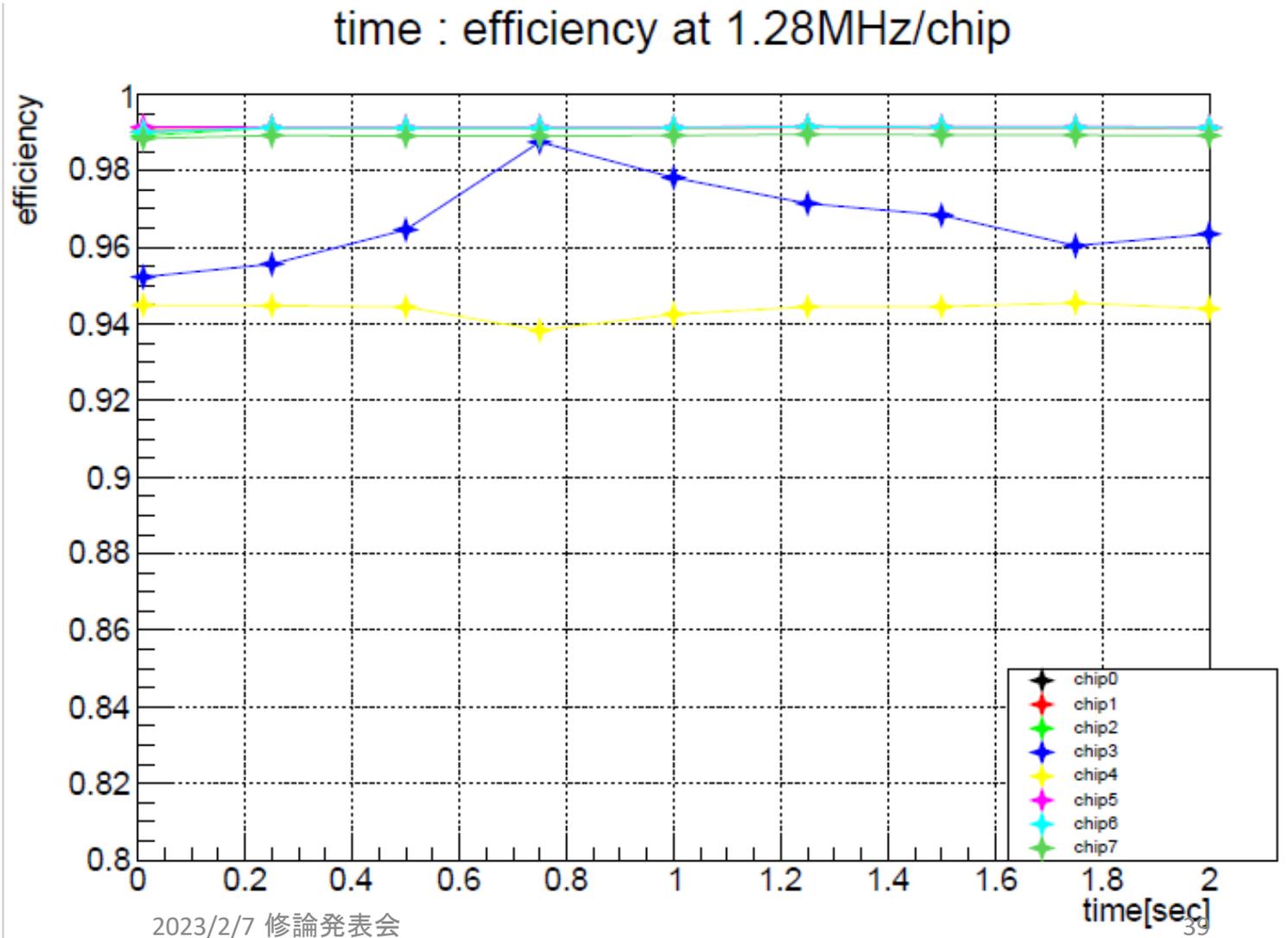
- ・時間依存性？
- ・特定のチャンネルが悪い？



時間依存性

・2秒間の中での時間依存性があるかどうかを調べた。

時間が経つにつれて efficiency が単調減少する傾向は見られなかった。



32chのグループごとのefficiency

・パルスを発生させるときは128chを4つのグループに分け、グループごとに発生させている

Grp0 ■■■ ch0,4,...124(+129(test))

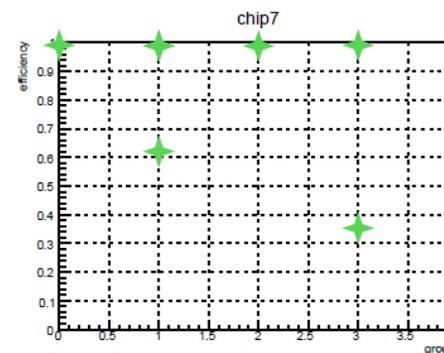
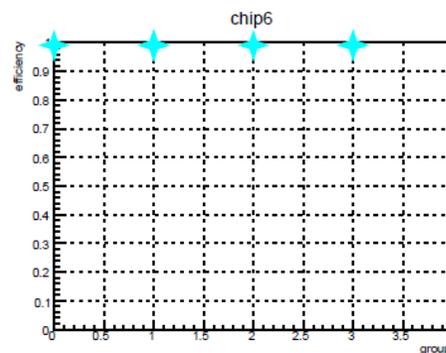
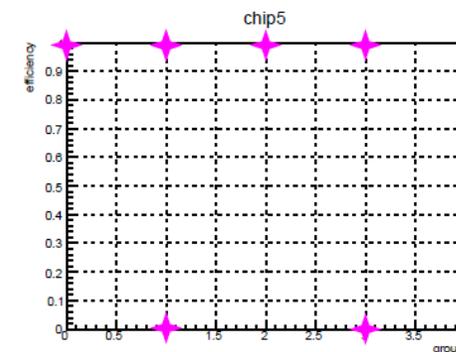
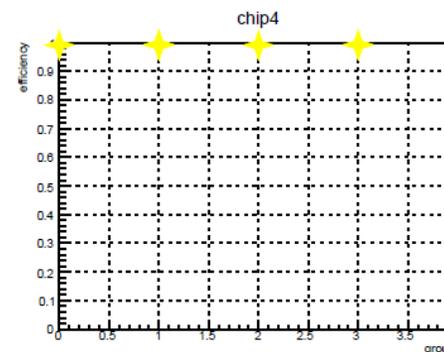
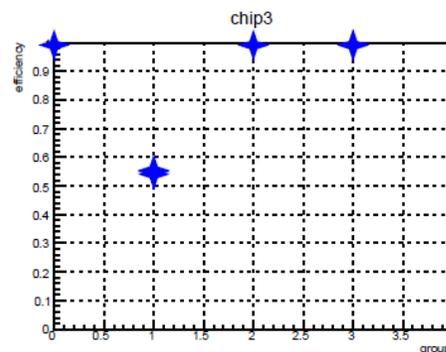
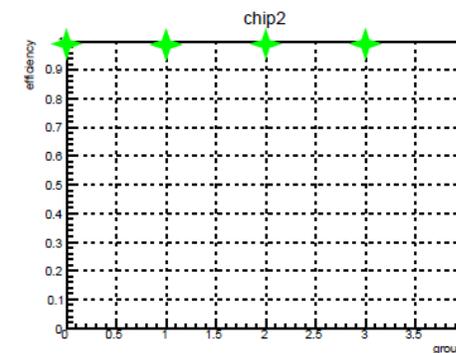
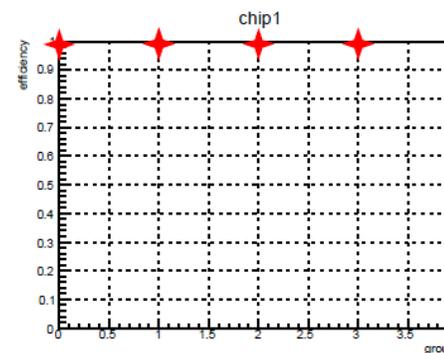
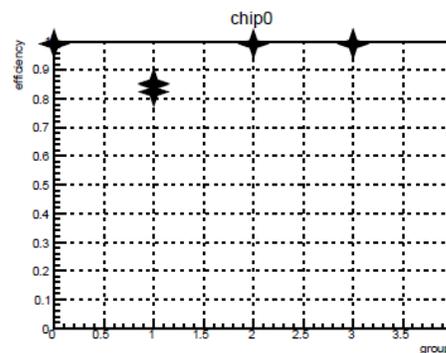
Grp1 ■■■ ch1,5,...125

Grp2 ■■■ ch2,6,...126

Grp3 ■■■ ch3,7,...127(+128(test))

Chip0, 3のgrp1のefficiencyが落ちている

Chip5,7も時々低くなるが一貫した傾向ではない



At 40kHz/ch

32chのグループごとのefficiency

Grp0 ■■■ ch0,4,...124(+129(test))

Grp1 ■■■ ch1,5,...125

Grp2 ■■■ ch2,6,...126

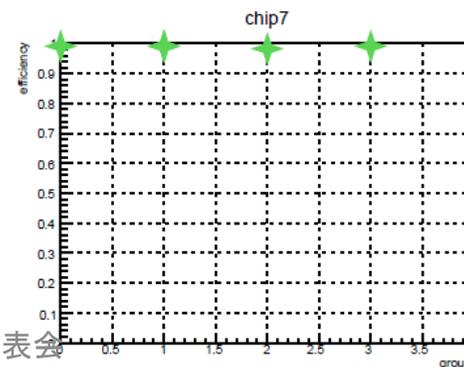
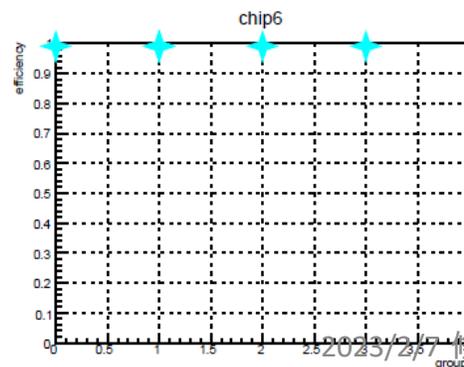
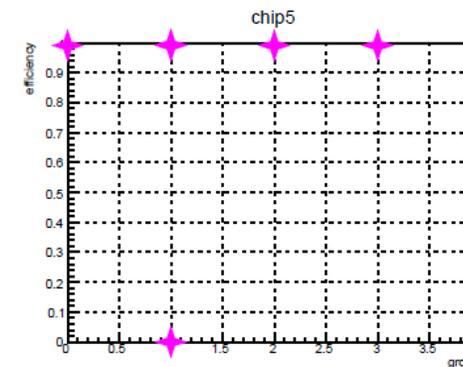
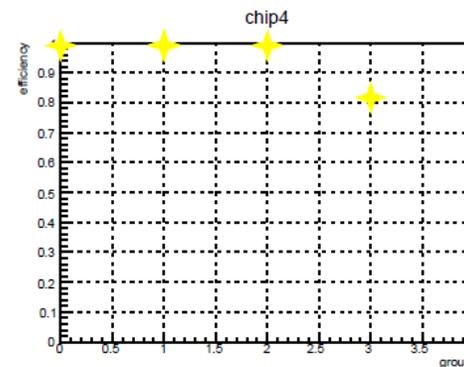
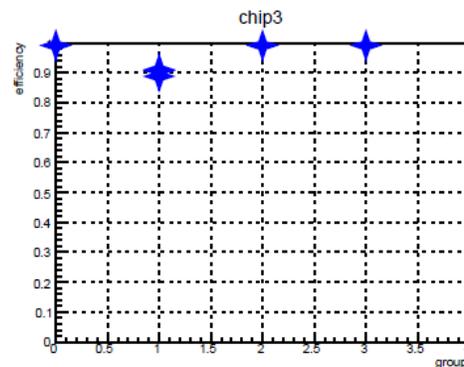
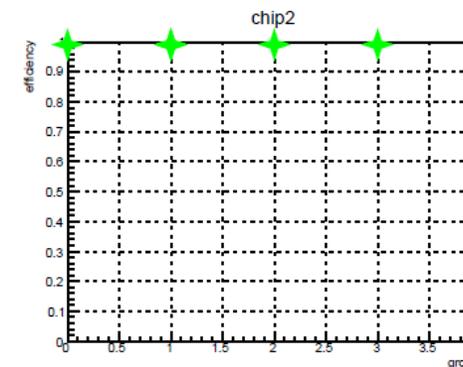
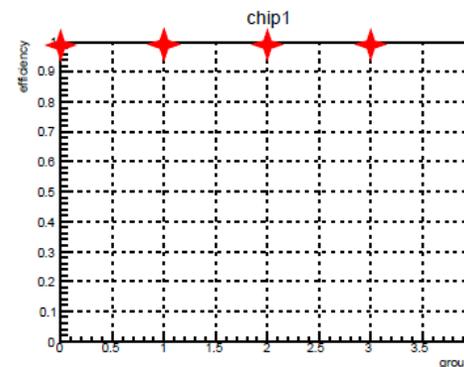
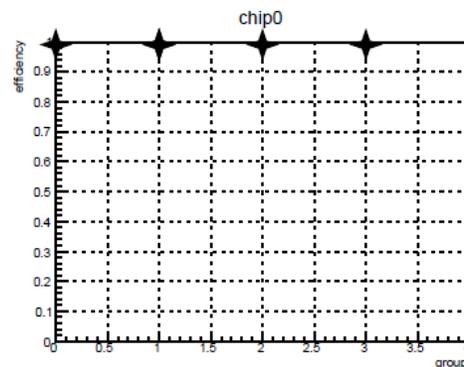
Grp3 ■■■ ch3,7,...127(+128(test))

Chip3のgrp1のefficiencyが落ちている

chip4のgrp3も低い

Chip5,7も時々低くなるが一貫した傾向ではない

◎特定のdead chのせいでefficiencyが落ちている可能性あり



At 10kHz/ch

ランダムヒットの場合

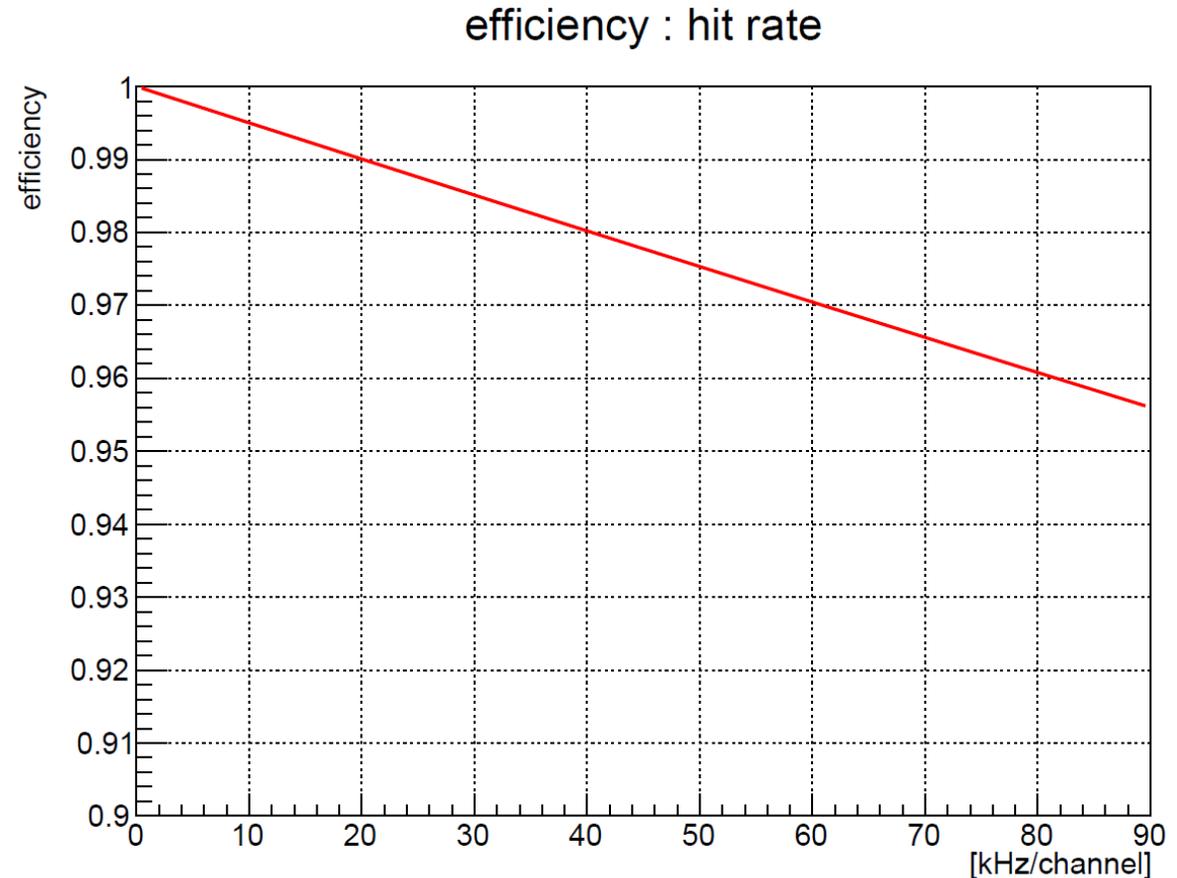
ヒットがランダムで発生した場合にFEB-8のチップで落ちる検出効率

平均レート λ の事象が発生する時間間隔の確率分布は

$$P(t) = \lambda \exp(-\lambda t)$$

デッドタイムを τ とすると、
検出効率 = $\exp(-\lambda\tau)$

チップのアナログ波形から来るデッドタイムは $\tau=500\text{ns}$ であり、これを代入して計算したのが右図



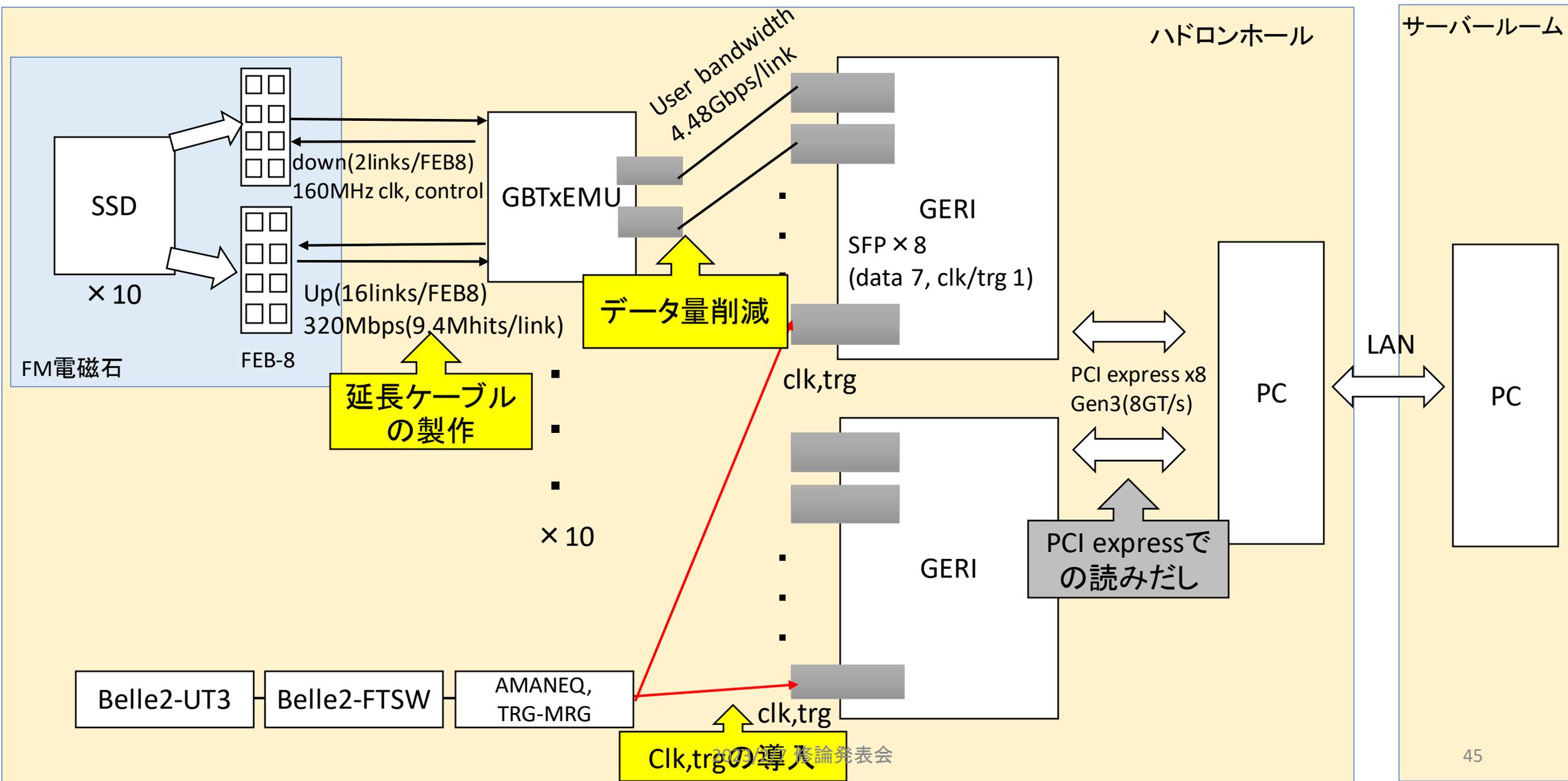
CBMのSSDの種類

- 20x60 mm²
 - 40x60 mm²
 - 60x60 mm² ← E16実験で使用
 - 120x60 mm²
-
- shaping timeによるinefficiencyを改善するにはstripあたりのhit rateを下げるしかないので、rateの高い部分はstripの短いセンサーに切り換えることで改善できる可能性がある(そのかわりにセンサーの枚数・読み出しチャンネル数が増える)

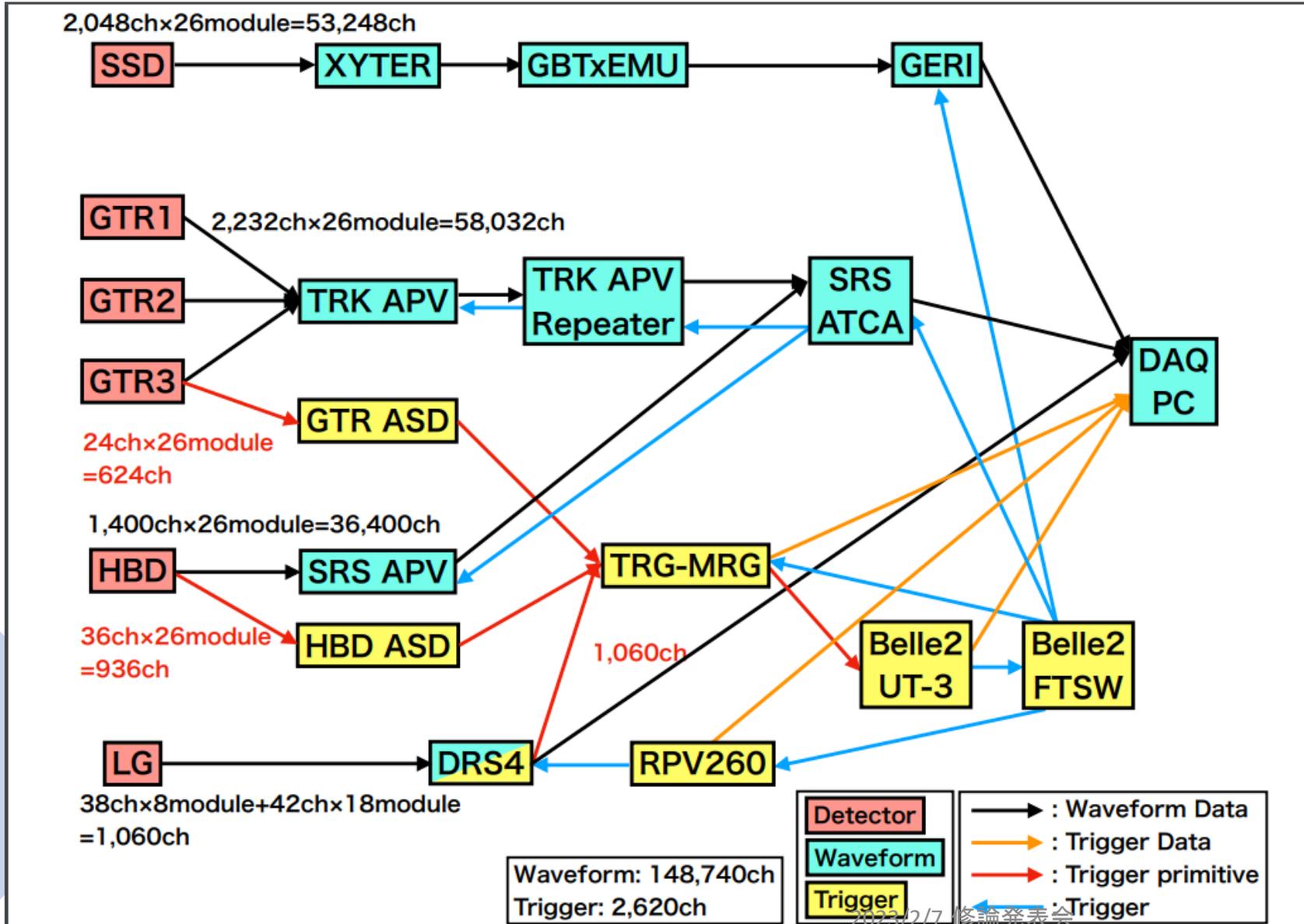
データ量

- トリガーなしの場合、1日71TBytes
トリガーありの場合、1日36GBytes→80GBytes. (additional 30bitを1hitあたりに付け足すとする)

STS読み出し回路の全体像



3.トリガーの取り込み



- ・他の検出器の読み出し回路はトリガーモードで動作

- ・SSD読み出しにもトリガーモードを実装する (トリガー前後一定時間のデータのみ転送)