

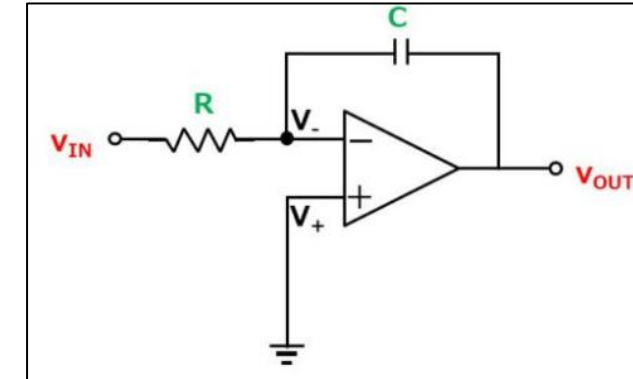
進捗報告

(BWSel=4,8のMIPピークの比較)

2023/5/17

NWU M2 杉山由佳

BWSel=4,8のMIP解析



積分回路

BWSel: (FPHXチップにある積分回路の)コンデンサー容量を追加するパラメータ。
仕様書では、GSel=2のときBWSel=4が望ましいとの記載があるが、
テストベンチでは現在BWSel=8がdefaultである。

BWSel=4,8でADC分布やMIPピークに違いがあるか確認するために、測定・解析を行った。

For $C_{in} = 2 \text{ pF}$ (1.5 pF detector + 0.5 pF parasitic):

– If **GSel** = 000, set **BWSel** = 00000

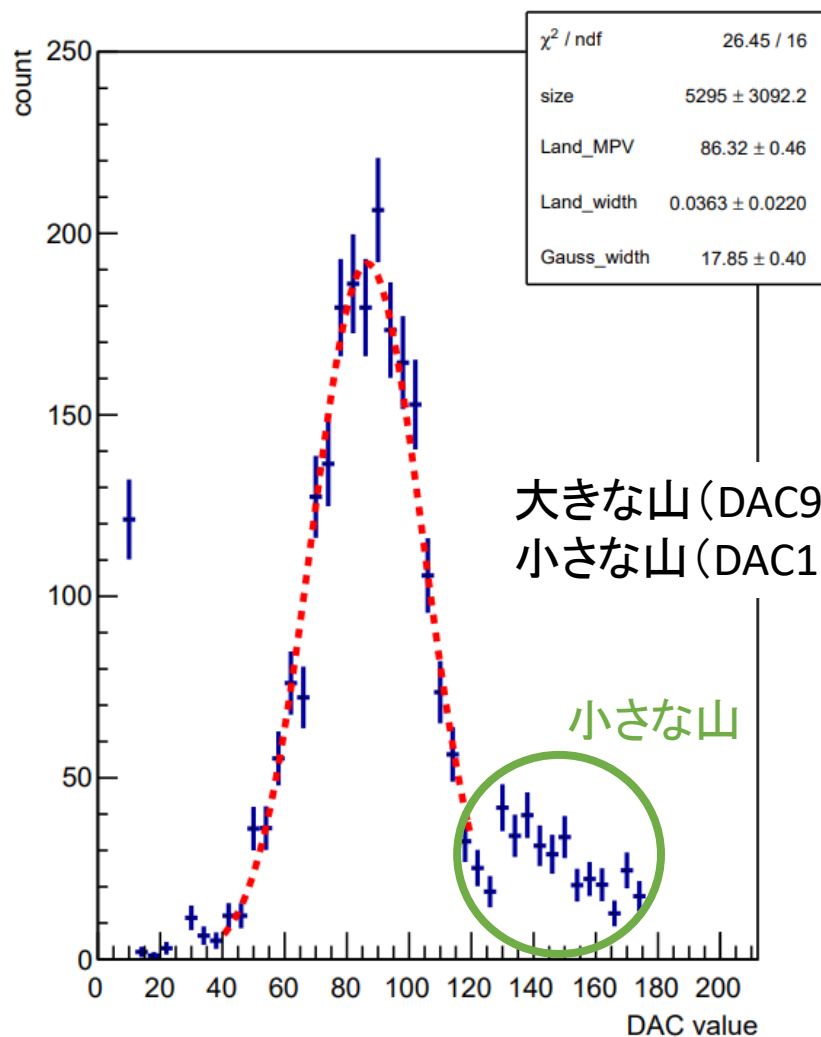
– If **GSel** = 010, set **BWSel** = 00100

– If **GSel** = 100, set **BWSel** = 01000

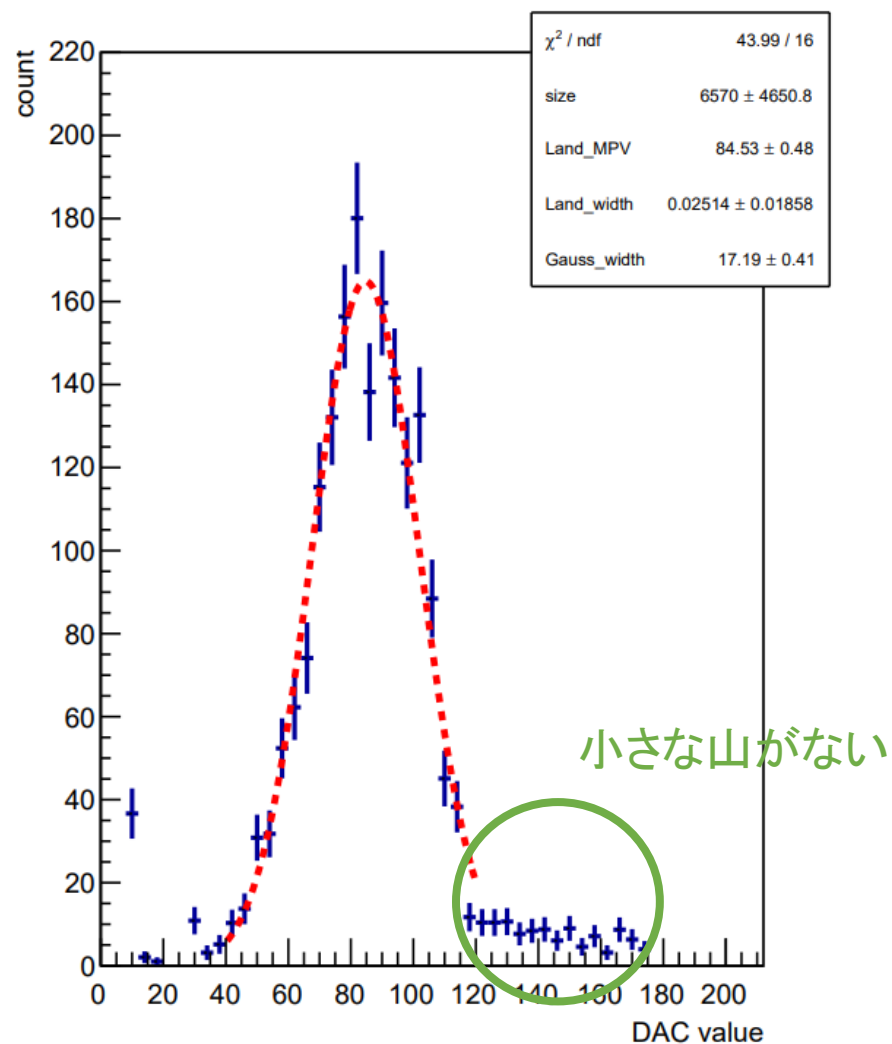
– If **GSel** = 110, set **BWSel** = 01100<

FPHXチップの仕様書

BWSEL=8, Bias100V(L1), Single hit

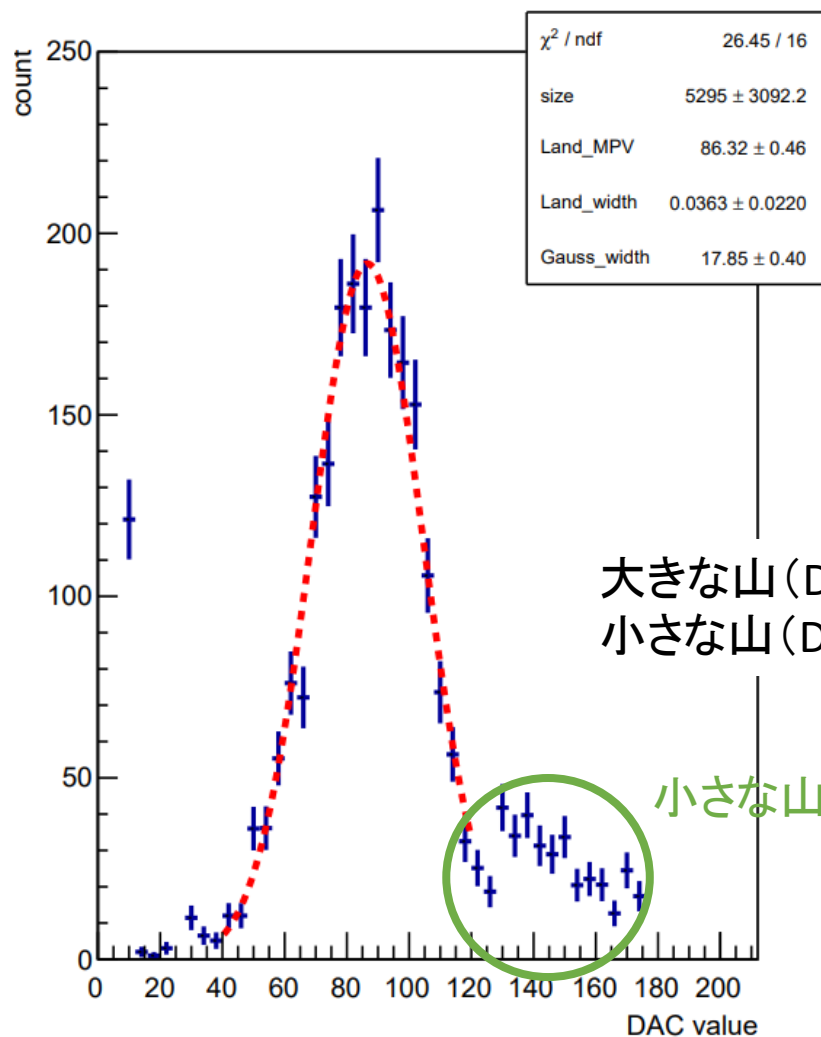


BWSEL=8, Bias100V(L2), Single hit

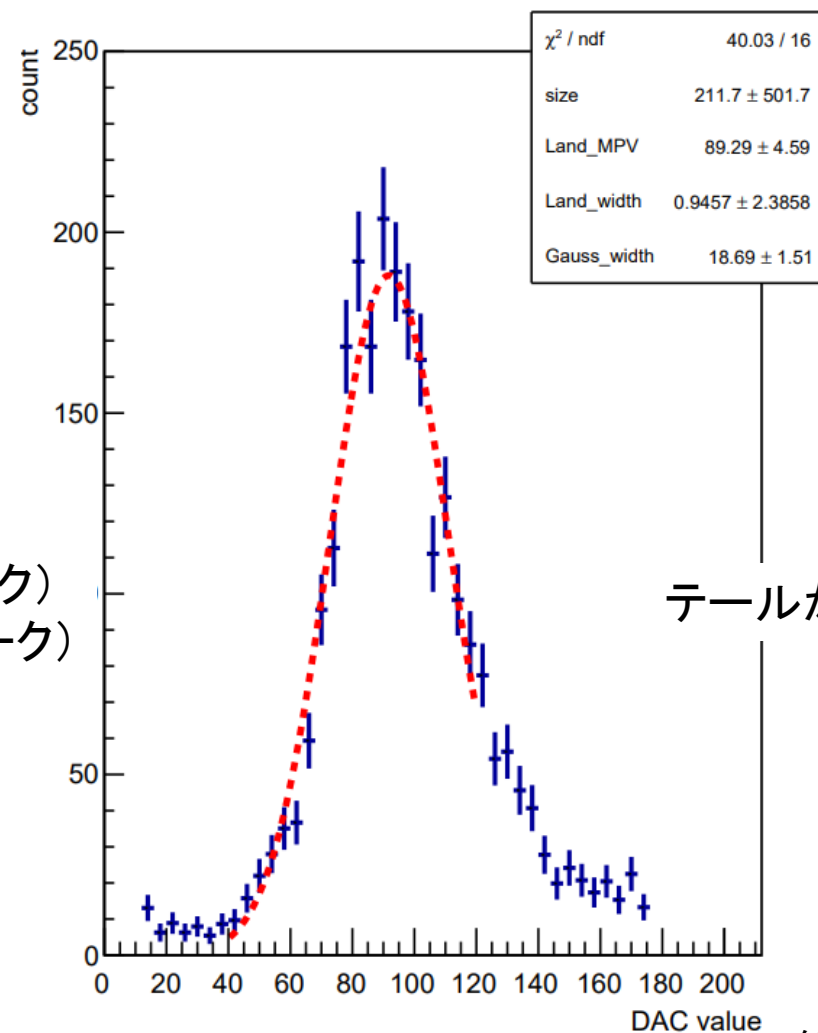


BWSEL=8のとき小さな山がある場合とない場合がある。
→小さな山の原因はBWSELとは限らない。

BWSEL=8, Bias100V(L1), Single hit



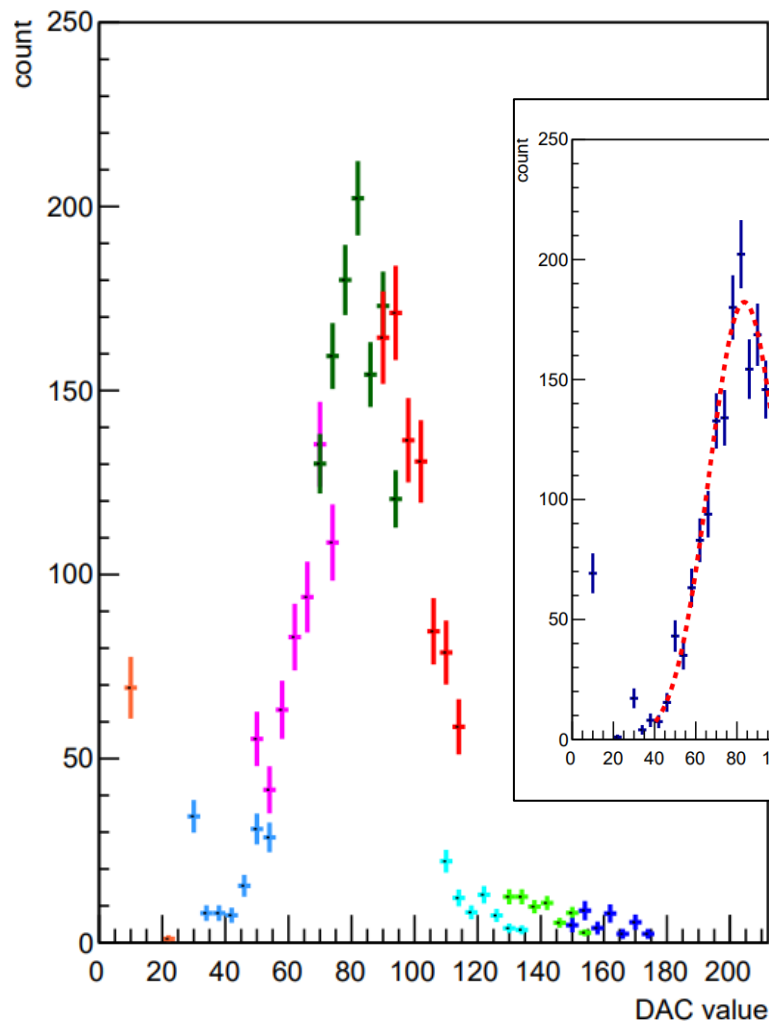
BWSEL=4, Bias100V(L1), Single hit



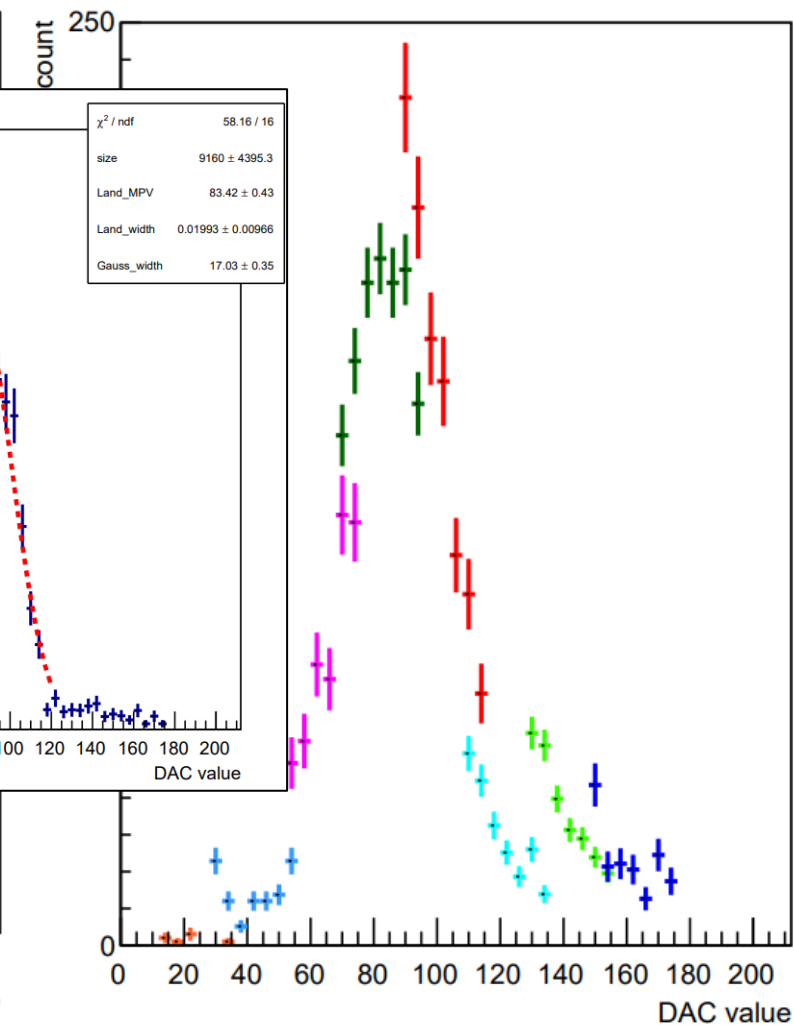
各BWSELでのADC分布

BWSEL=4では小さな山はなくなったが、テールが長い。

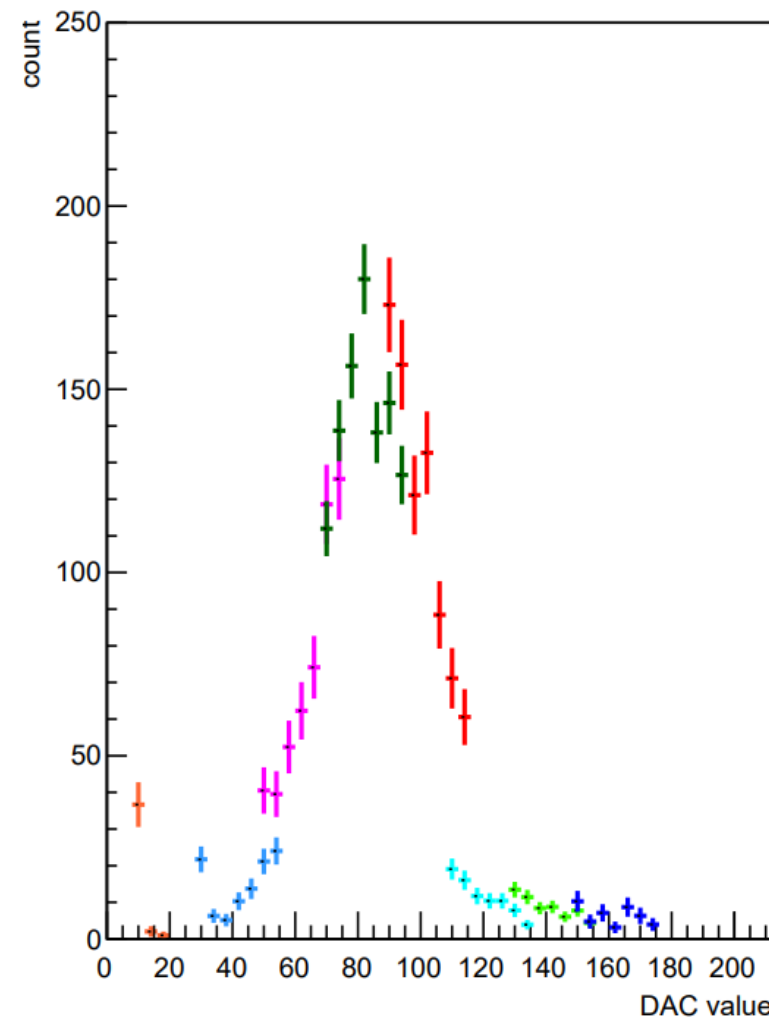
BWSel=8, Bias75V (L0), Single



BWSel=8, Bias100V (L1), Single

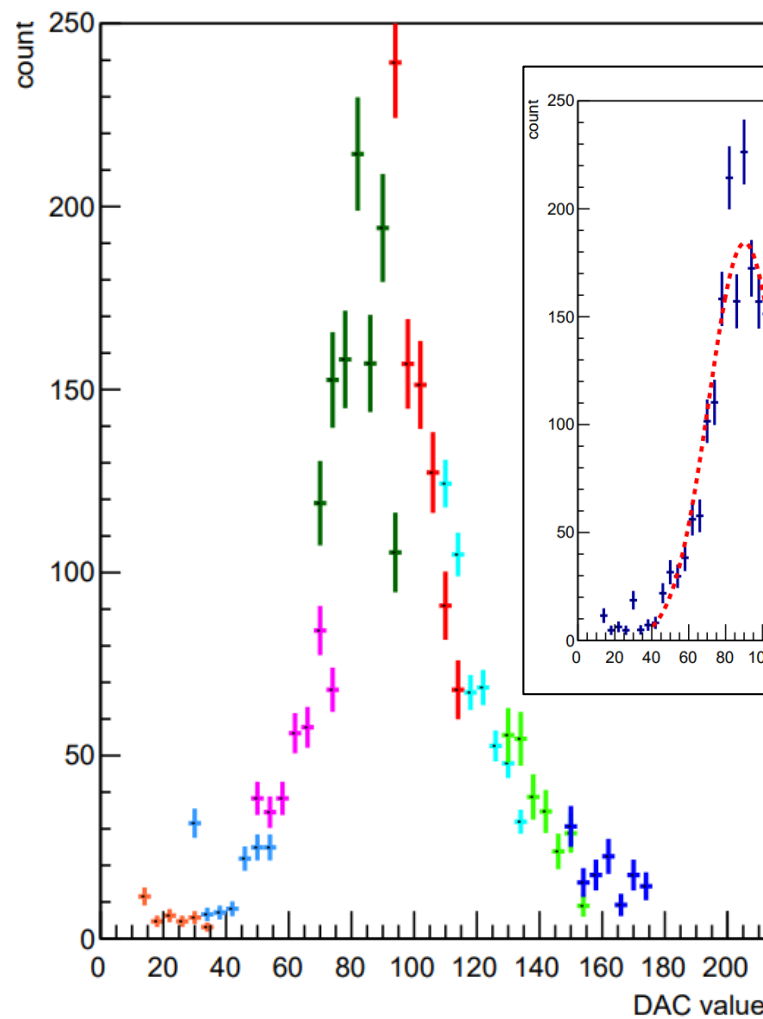


BWSel=8, Bias100V (L2), Single

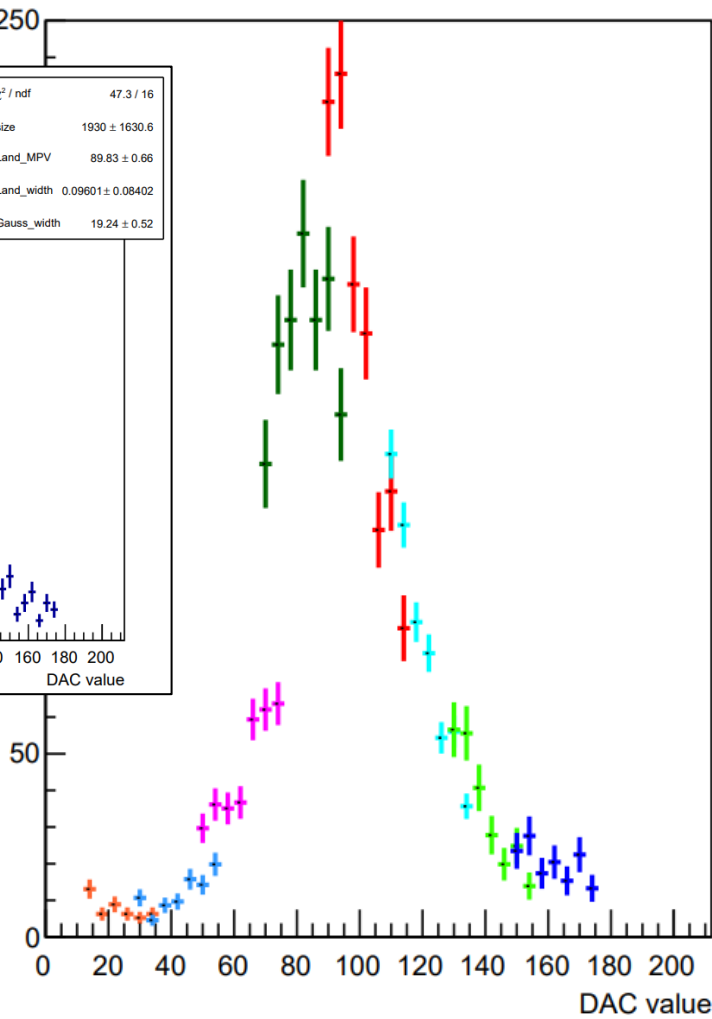


BWSel=8では、MIP領域においてエントリーにばらつきはない。

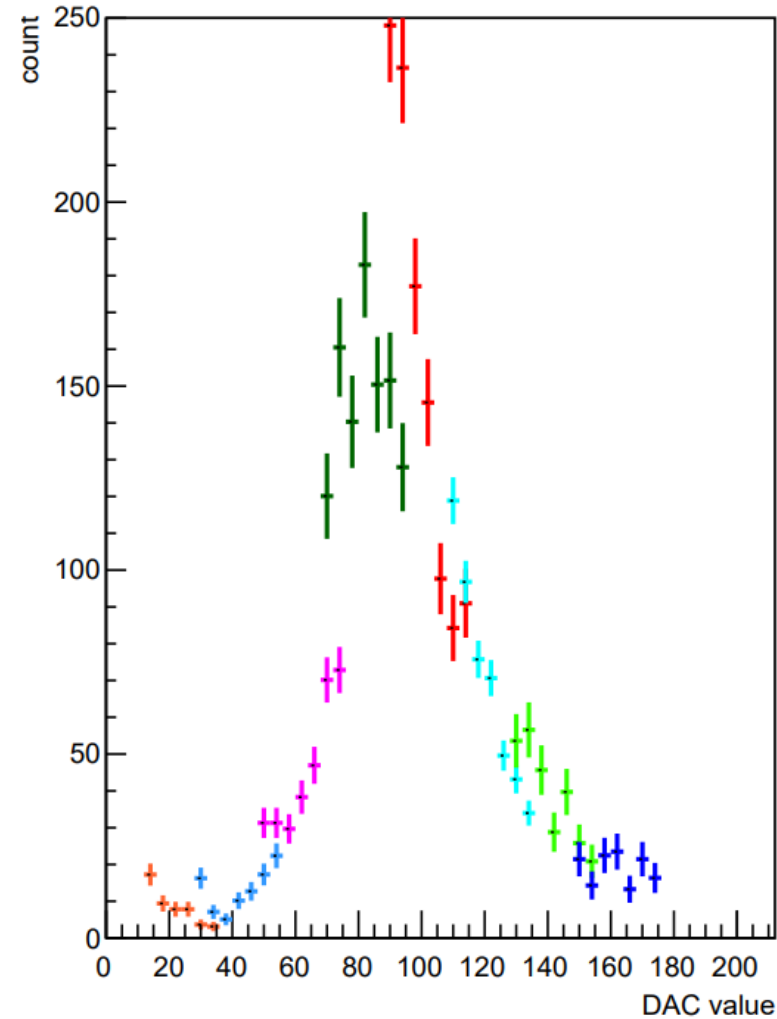
BWSel=4, Bias75V (L0), Single



BWSel=4, Bias100V (L1), Single



BWSel=4, Bias100V (L2), Single



BWSel=4では、エントリーのばらつきが大きく、Fittingの精度にも影響を与えてしまう。

まとめ/今後の予定

まとめ

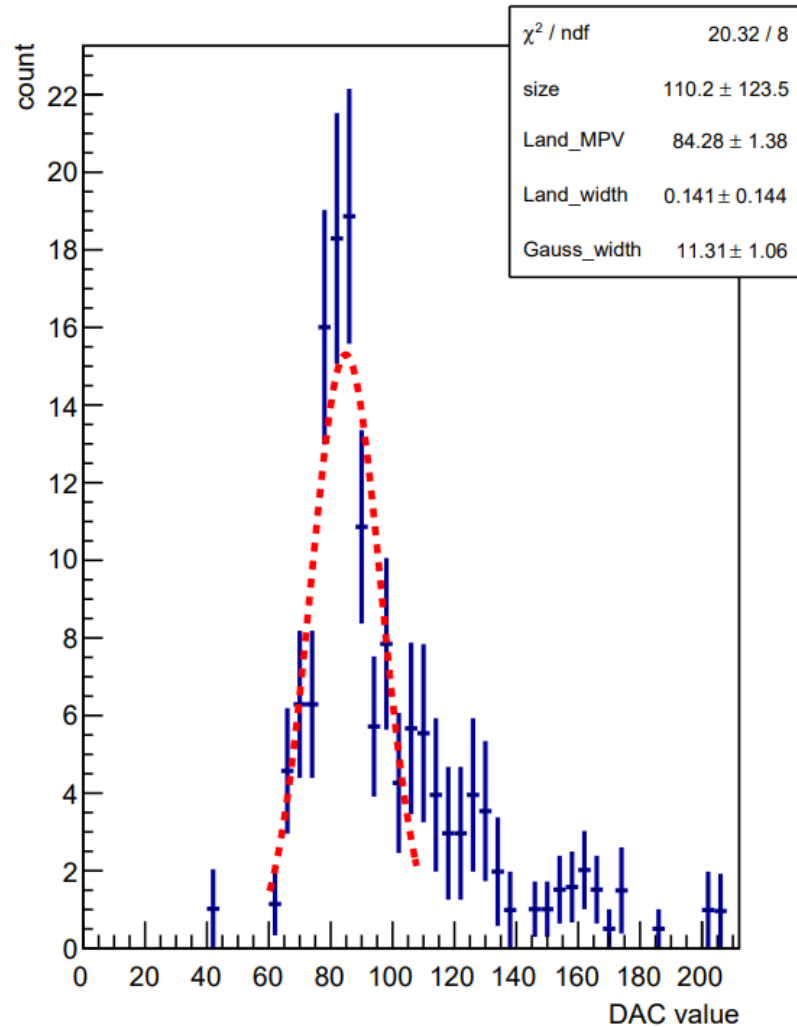
- BWSel=8では、DAC値150付近にもピークが必ずあるとは限らない。
- BWSel=4では、DAC値150付近のピークはなくなったが、テールが長い。
- BWSel=8に比べてBWSel=4のときはエントリーのばらつきが大きいいため、Fittingの精度にも影響を及ぼす。

今後の予定

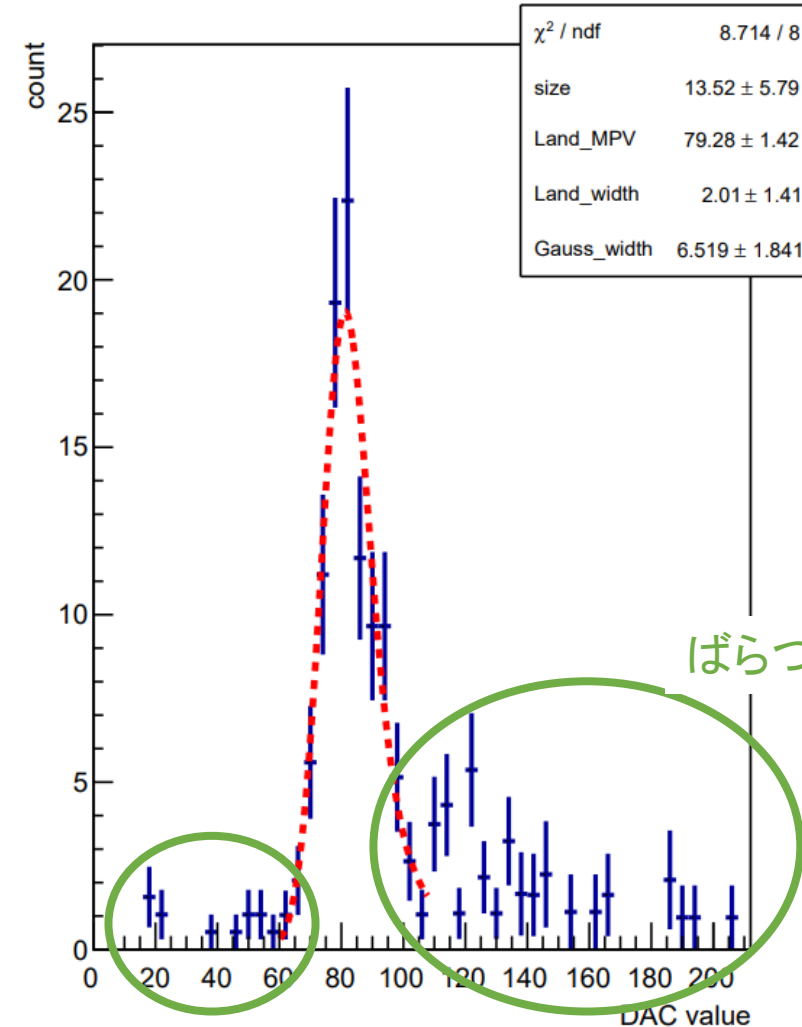
- (理研テストベンチと同じ)外部トリガーを1つにした時のMIPピーク解析

Back Up

BWSel=8, Bias100V, L1, Multi hit



BWSel=4, Bias100V, L1, Multi hit

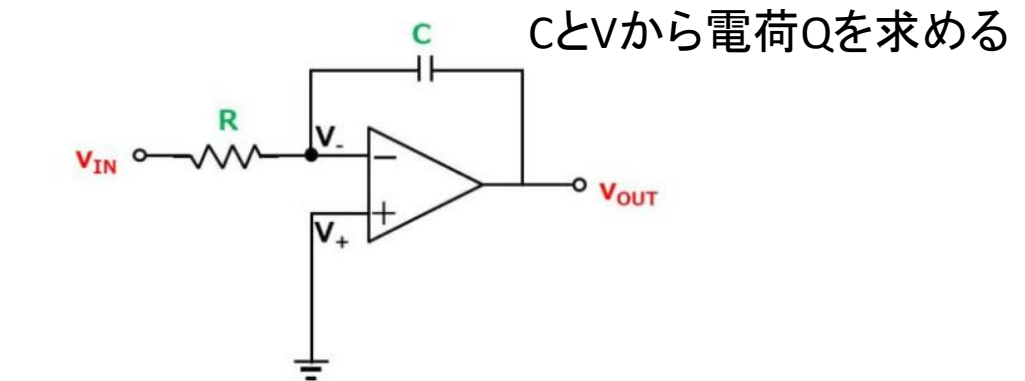
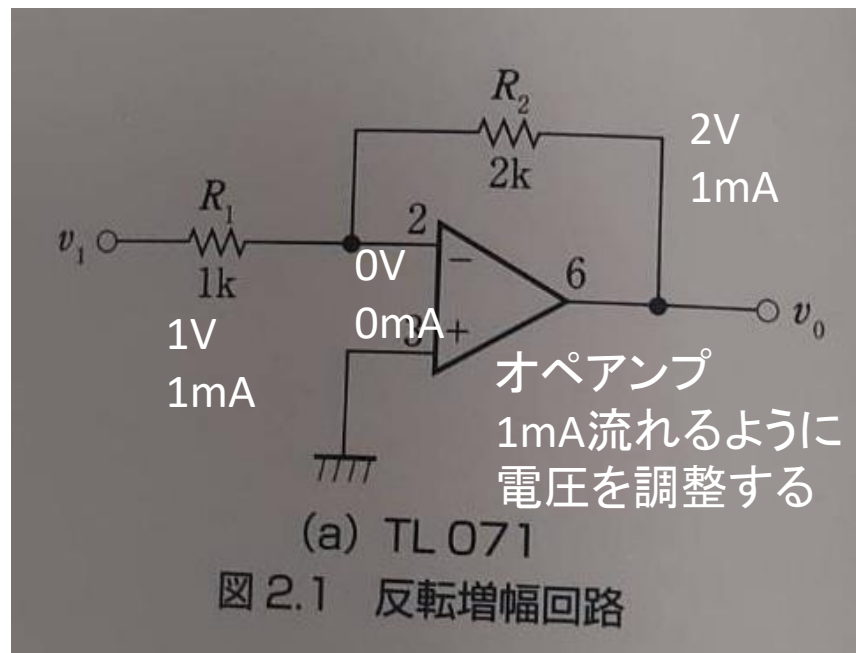


BWSel=4と8では、テールのふるまいが異なっている。

各BWSelでのADC分布

積分回路・BWSEL

- 積分回路・・・反転増幅回路の抵抗RをコンデンサーCに変えたもので、入力電圧を積分する回路。
- BWSEL・・・センサー側から入ってくる(コンデンサー)容量は0に近い方が望ましいが、そうではない場合もある。容量追加により、センサー側から入ってくる(コンデンサー)容量と積分回路の容量の補正をする役割を果たす。



$$v_{OUT} = -\frac{1}{CR} \int v_{IN} dt$$

入力の極性と出力の極性は**反対**

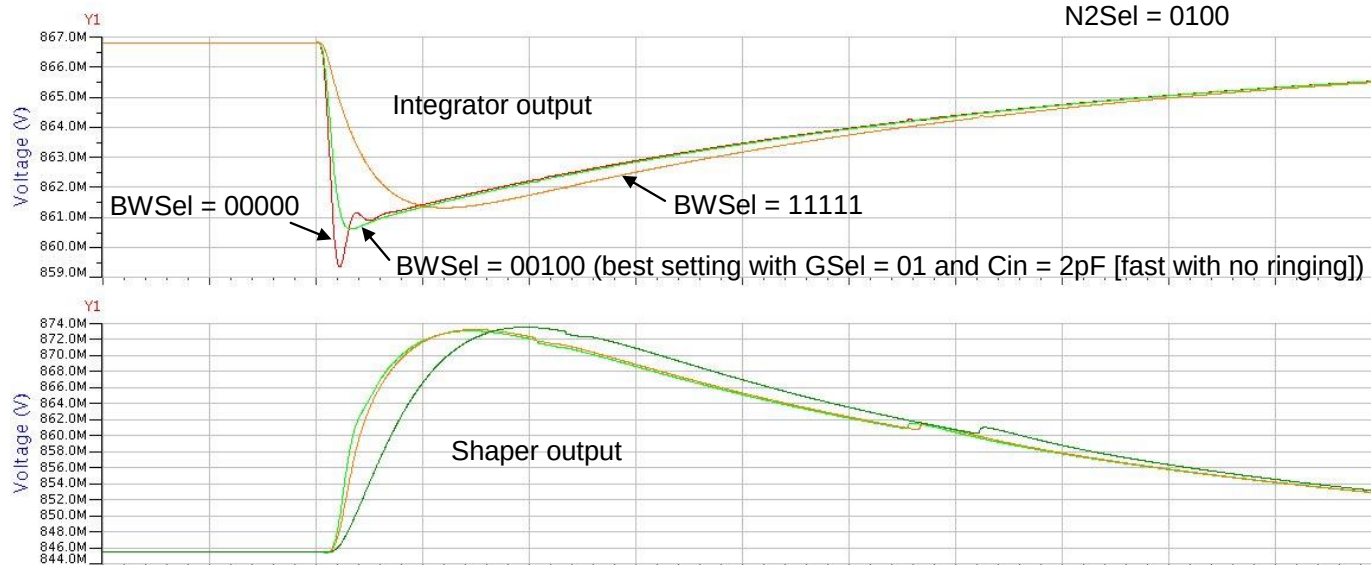
入力電圧 v_{IN} を**積分**している

FPHX仕様書(BWSEL)

BWSEL=00000のときはLinging(信号の反射により波形が振動する現象)によって信号が実際より大きく見積もられる可能性がある。BWSEL=00100のように、信号が早く立ち上がり、かつなめらかに一山描くほうが望ましい。

Effect of BWSEL parameter on integrator response

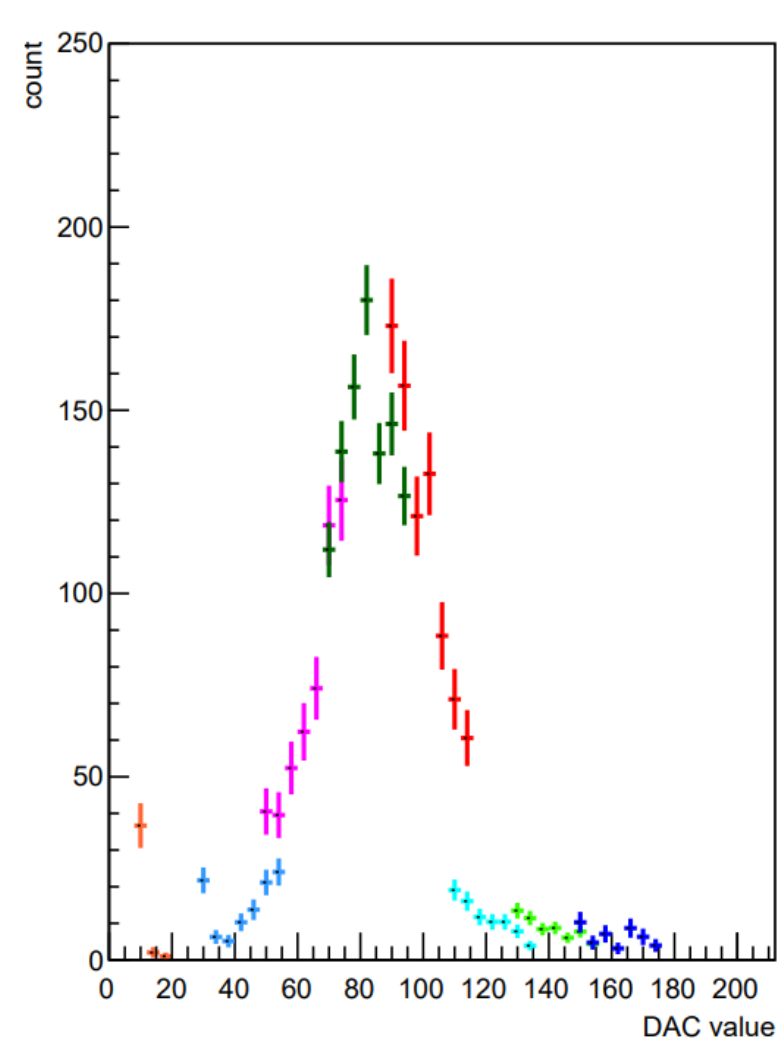
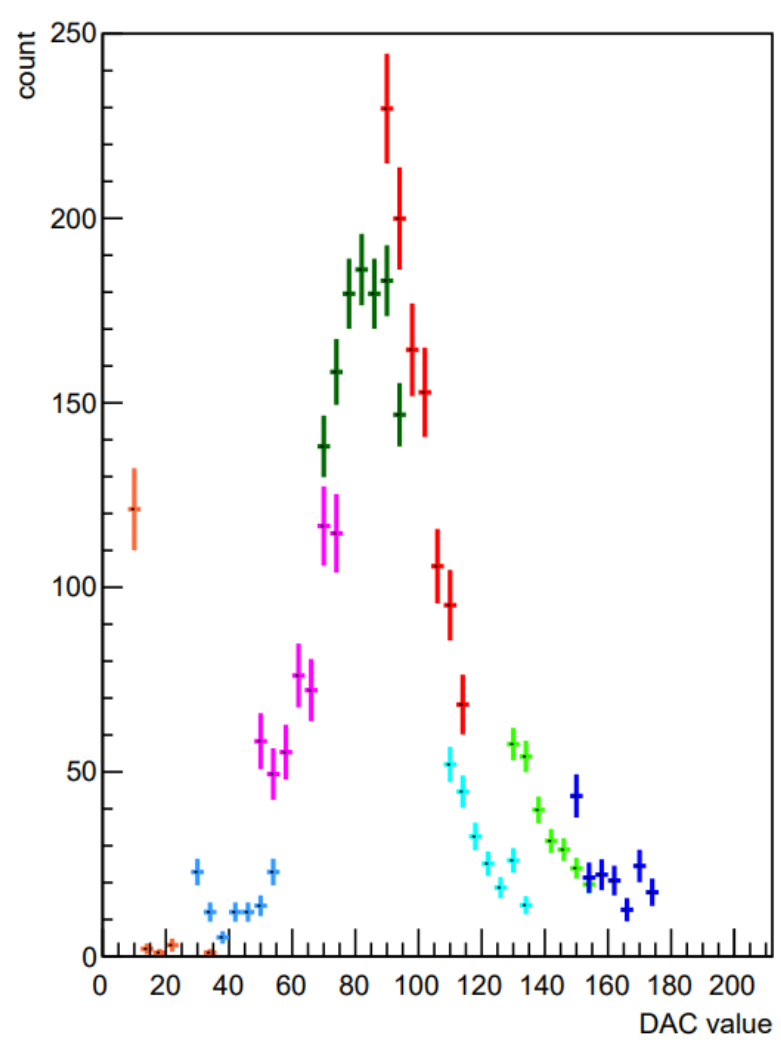
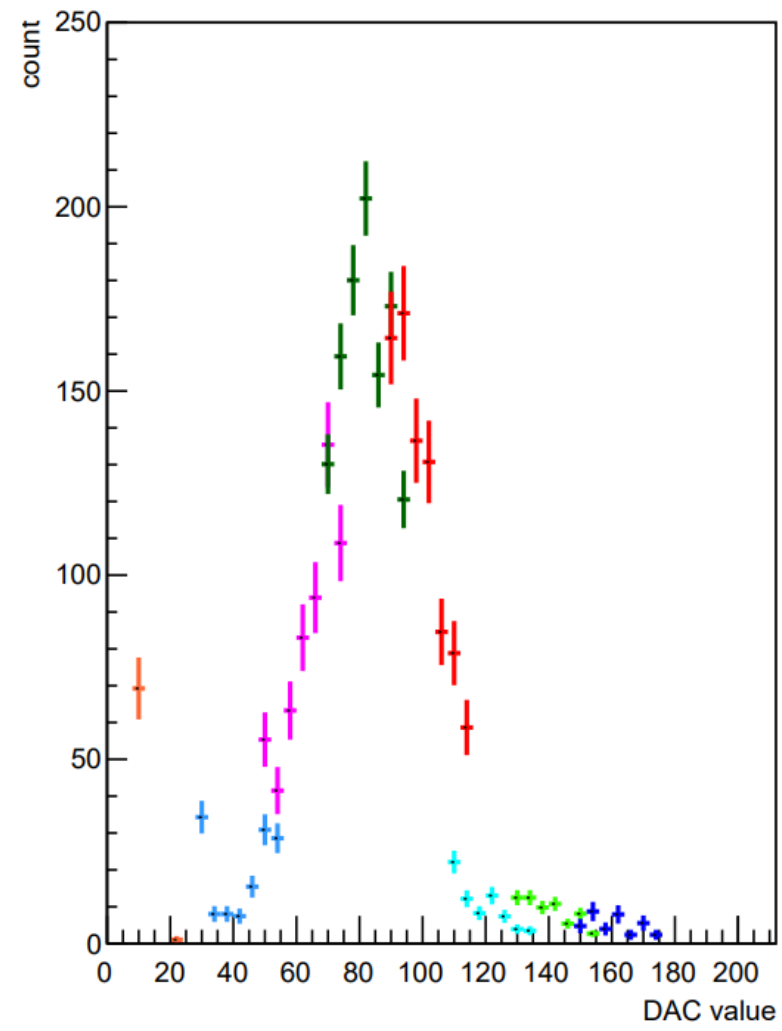
Qin = 2000e
Cin = 2pF (total)
GSEL = 010
Fb1Sel = 0100
N2Sel = 0100



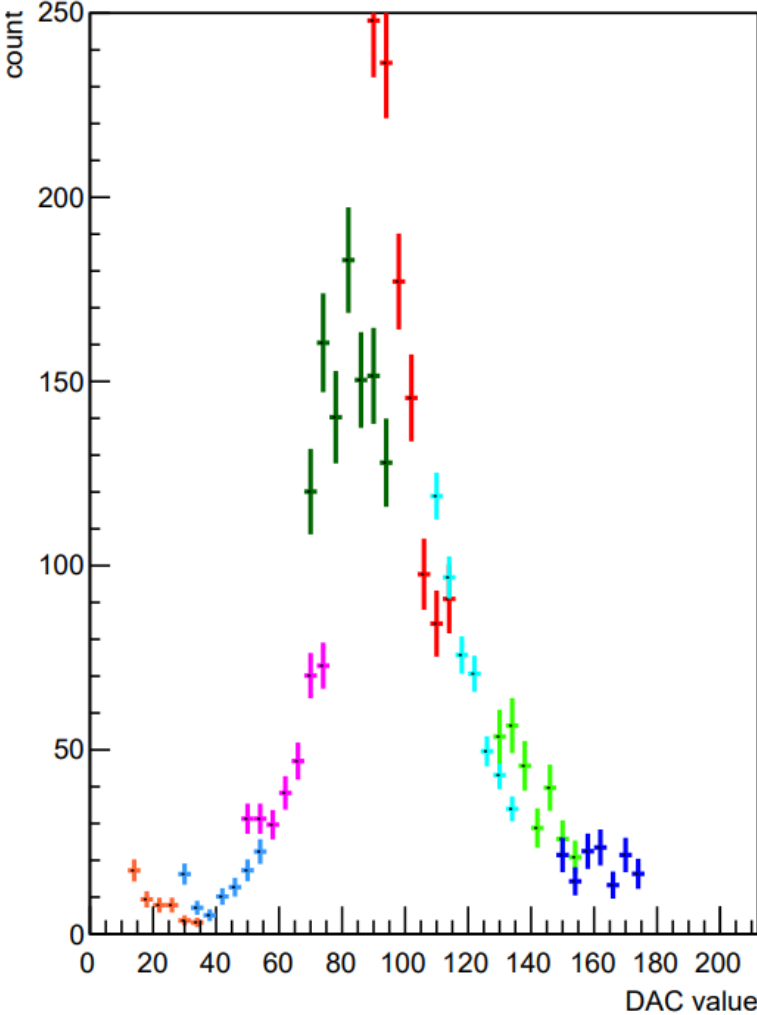
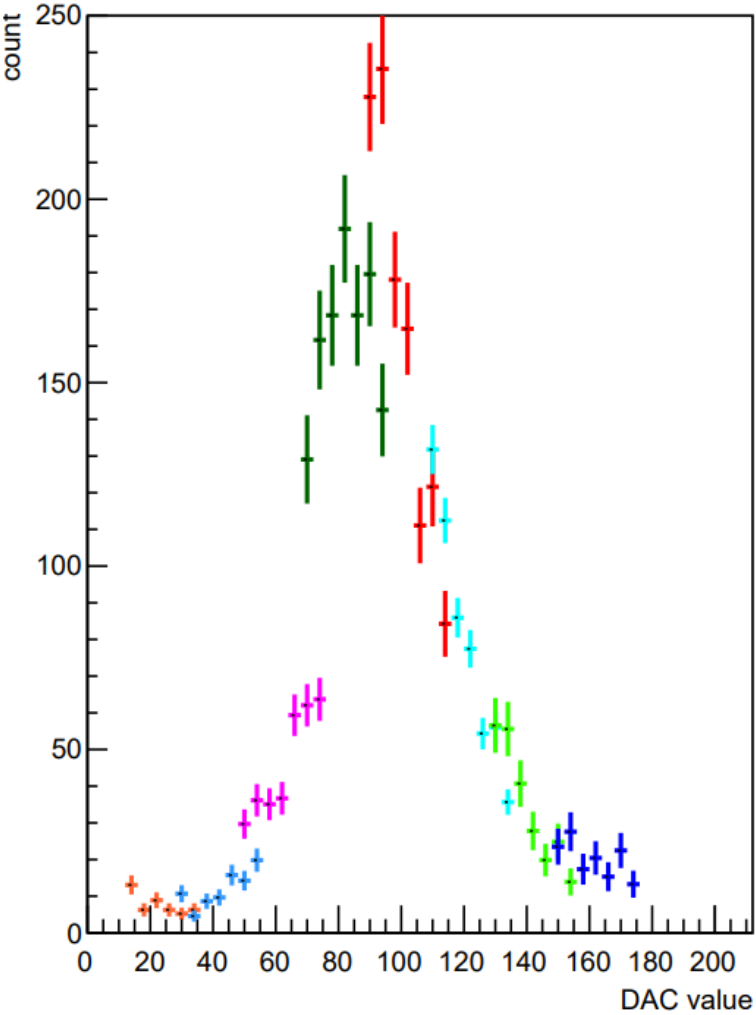
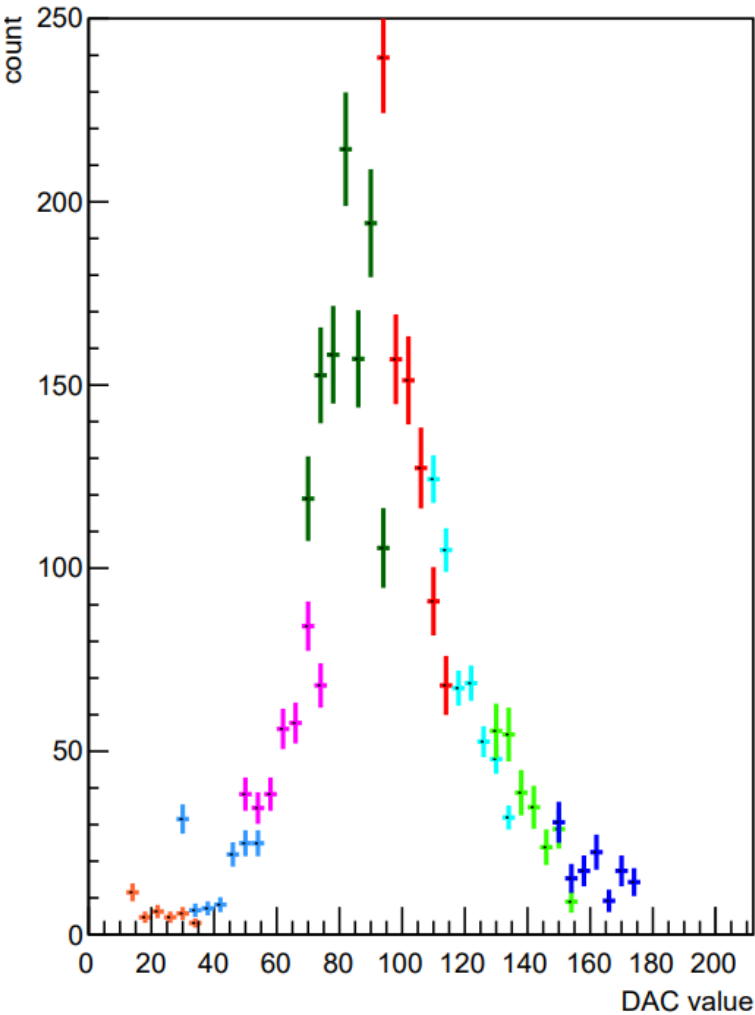
BWSELが大きい(C容量→大)ほど、

- 出力電圧V→小
- Lingingが起きない。

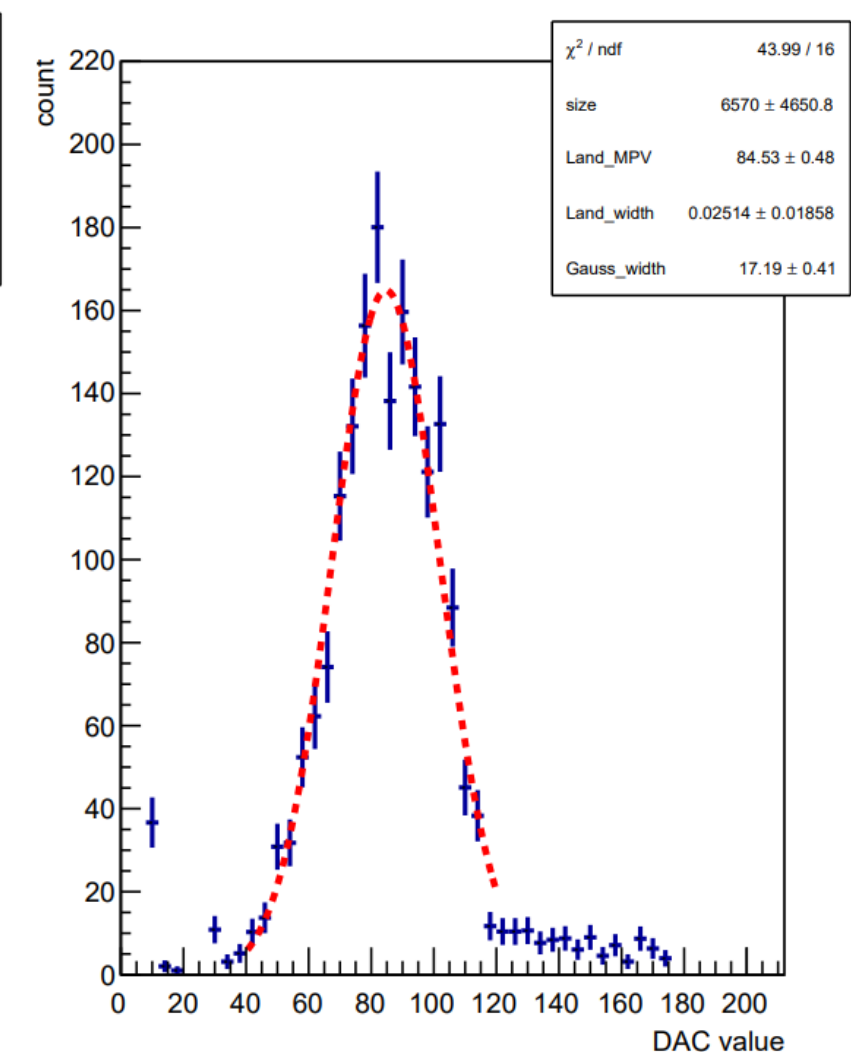
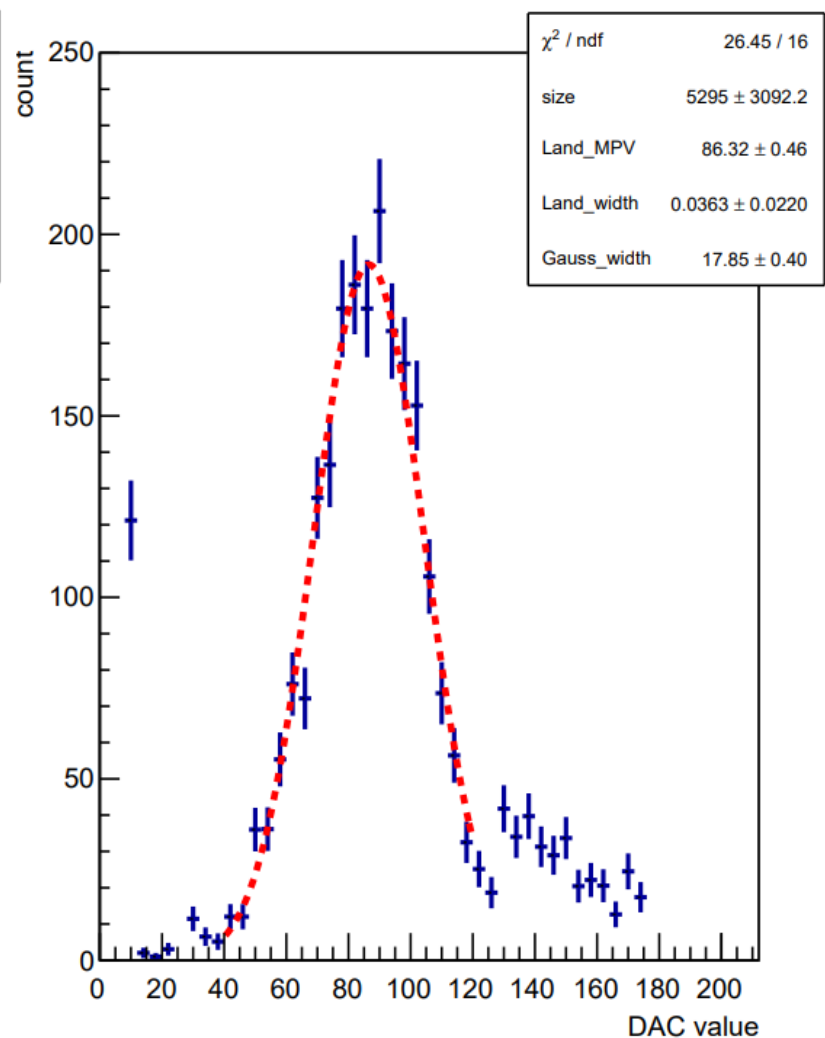
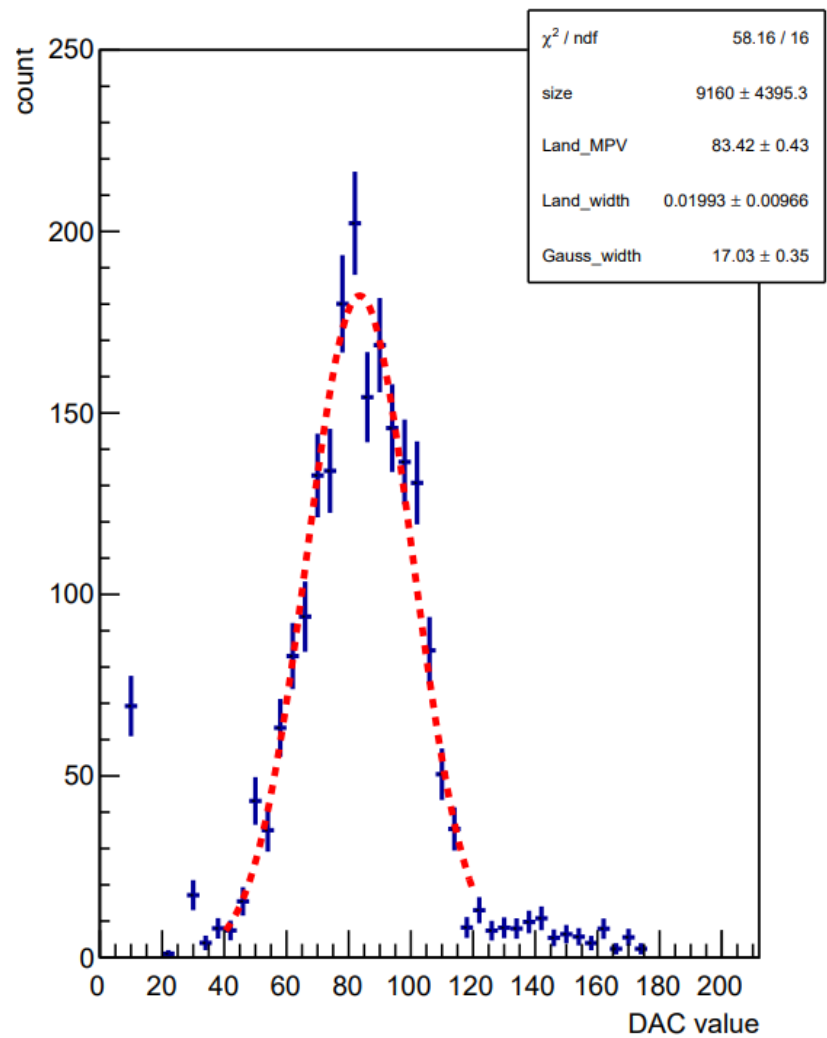
奈良女Single (75V,100V),
クラスター数1, BWSel=8



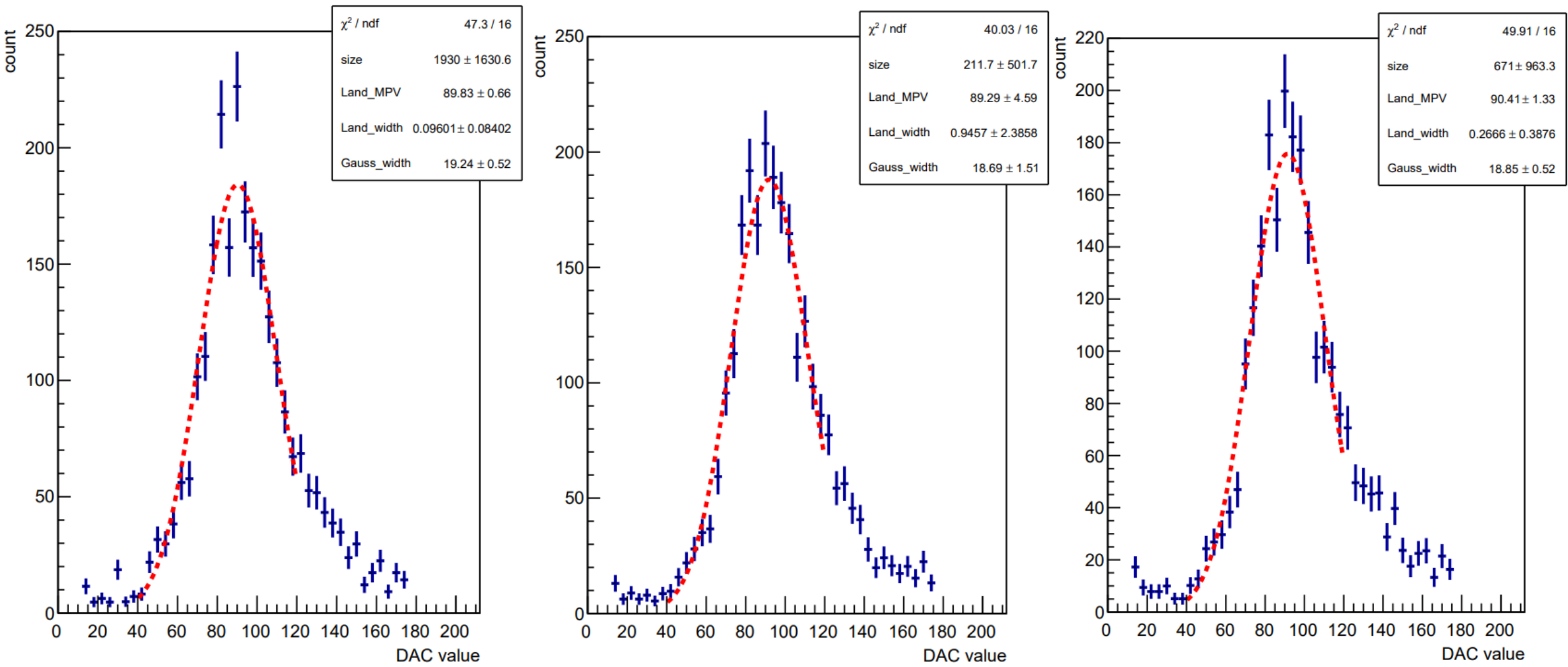
奈良女Single (75V,100V),
クラスター数1, BWSel=4



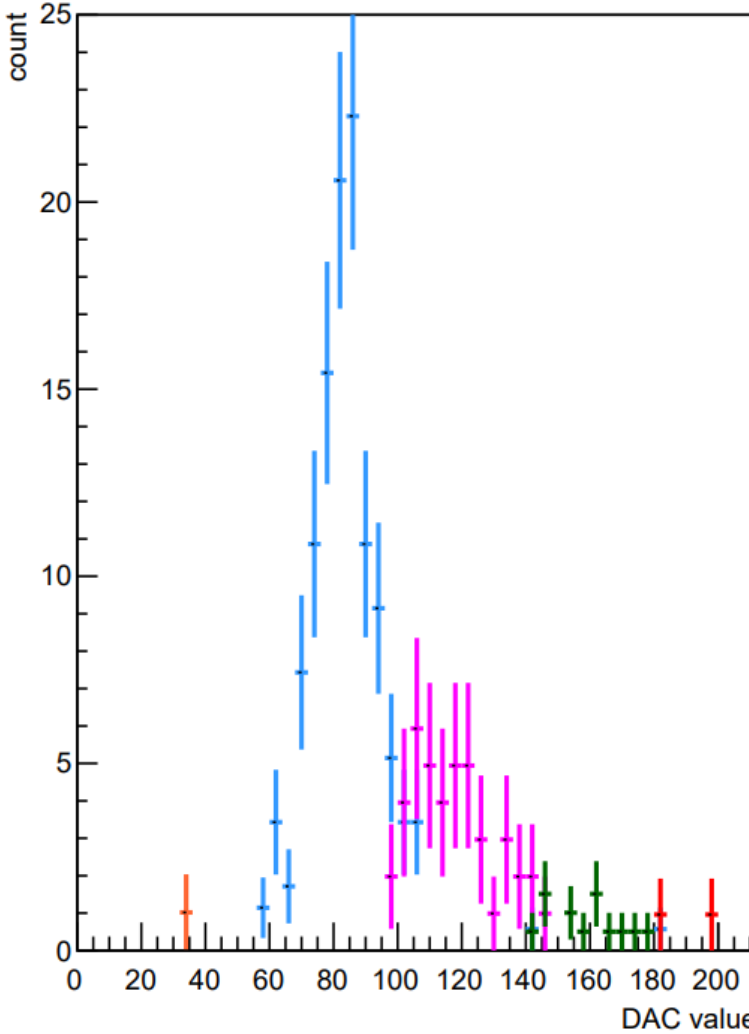
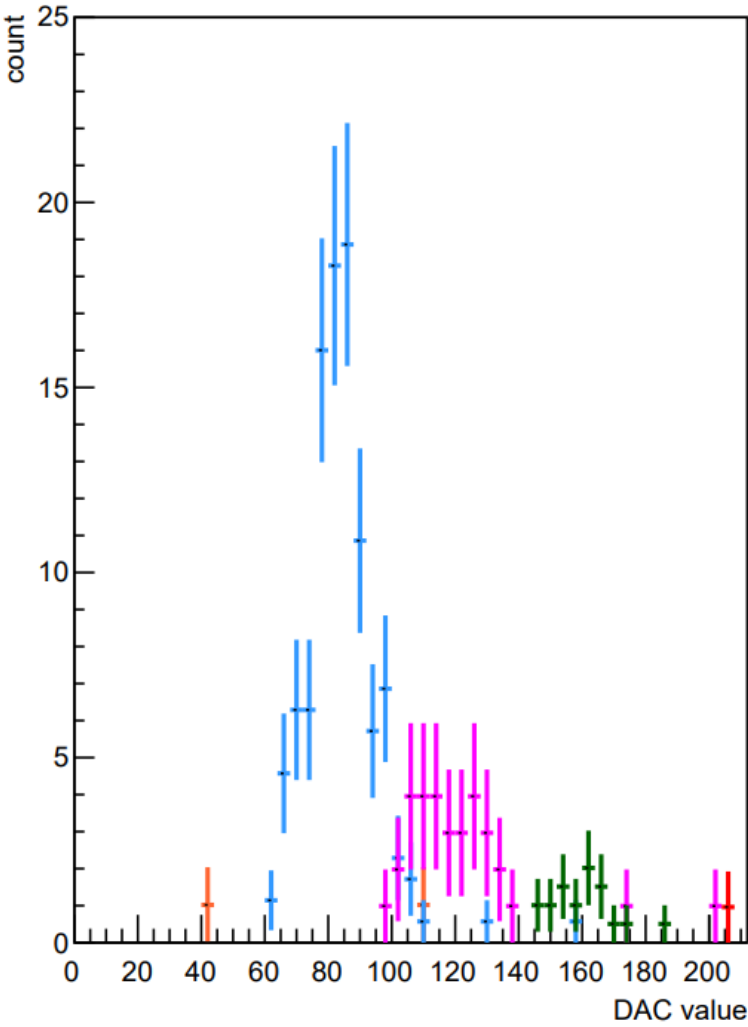
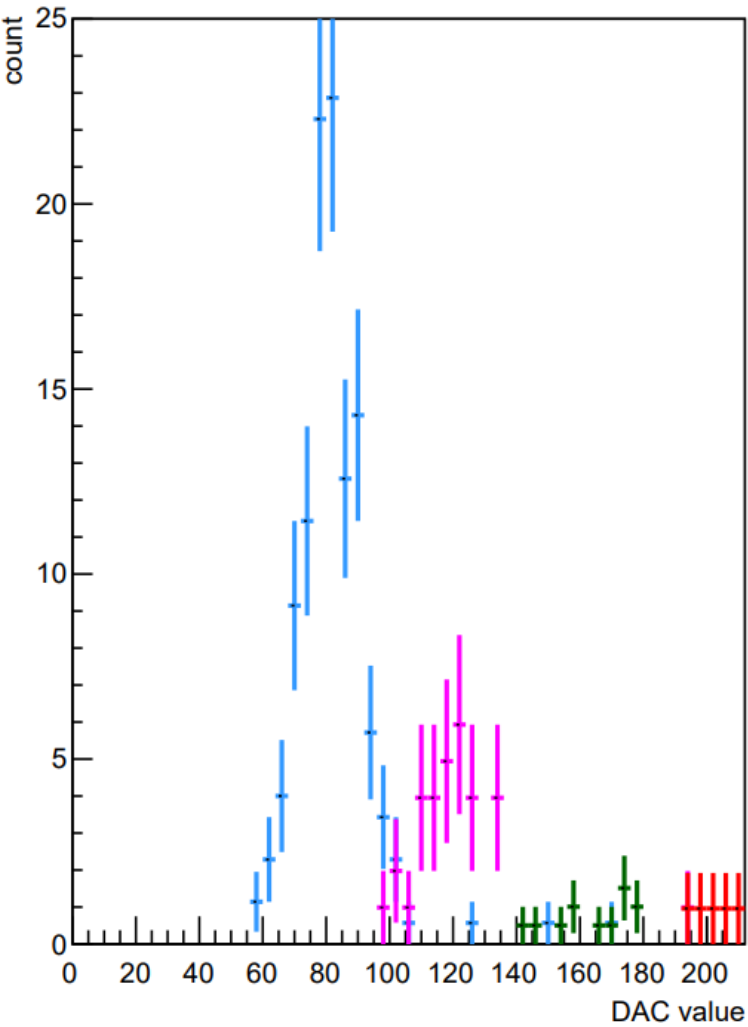
奈良女Single (75V,100V),
クラスター数1, BWSel=8



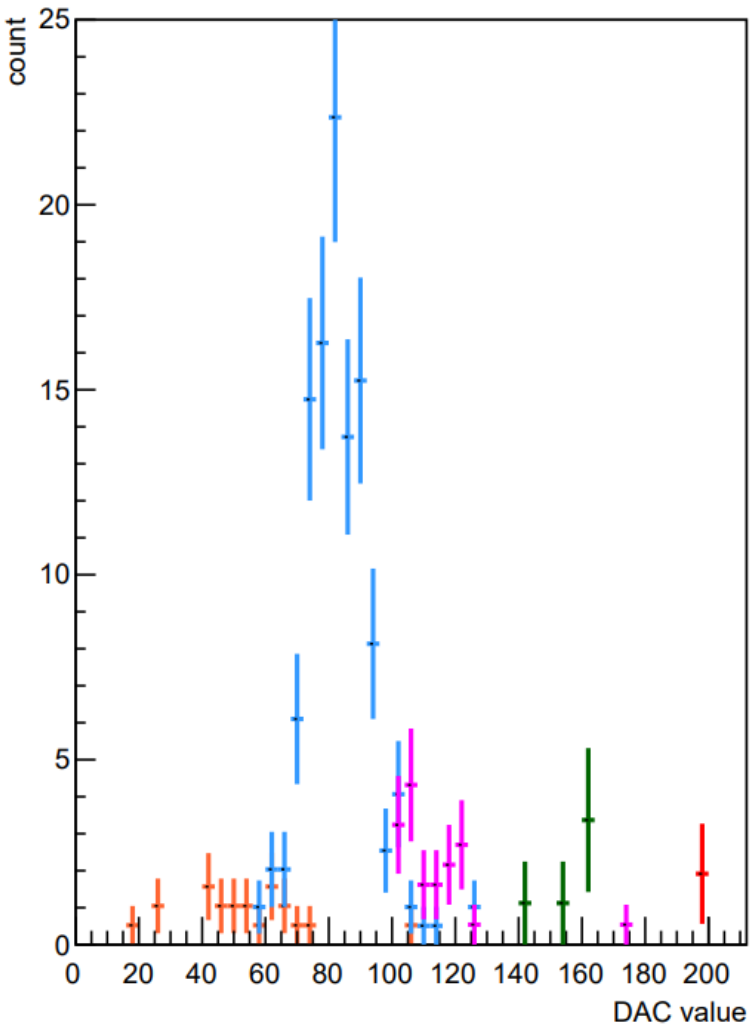
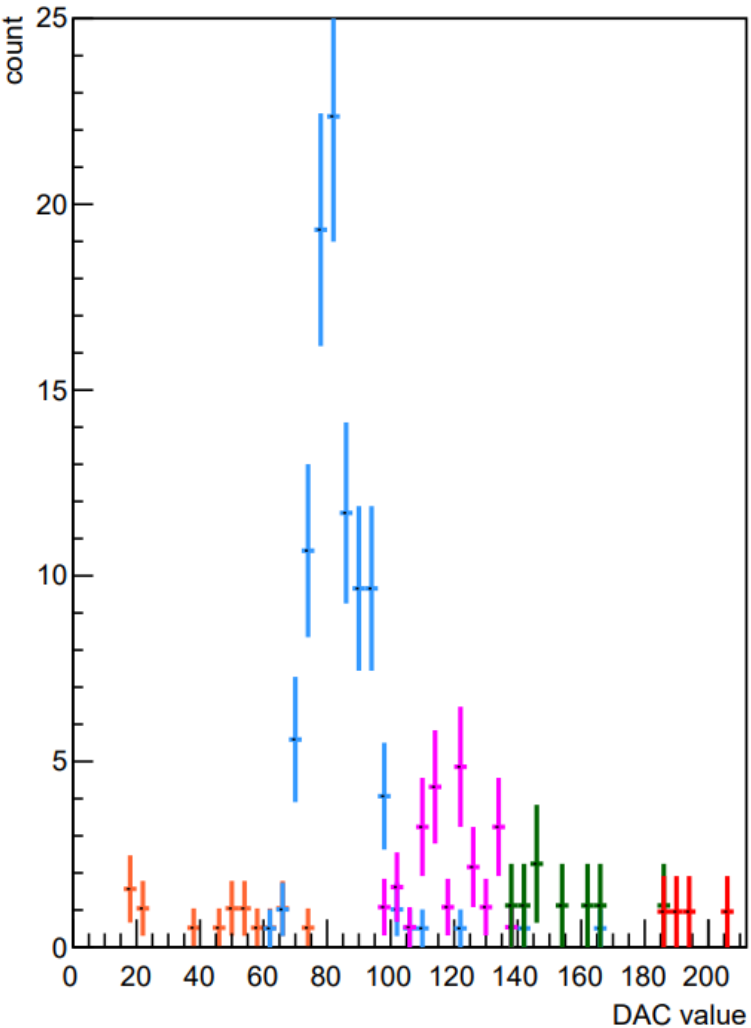
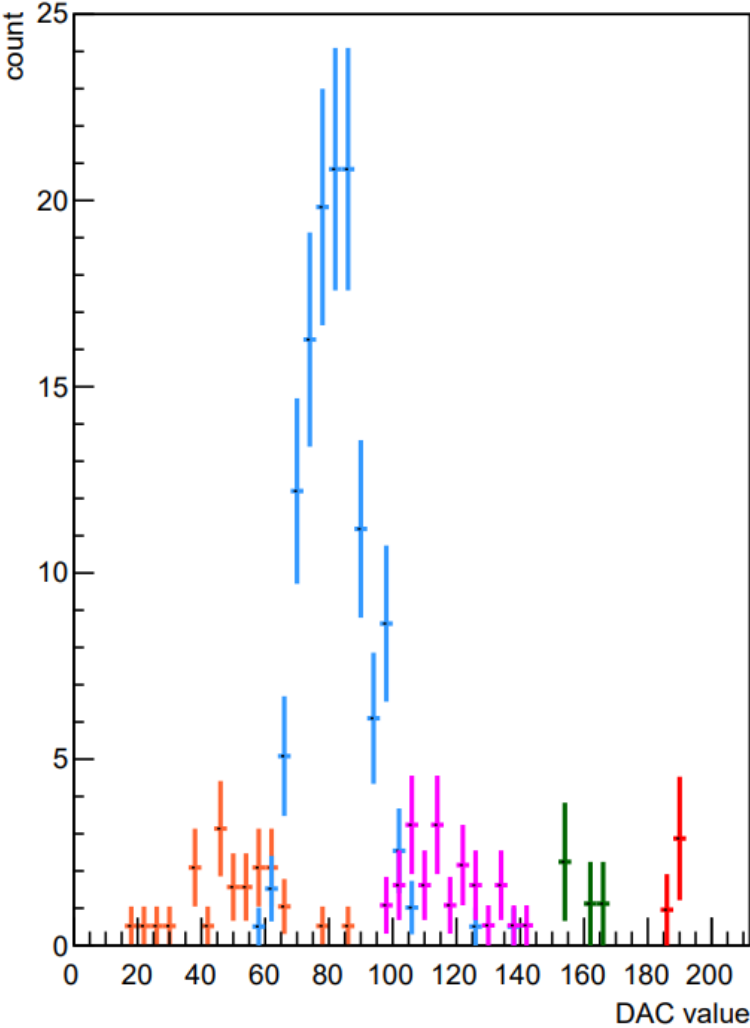
奈良女Single (75V,100V),
クラスター数1, BWSel=4



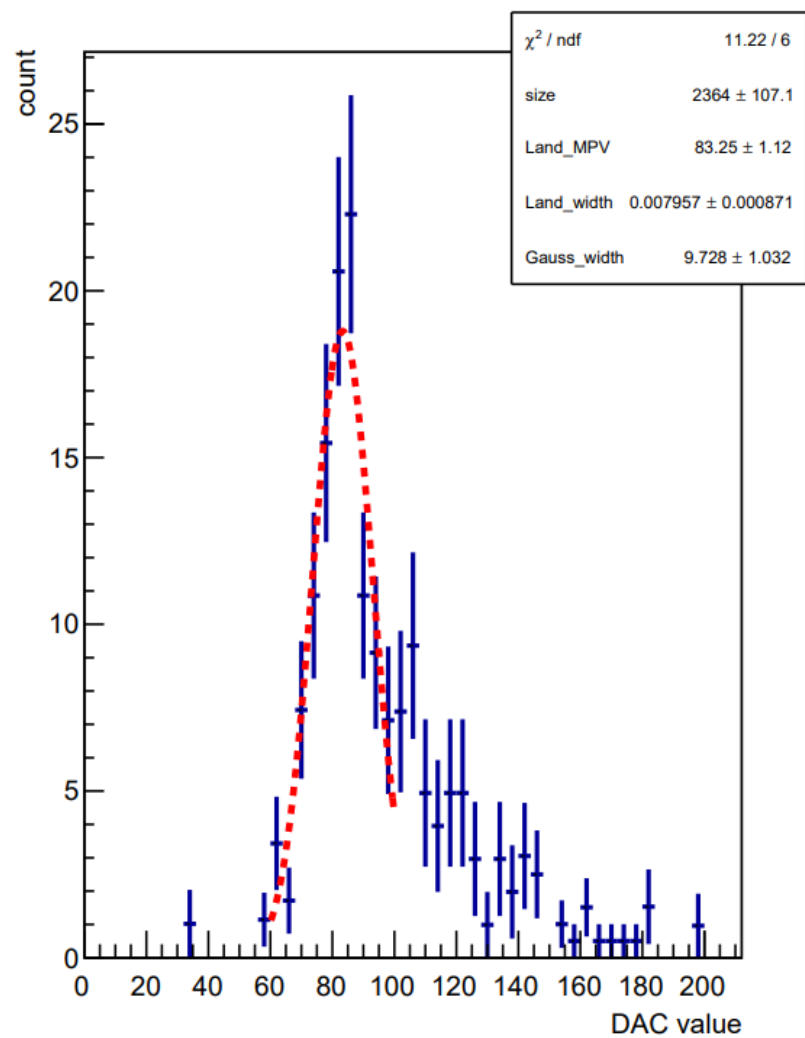
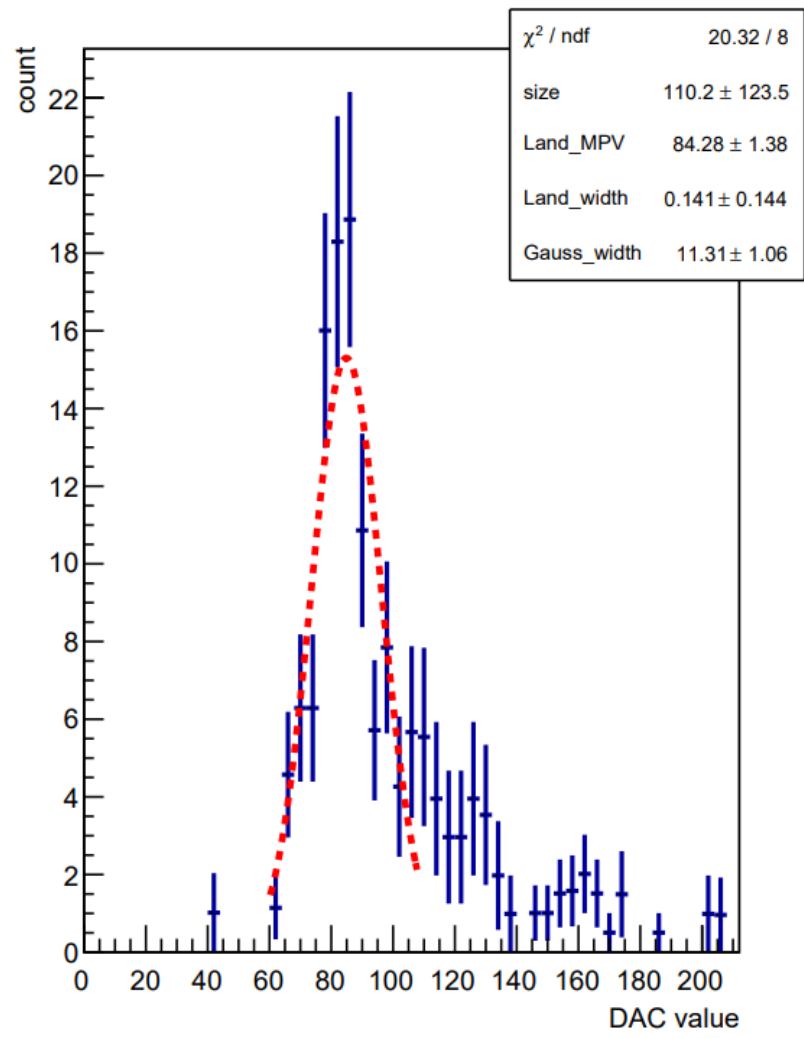
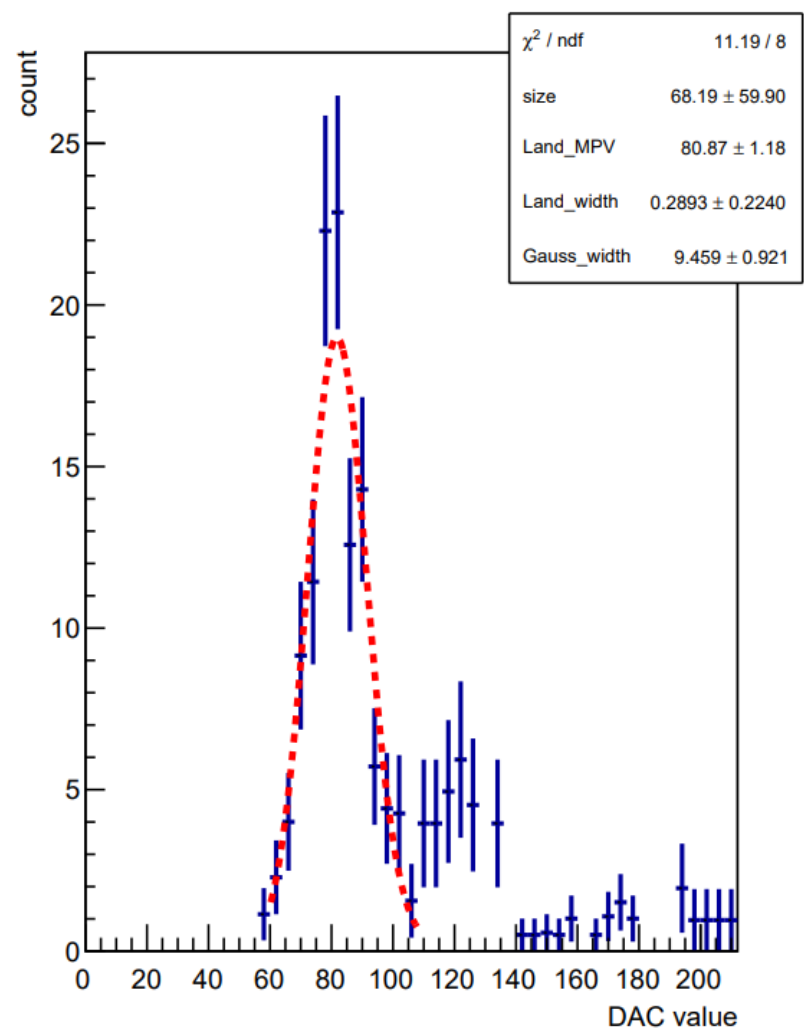
奈良女Multi(75V,100V),
クラスター数1, BWSel=8



奈良女Multi(75V,100V),
クラスター数1, BWSel=4



奈良女Multi(75V,100V),
クラスター数1, BWSel=8



奈良女Multi(75V,100V),
クラスター数1, BWSel=4

