

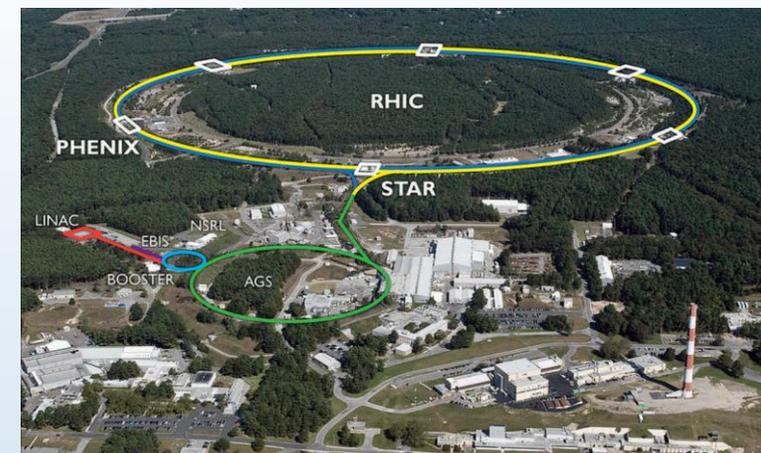
sPHENIX実験における  
中間飛跡検出器 INTT 用シリコンセンサーでの  
エネルギー損失測定の評価

Nara Women's University

M2 Yuka Sugiyama

# sPHENIX実験

2023年春よりブルックヘブン国立研究所(BNL)でsPHENIX実験が開始された。これは2000-2016年に行われたPHENIX実験を高度化したものである。



目的は、QGPにおける輸送係数の温度依存性や色電荷のデバイ遮蔽長の決定である。重イオン衝突加速器RHICを用いて金原子核対(200GeV)、陽子対(510GeV)を衝突させ、ジェット、ジェット相関、ウプシロン粒子を測定している。

クォーク・グルーオン・プラズマ(QGP)とは

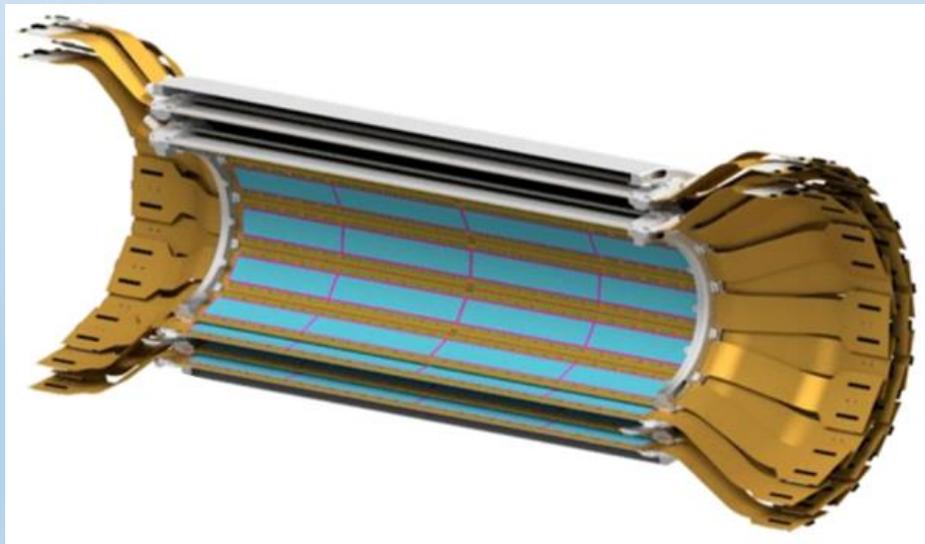
高温・高密度下で、クォークやグルーオンがハドロン内の閉じ込めから解放されたプラズマ状態のこと。ビッグバンから数 $10\mu$ 秒間の初期宇宙で実現していたと考えられる。

# 中間飛跡検出器INTT

INTTとは、sPHENIX実験で使用される3つの飛跡検出器のうちの一つであり、ビームパイプから6-12cmに位置する。

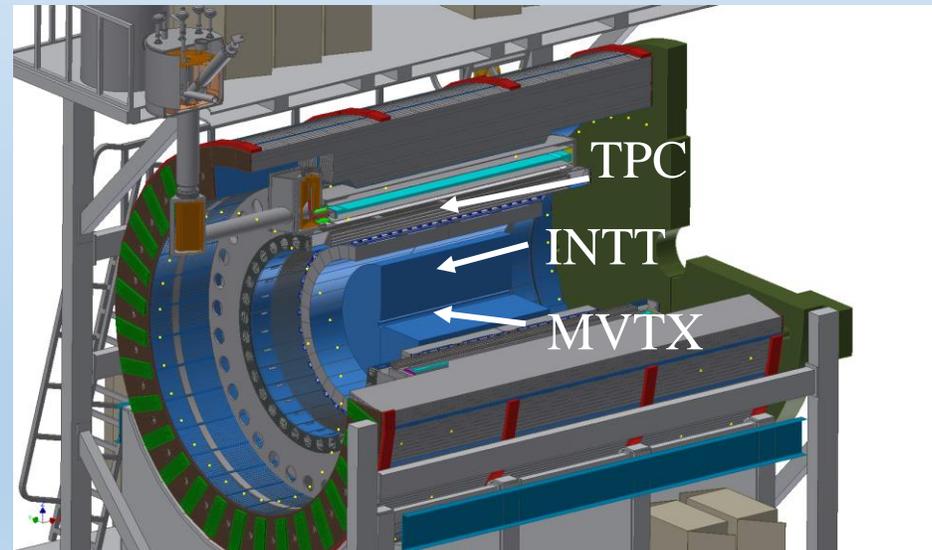
ストリップ型シリコン検出器は2層構造をとっており、樽状になっている。

時間分解能が高く、通過した粒子の飛跡を再構成する際に重要な役割を果たす。



樽状の2層構造をもつINTT

2023/9/20



sPHENIX実験における3つの飛跡検出器の位置関係

INTT JP

# 研究概要

sPHENIX実験開始にあたって、Commissioning (試運転)が行われた。

Commissioningにおいて、通過荷電粒子 (Minimum Ionizing Particle: MIP) の検出能力を評価することを目的に、エネルギー損失に関するデータ解析を行っている。

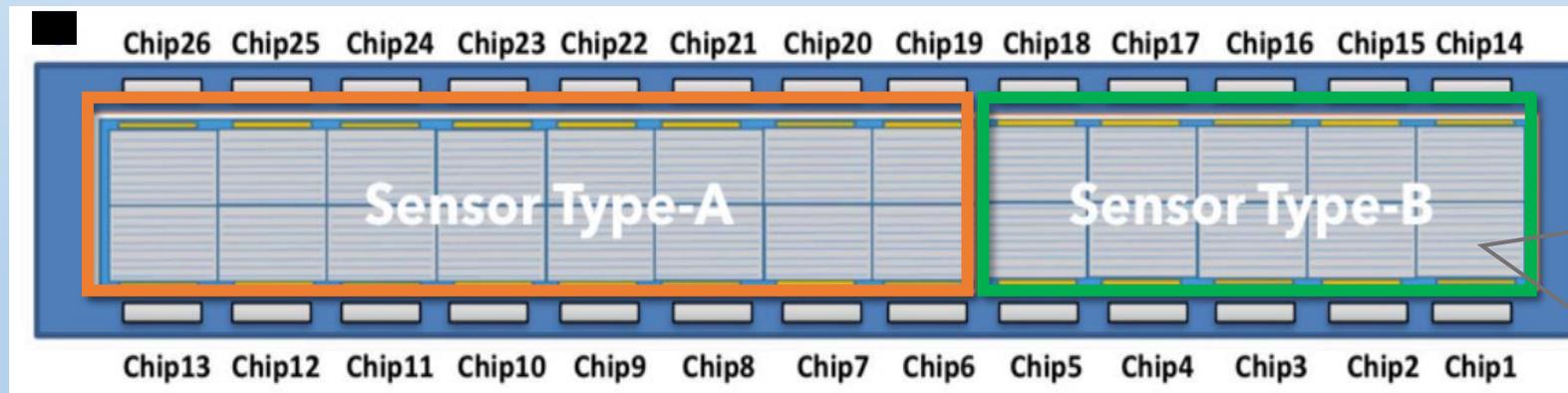
方法は、Commissioningで測定されたデータから、シリコンセンサーを通過した荷電粒子のエネルギー損失を算出し、シリコンセンサーごとに分布を求め、MIPピークについて評価する。

# INTT用シリコンセンサー

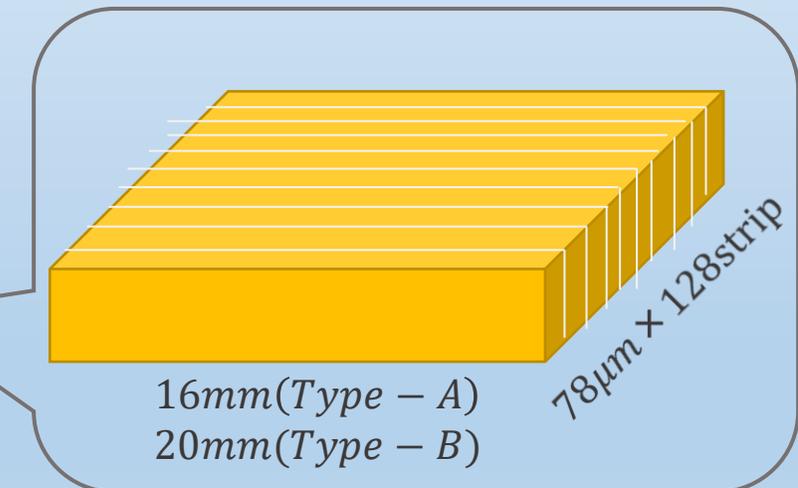
INTT 用シリコン検出器では、ストリップ型のシリコンセンサーを採用している。

シリコンセンサーはストリップ長の異なる $16\text{mm} \times 9.984\text{mm}$ (Type-A) シリコンセル  $8 \times 2$  個と、 $20\text{mm} \times 9.984\text{mm}$ (Type-B)シリコンセル  $5 \times 2$  個に分けられる。各セルは、 $78\mu\text{m}$ ピッチ、 $320\mu\text{m}$ 厚のストリップ128個で構成される。

以降、セルをChip、ストリップをChannelと呼ぶことにする。



シリコンセンサー1個の模式図



セル1個の模式図

# FPHXチップ

FPHXチップの役割は、荷電粒子を検出した際、信号の電圧値に比例した256段階のDAC値を与え、ADC=0-7までの値を割り振ることである。

通常、DAC設定={15,30,60,90,120,150,180,210}だが、この場合エネルギー分解能に優れない。

この設定を変更すれば、狭い範囲での正確なエネルギー損失曲線が得られる。

任意に設定可能

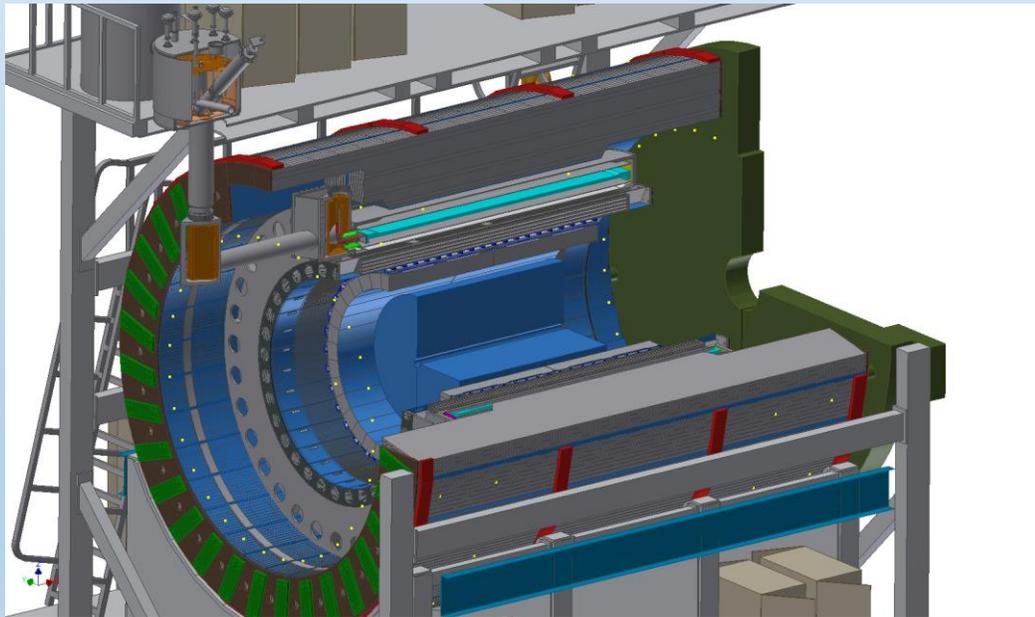
DAC	ADC
15	0
30	1
60	2
90	3
120	4
150	5
180	6
210	7

DAC値210にADC=7が割り振られる

# Commissioning

sPHENIX実験開始にあたってCommissioningが行われ、100GeVのAu-Au衝突による粒子を測定した。

INTTの検出能力について評価するために、ADC分布(エネルギー損失分布)の解析を行った。



CommissioningやsPHENIX実験で使用される検出器の全体図

# DACスキャン

目的は、DAC範囲全体で正確なADC分布(エネルギー損失分布)を求め、MIPピークを評価することである。

下記のようにDAC値を設定した。Au+Au衝突について、DAC値68-176の範囲でそれぞれ5回測定した。これらのデータを解析し、正確なADC分布を求めた。

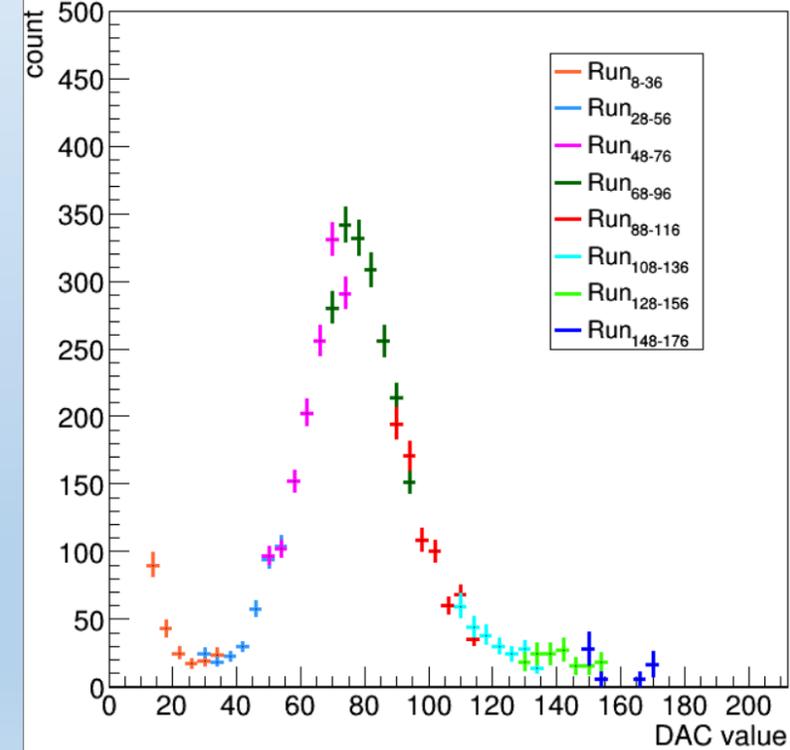
Run	Scan	DAC0	DAC1	DAC2	DAC3	DAC4	DAC5	DAC6	DAC7
21048	4	68	72	76	80	84	88	92	96
21037	5	88	92	96	100	104	108	112	116
21029	6	108	112	116	120	124	128	132	136
21019	7	128	132	136	140	144	148	152	156
21018	8	148	152	156	160	164	168	172	176

DACスキャン測定(Run)とDAC設定の関係

# 解析方法

1. イベント選定 (Hot channelにおけるヒット・Double Saving Event・ADC7ヒットクラスタ)
2. クラスタリング
3. ADC分布の作成
4. 上下のChipにおけるADC分布の足し合わせ
5. 各スキャンのADC分布の重ね書き

とある重ね書きしたADC分布とその見方



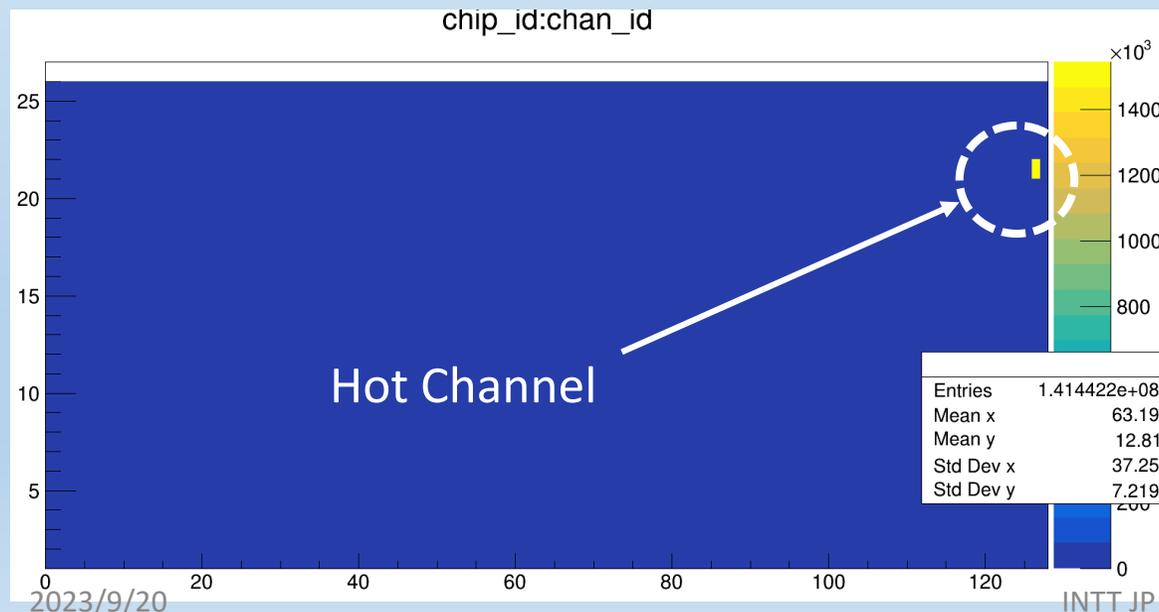
DAC値(エネルギー損失量に対応) 小 ← → 大

# イベント選定

Hot channelにおけるヒットの除去:

あるChannelで他の箇所よりも遥かにヒット数が多い場合、このChannelをHot channelと呼んでいる。

Hot channelでは、Au-Au衝突による粒子ではなくノイズである可能性が高い。そのため、Chip:Channelの2DヒストからHot channelを目視によって決定し、そのHot channelにおけるヒットを除去した。



Chip:Channel分布を用いたHot Channelの決定

# イベント選定

DSE (Double Saving Event) の除去:

通過した粒子がデータとして記録される際に、本来は1ヒットにもかかわらず不具合で全く同じヒットが2つ以上記録されることがある。これをDSEと呼んでいる。

同時刻でchip, channel, adc, moduleが同じとき、誤って記録された本ヒット以外のDSEを除去した。

BCOfull(時刻)	chip	channel	adc	module
48678	9	30	6	6
<del>48678</del>	<del>9</del>	<del>30</del>	<del>6</del>	<del>6</del> 除去

Hot channelにおけるヒットの除去例

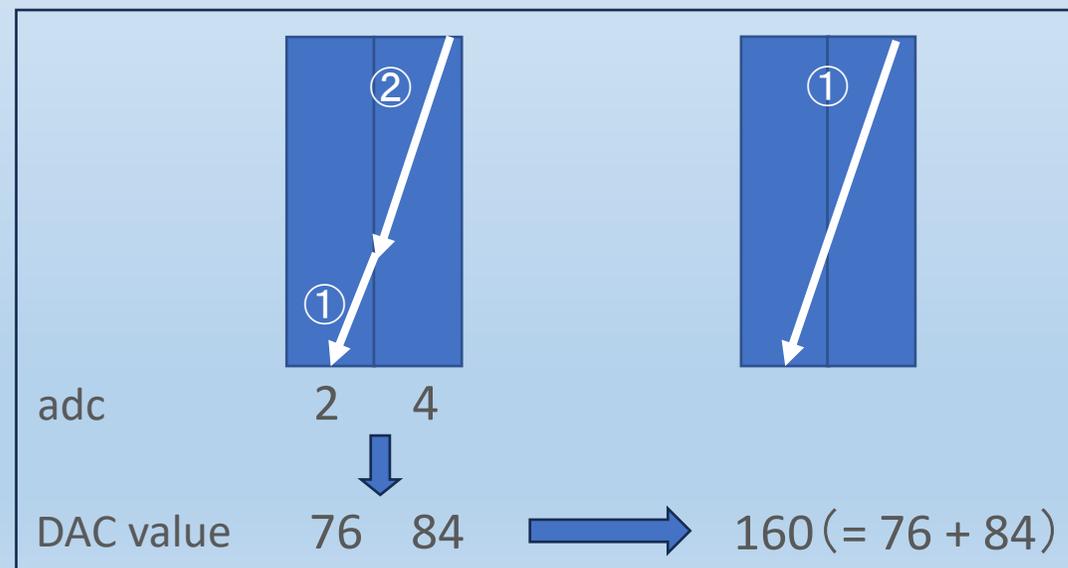
# クラスタリング

荷電粒子がシリコンセンサーに対して斜めに入射した際、複数のChannelにまたがって通過する。

データファイルでは、これらは別々のヒットとして記録されている。これを1ヒットにまとめる作業のことを、クラスタリングと呼んでいる。

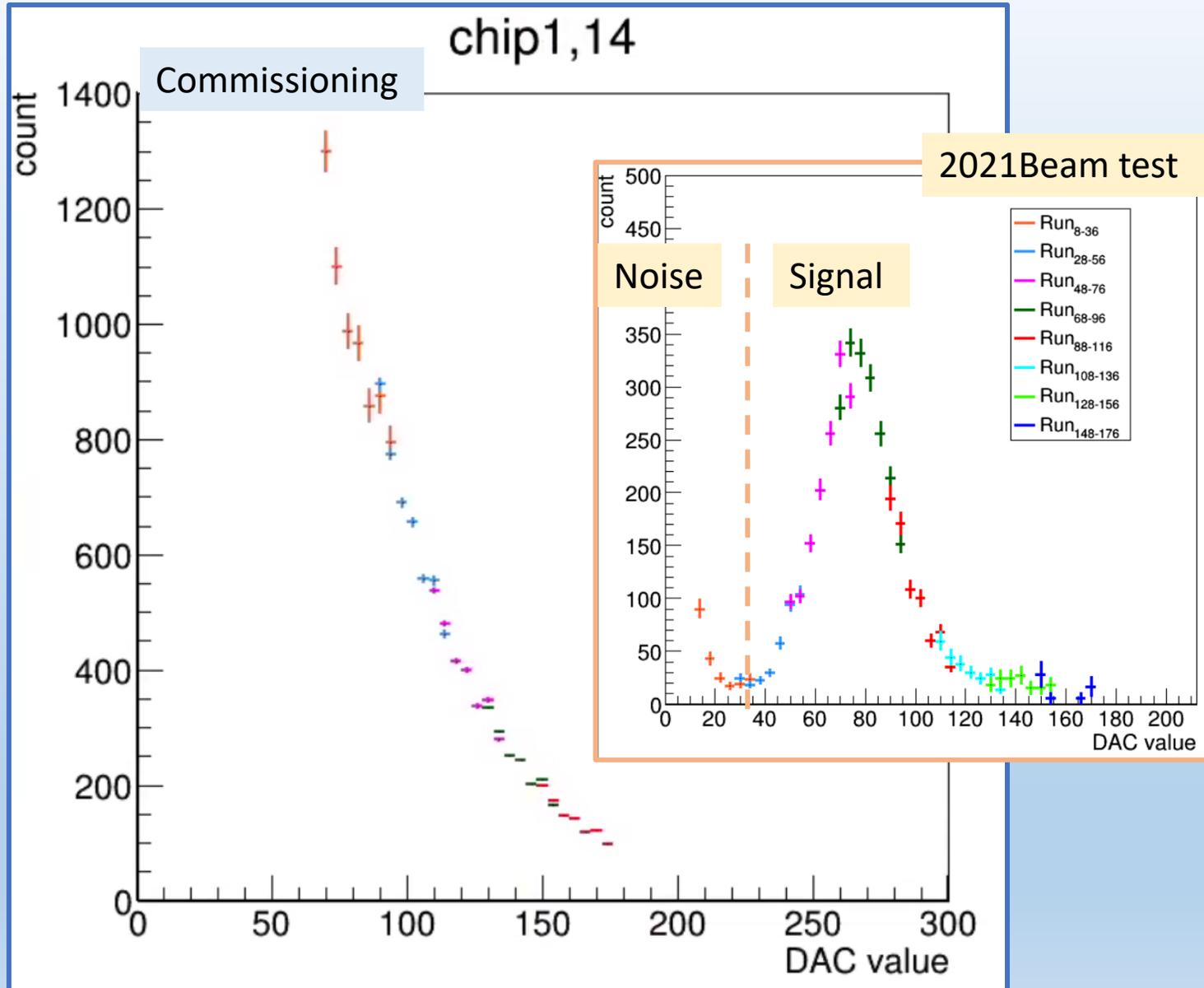
同時刻、同一chip・moduleで、隣り合ったchannelを通過したヒットに対して、クラスタリングをした。

エネルギー損失量に関しては、adcをDAC値に変換した後にそれらのDAC値を足し合わせた。



クラスタリング(1ヒット)にまとめる工程

# Chip1,14のADC分布 (Single hitクラスタ)



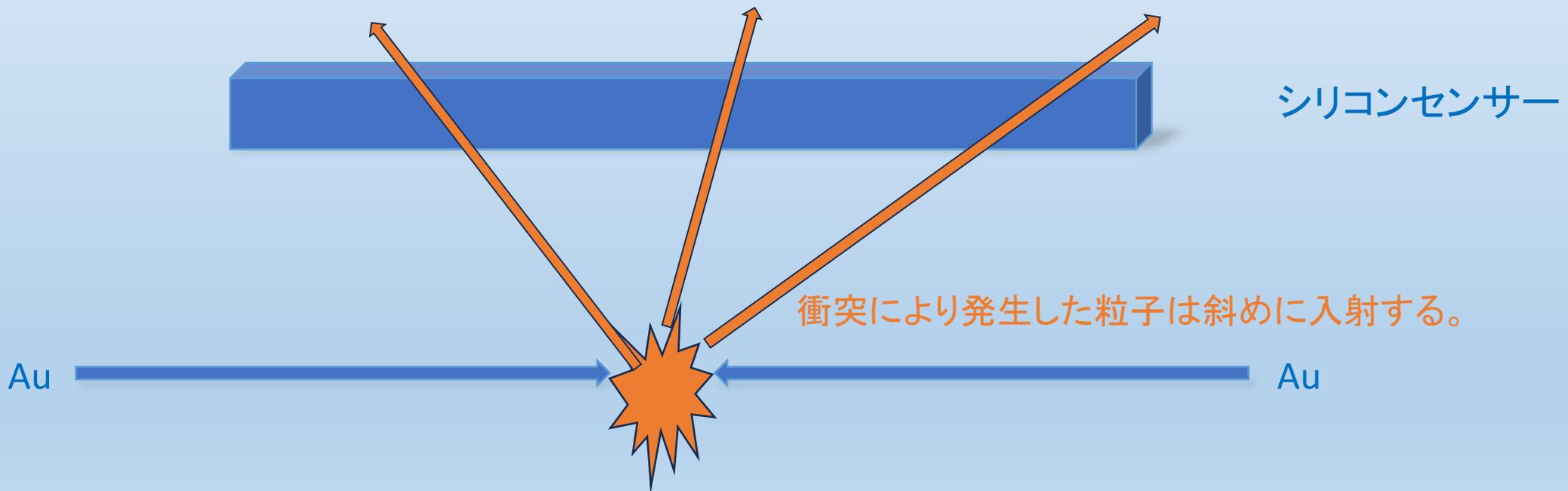
2021年のBeam testと比較すると、Commissioningではノイズが非常に多く、MIPピークを確認できなかった。

今後はノイズの発生原因を特定し、MIPピークの確認を目指す。

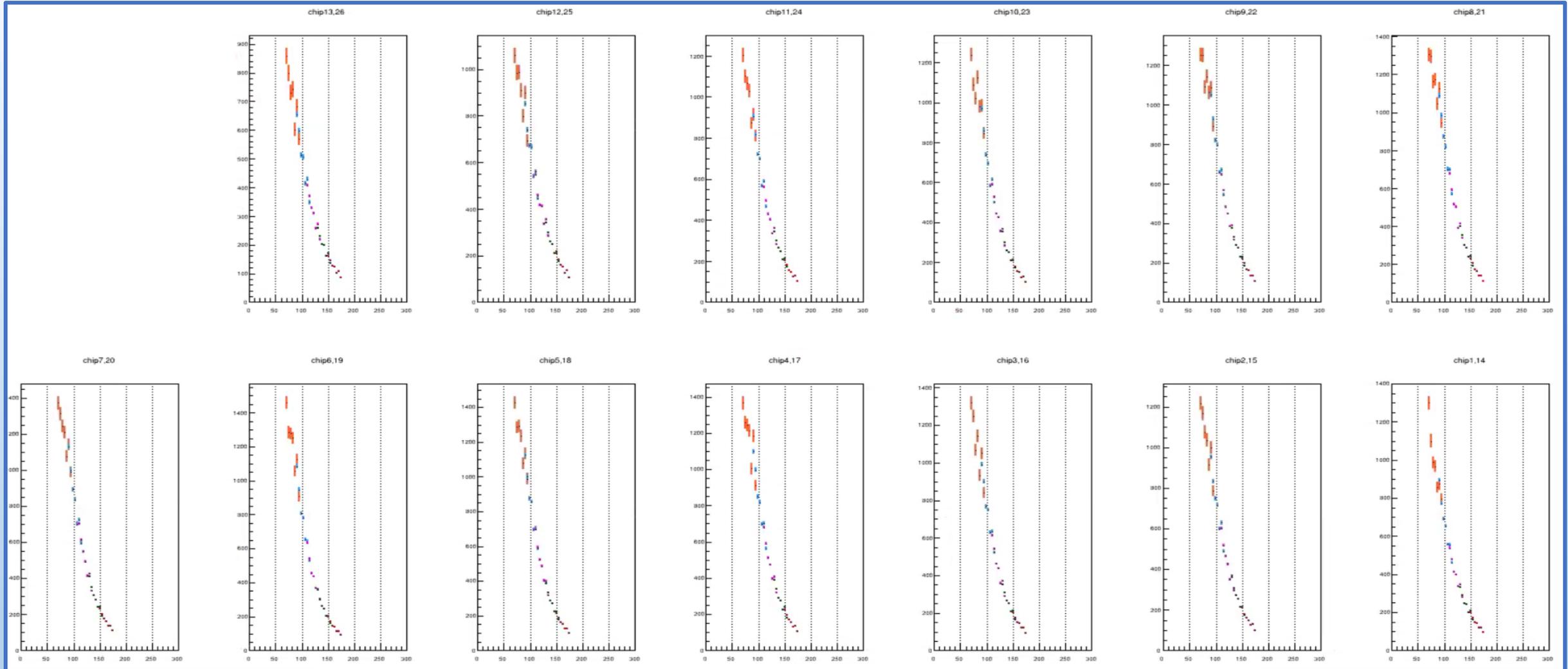
# Chip毎のADC分布

sPHENIX実験では、Au-Au衝突により発生した粒子がシリコンセンサーに対して斜めに入射する。よって、Chipの位置によって粒子の通過距離が異なると考えられる。

そこでChip毎にADC分布を求め、違いがあるかについて調べた。



# Chip毎のADC分布 (Single hitクラスタ)



Chipによってピーク的位置に大きな違いは見られない。  
この理由は、Single hitクラスタに限定しており、極端に斜めに入射する粒子がカットされているためと考えられる。

# まとめ/今後の課題

sPHENIX実験のCommissioningにおいて、INTTの検出能力を評価するためにAu-Au衝突による測定を行い、ADC(エネルギー損失)分布を解析・評価した。

Single hitクラスタのADC分布を求め、以下のことが分かった。

- MIPピークが確認された2021年のBeam testと比較すると、ノイズが非常に多くMIPピークを確認することができなかった。
- Chip毎のADC分布を比較したが、ピーク的位置や分布の形などに大きな違いは見られなかった。

今後はノイズの発生原因を特定し、MIPピークの確認を目指す。

# Back up