

J-PARC E16実験における  
RAM機能を用いたDAQシステムの改良



京都大学理学研究科物理学・宇宙物理学専攻  
原子核ハドロン物理学研究室  
長房俊之介

2024年3月25日

## 概要

クォーク3つから成るハドロンの質量は、クォークのヒッグス質量の和の100倍の大きさを持つ。この質量はカイラル対称性の自発的破れにより獲得されると考えられている。一方高密度媒質中ではカイラル対称性が回復しており、軽いベクトル中間子の質量スペクトルの変形として観測されると理論的に予言されている。KEK-PS E325 実験は12 GeV pA 反応を用いて軽いベクトル中間子の質量スペクトルを電子陽電子対崩壊チャンネルで測定し、高密度環境である原子核内部での質量スペクトルに変化があることを発見した。J-PARC E16 実験は、高強度陽子ビームで高アクセプタンスの実験を行うことでKEK-PS E325 実験に比して高統計、高分解能で質量スペクトルを測定し、物質中の質量変化に対する系統的な理解を目指す。

E16 実験では磁場中の荷電粒子の飛跡検出に、5kHz/mm<sup>2</sup> の高い計数率耐性と100 $\mu$ m の優れた水平方向位置分解能を実現するため、GEM 飛跡検出器 (GTR) を用いている。GTR のデータ取得のため、TRK-APV、SRS-ATCA と呼ばれる読み出しシステムを用いている。TRK-APV は CERN CMS tracker のために開発された APV25 チップを用いた回路であり、この回路により整形、増幅されたデータを後段のデジタイザである SRS-ATCA で受け、データ取得を行っている。

E16 の DAQ では、2021 年に行われたコミッショニングランでのデータ取得で DAQ 効率が15%と非常に低い値に留まることが判明していた。これは、J-PARC 高運動量ビームラインにおけるビーム時間構造による、トリガーレートの瞬間的な増加に起因する。この問題の解決のため、E16 実験ではビームの改善と並行して DAQ の改善を行い、DAQ 効率の向上を計画をした。

本研究では E16 実験の DAQ のボトルネックとなっていた GEM 飛跡検出器の DAQ の改良を行い、ビームタイムでの新ファームウェアの性能評価、物理トリガーでのデータ取得効率の評価を行った。ボトルネックとなる GEM 検出器のデータ収集システムの改善により、live time をスピル (1 スピルは2秒) あたり4k イベントのレートの元で~30% から~80%まで改善させた。また、物理トリガーでのデータ取得においては~15%から~45%までの改善見込みが得られた。

# 目次

<b>第1章</b>	<b>序論</b>	<b>4</b>
1.1	量子色力学	4
1.2	ハドロン質量の生成機構	5
1.3	QCD 和則	6
1.4	先行研究	8
1.5	J-PARC E16 実験	10
1.6	本論文の目的と構成	11
<b>第2章</b>	<b>J-PARC E16 実験</b>	<b>12</b>
2.1	実験施設	12
2.1.1	J-PARC 実験施設	12
2.1.2	J-PARC 高運動量ビームライン	13
2.2	E16 実験スペクトロメータ	14
2.3	E16 DAQ	23
2.3.1	STS 読み出し回路	24
2.3.2	GTR、HBD 読み出し回路	27
2.3.3	LG 読み出し回路	35
2.4	トリガーシステム	36
2.5	E16 実験のステージングプラン	37
<b>第3章</b>	<b>コミッショニングランでの DAQ 性能評価</b>	<b>39</b>
3.1	DAQ 性能	39
3.1.1	DAQ 性能の目標値	39
3.1.2	Run0c 時点での DAQ 効率	39
3.2	DAQ ライブタイムの低下	39
3.2.1	スピル構造	39
3.3	DAQ 改善目標	41
<b>第4章</b>	<b>DAQ 効率改善</b>	<b>43</b>
4.1	開発目標	43
4.2	改良方法の決定	43
4.3	実装方針	44
4.3.1	バッファリング位置	44
4.3.2	ZS-CMC モジュールからの読み出し方法について	45
4.3.3	改善見積もり	45
4.4	RAM バッファリングシステムの実装	46

4.4.1	Xilinx IP core, Memory Interface generator . . . . .	46
4.4.2	RAM の仕様 . . . . .	46
4.4.3	RAM data format について . . . . .	47
4.4.4	RAM address usage について . . . . .	48
4.4.5	実装アルゴリズムについて . . . . .	49
4.5	RAM 実効帯域見積もり . . . . .	51
4.5.1	方法 . . . . .	51
4.5.2	結果 . . . . .	52
<b>第 5 章</b>	<b>E16 DAQ 性能評価</b>	<b>53</b>
5.1	ビームによる評価 . . . . .	53
5.1.1	Run0d での DAQ 設定について . . . . .	53
5.1.2	IM3 トリガーについて . . . . .	53
5.1.3	結果 . . . . .	54
5.1.4	考察 . . . . .	58
5.1.5	エラーレートの評価 . . . . .	62
5.2	周期トリガーデータによる評価 . . . . .	62
5.2.1	実験方法 . . . . .	63
5.2.2	結果 . . . . .	63
<b>第 6 章</b>	<b>議論と展望</b>	<b>67</b>
6.1	物理トリガーでの DAQ 効率見積もり . . . . .	67
6.1.1	評価モデル . . . . .	67
6.1.2	DAQ 効率評価 . . . . .	67
6.2	SRS-ATCA ゼロサプレスのデータ削減率 . . . . .	68
6.3	J-PARC ハドロンビームラインでのスピルサイクル変更の影響 . . . . .	70
6.4	今後の開発 . . . . .	71
6.4.1	SRS-ATCA のゼロサプレスを用いたデータ取得 . . . . .	71
6.4.2	SRS-ATCA の改良項目 . . . . .	71
6.4.3	TRG-MRG 由来のビジーの改善 . . . . .	72
6.4.4	新規 GEM 読み出しボード . . . . .	72
<b>第 7 章</b>	<b>結論</b>	<b>73</b>
<b>付録 A</b>	<b>SAMIDARE ボード</b>	<b>74</b>
A.1	新規 GEM 読み出しボードの開発 . . . . .	74
A.2	SPADI-Aliance について . . . . .	74
A.3	SAMIDARE ボードの開発 . . . . .	75
A.3.1	SAMPA チップ . . . . .	75
A.4	ストリーミング DAQ について . . . . .	75
<b>付録 B</b>	<b>ビジー構造</b>	<b>76</b>



付 録 C ビーム構造が無い場合の DAQ 効率見積もり	78
C.1 第 0 近似 . . . . .	78
C.2 期待値での計算 . . . . .	78
C.3 ビジー長さ vs DAQ 効率 . . . . .	78

# 第1章 序論

本章では、J-PARC E16 実験 (以下、E16 実験) の物理的背景および先行研究、E16 実験の目的について述べる。

## 1.1 量子色力学

自然界には強い相互作用、弱い相互作用、電磁相互作用、重力の4種類の自然相互作用が存在する。このうち、強い相互作用をする複合粒子がハドロンである。強い相互作用の基礎理論は「色」の自由度を使ったゲージ場の理論で与えられることが分かっており、その理論が量子色力学 (Quantum Chromodynamics: QCD) である。QCD はクォーク場とグルーオン場を使って書かれたものであり、QCD のラグランジアンは以下のように書ける。[1]

$$\mathcal{L}^{\text{cl}} = \bar{q}(i\gamma^\mu D_\mu - \mathbf{m})q - \frac{1}{4}F_{\mu\nu}^a F_a^{\mu\nu} \quad (1.1)$$

ここで、

$$D_\mu = \partial_\mu + igt^a A_\mu^a \quad (1.2)$$

$$F_{\mu\nu}^a = \partial_\mu A_\nu^a - \partial_\nu A_\mu^a + gf_{abc}A_\mu^b A_\nu^c \quad (1.3)$$

であり、 $q = t(u, d, s, c, b, t)$  はクォーク場、 $m = \text{diag}(m_u, m_d, m_s, \dots)$  はクォークの質量、 $g$  は無次元の結合定数、 $\gamma^\mu$  はディラック場の  $\gamma$  行列、 $f_{abc}$  は SU(3) の結合定数である。 $a, b, c = 1, 2, 3, \dots, 8$  は SU(3) の随伴行列の自由度を走る添え字である。このラグランジアンは古典場のラグランジアンである。量子効果の高次項に現れる発散を処理するために正則化および繰り込みをしなければならない。その過程でエネルギースケール (くりこみ点)  $\mu$  が導入され、結合定数  $g$  は  $\mu$  に依存するようになる。摂動論の範囲では物理量の  $\mu$  依存性は次のくりこみ群方程式で与えられる。

$$\mu^2 \frac{d}{d\mu^2} \alpha_s(\mu) = \beta(\alpha_s) = -(b_0 \alpha_s^2 + b_1 \alpha_s^3 + b_2 \alpha_s^4 + \dots) \quad (1.4)$$

ただし、

$$b_0 = (11 - 2N_F/3)/(4\pi), b_1 = (153 - 19N_F)/(24\pi^2). \quad (1.5)$$

ここに、 $N_F$  はフレーバーの数である。くりこみ処方に依存する  $b_2$  以降の高次項はここには書かない。 $\beta(\alpha_s) < 0$  のため、 $\mu \rightarrow \infty$  のとき  $\alpha_s(\mu^2) \rightarrow 0$  となる。これを漸近自由性という。

$\alpha_s(\mu^2)$  はある繰りこみ点での値が決まればすべての  $\mu^2$  依存性が定まるので、一般的にパラメータとして標準模型に現れる  $z$  ボゾンの質量 ( $M_Z = 91.2\text{GeV}$ ) に対応するスケール

を用いる。さまざまな測定の平均により  $\alpha_s(M_Z^2)$  の値を  $\alpha_s(M_Z^2) = 0.1180 \pm 0.0009$  と定めた時の結合定数のスケール依存性を図 1.1 に示す。

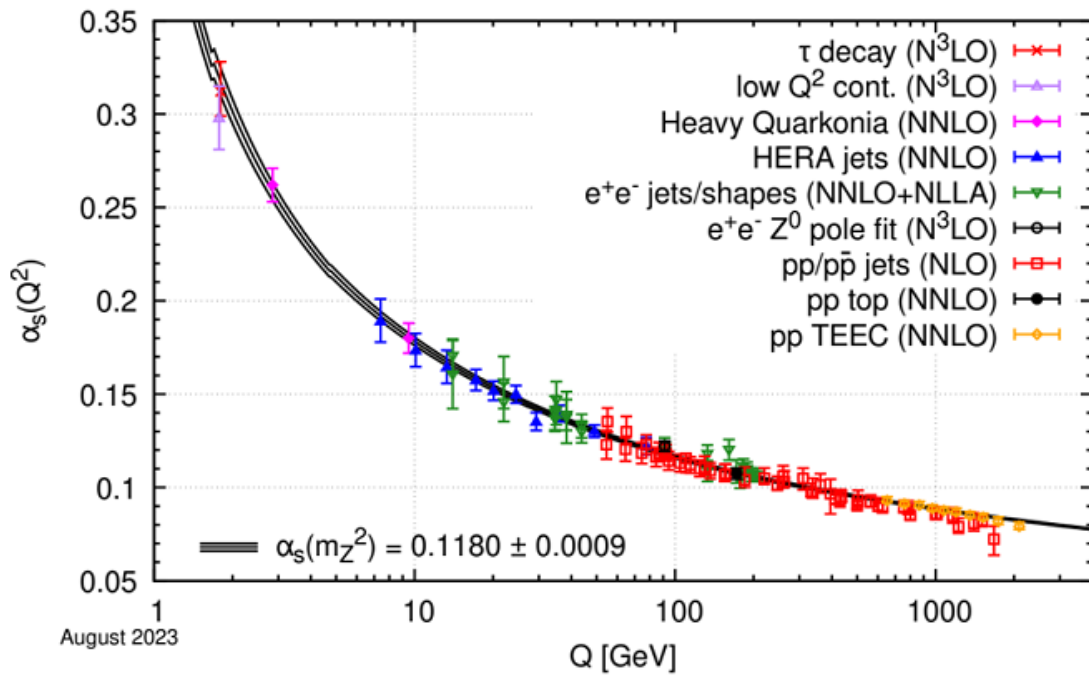


図 1.1: QCD の結合定数  $\alpha_s$  の値をエネルギースケール  $Q$  の関数として表示した図 [2]。

漸近自由性により、高エネルギー領域では  $\alpha_s$  が小さくなり QCD が摂動論で扱えるようになる一方で、図 1.1 から分かるように低エネルギー領域では結合定数が大きくなり、非摂動論的なふるまいを見せるようになる。QCD からこの非摂動論的なふるまいを解析的に理解することは困難であり、物理量の計算は格子 QCD による数値計算や有効理論を用いたハドロンモデルにより為されている。

## 1.2 ハドロン質量の生成機構

真空中のハドロン質量の大部分はカイラル対称性の自発的破れとそれに伴うクォーク凝縮によって発生すると考えられている。そして、このクォーク凝縮の値は有限温度、有限密度環境下で対称性の自発的破れが部分的に回復することにより小さくなると考えられる。QCD の有効理論である NJL(Nambu-Jona-Lasinio) 模型は、フェルミオンのみでラグランジアンを構成する。カイラル対称性の自発的破れを記述でき、QCD のカイラル対称性に関する性質が反映される。図 1.2 にこの NJL 模型を用いて計算されたクォーク凝縮の期待値に対する密度、温度依存性を示す [3]。これによると温度に対しては臨界温度  $T_c$  付近では相転移的なふるまいを示すのに対し、密度に対しては線形なふるまいを示すことが分かる。

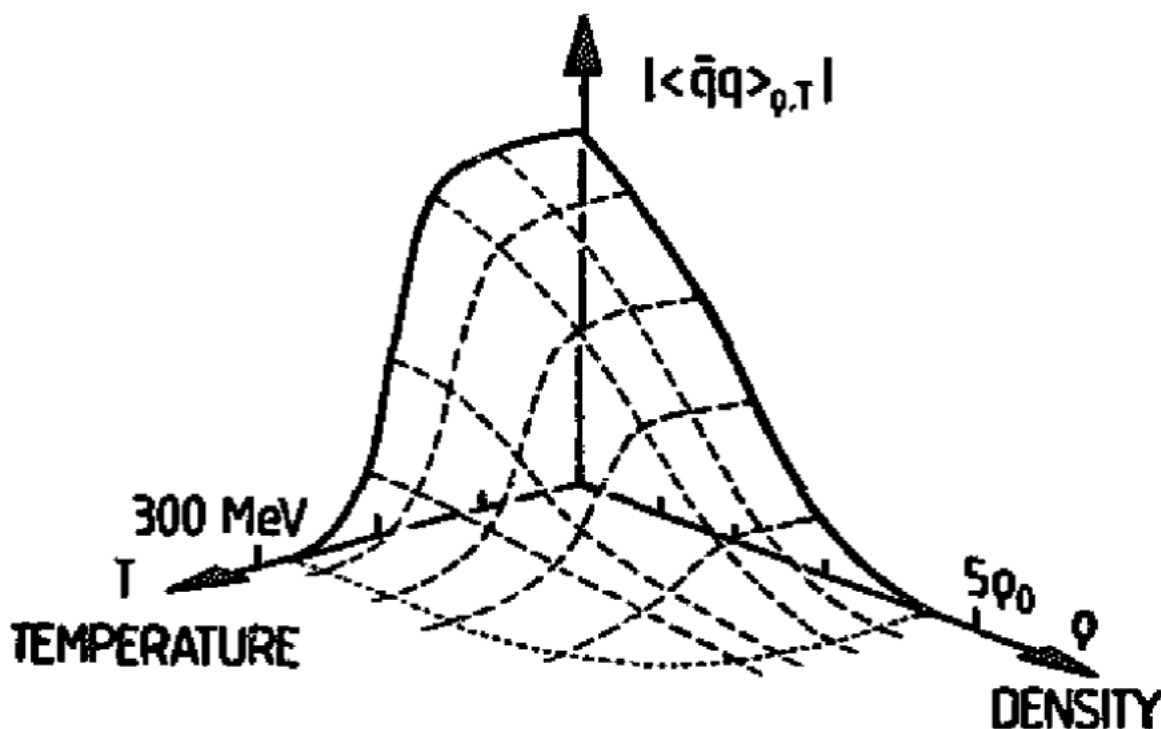


図 1.2: クォーク凝縮の密度、温度依存性 [3]

### 1.3 QCD 和則

上記のハドロンの質量獲得機構の実験的証明のため、真空中のクォーク凝縮量  $\langle \bar{q}q \rangle$  の評価が必要となる。しかし、クォーク凝縮量は直接の測定が出来ないため、クォーク凝縮量と測定可能な物理量とを結びつける理論が必須である。そのための手法として、Shifman[4]らによって提唱された QCD 和則の手法が挙げられる。QCD 和則は非摂動的な計算手法であり、分散式と演算子展開を用いてハドロンの質量とクォーク・グルーオン凝縮との関係式を与える。この手法の特徴は、摂動部分は解析的に計算でき、非摂動的な真空期待値は現象論的なパラメータとみなすが、その値は過程に依存しない普遍的な定数であると考えて物理量を求める点である [5]。初田、Lee による QCD 和則を用いた方法 [6] では、図 1.3 に示すように、原子核密度において  $\rho, \omega$  中間子で 12-180 MeV、 $\phi$  中間子で 20-40 MeV の質量減少を起こすと計算されている。

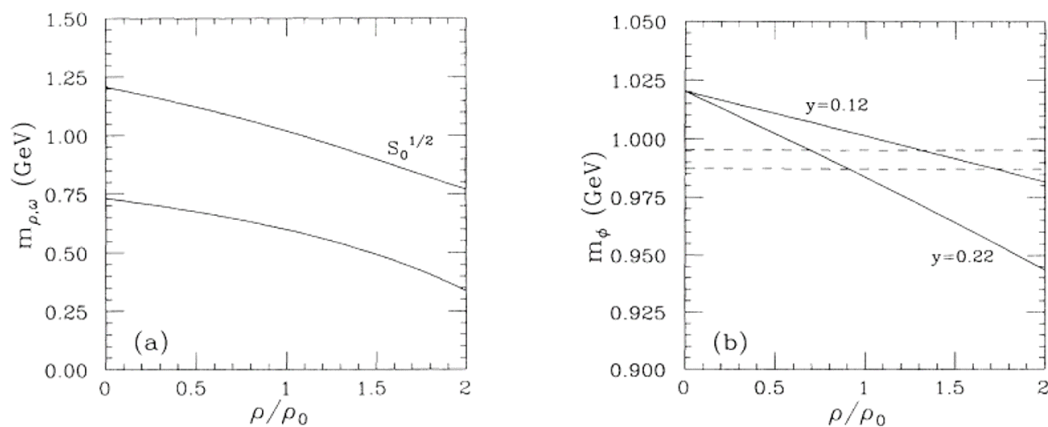


図 1.3: QCD 和則を用いて計算されたベクター中間子質量の密度依存性 [6]。左図 (a) は  $\rho$ 、 $\omega$  中間子、右図 (b) は  $\phi$  中間子の質量変化を示している。右図中の  $y$  は核子中ストレンジネス含有量を示すパラメータであり、 $y = 2\langle\bar{s}s\rangle_N / (\langle\bar{u}u\rangle_N + \langle\bar{d}d\rangle_N)$  で表される。

また、原子核中での中間子の質量と核子中のストレンジネス凝縮量との関係の導出として、Gubler、Otani により QCD 和則法と最大エントロピー法を組み合わせた計算が行われている [7]。この関係を用いて  $\phi$  中間子質量の測定によりストレンジシグマ項  $\sigma_{sN} = m_s \langle N | \bar{s}s | N \rangle$  の値を得る事が出来る。

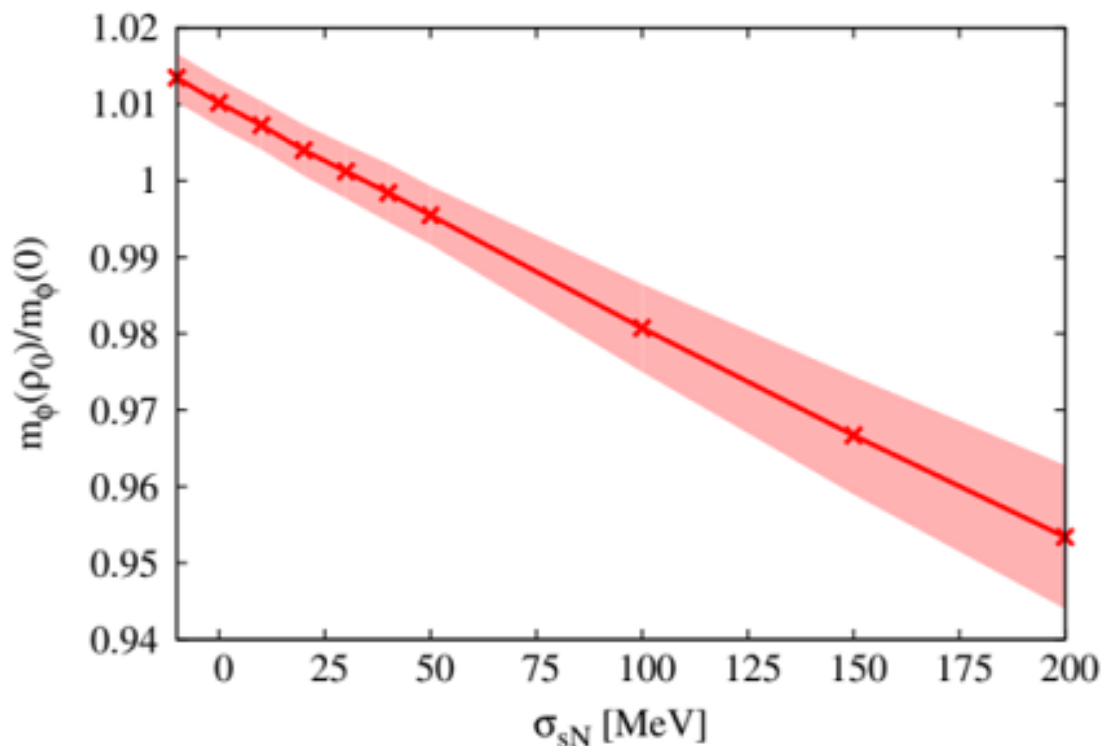


図 1.4:  $\sigma_{sN} = m_s \langle N | \bar{s}s | N \rangle$  の関数としてプロットされた原子核密度中の  $\phi$  中間子の質量ピーク位置。真空中の  $\phi$  中間子質量との比で示されている。

## 1.4 先行研究

原子核標的に陽子ビームを照射することで生成されるベクターメソンの原子核内外での崩壊の質量スペクトル変化を測定する実験として、KEK-PS E325 実験が行われた [8][9]。この実験は、KEK の陽子シンクロトロンで 12 GeV の陽子を炭素、銅の標的に当て、

$$p + A \rightarrow \rho, \omega, \phi + X \rightarrow e^+e^- + X'$$

の反応によりベクター中間子の質量スペクトルを測定した実験である。図 1.5、図 1.6 に E325 実験で得られた質量スペクトルを示す。

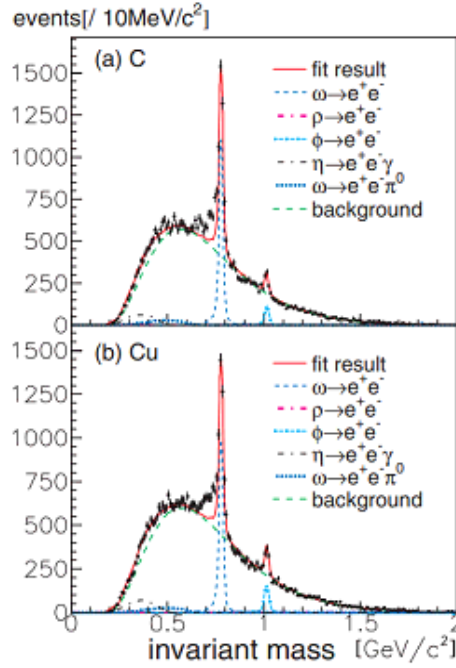


図 1.5: E325 実験で得られた全質量領域での  $e^+e^-$  の不変質量分布。[8]

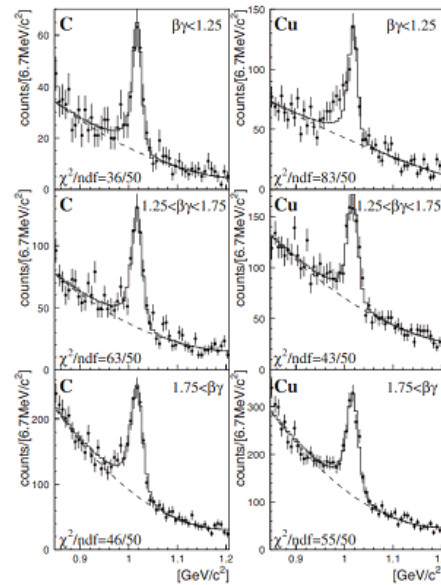


図 1.6:  $\phi$  中間子質量付近の質量スペクトル。左が C 標的、右が Cu 標的であり、速度領域ごとに縦に分かれている。 $\beta\gamma < 1.25$  の Cu 標的で、 $\phi$  中間子の低質量側に質量変化が認められる。[9]

図 1.5 は観測された  $e^+e^-$  の不変質量分布の図であり、良く知られるハドロン崩壊過程である  $\omega \rightarrow e^+e^-$ 、 $\phi \rightarrow e^+e^-$ 、 $\eta \rightarrow e^+e^- \gamma$ 、 $\omega \rightarrow e^+e^- \pi^0$  とイベントミキシング法で評価されたバックグラウンドによってフィットしたものが実線で、これに対し  $\omega$  中間子のピークの低質量側に有意な超過が見られている。この質量分布を再現するため、媒質中での質量変化を考慮に入れたモデルとデータの比較が行われた。このモデルは、[6] に従い、 $\omega$  中

間子の質量の密度依存性を以下のように 1 次式の形に仮定するものである。

$$\frac{m_\omega(\rho)}{m_\omega(0)} = 1 - k \frac{\rho}{\rho_0} \quad (1.6)$$

ここで、 $\rho$  は系の密度、 $\rho_0$  は標準原子核密度を表すものである。これを用いたフィットにより、 $k = 0.092 \pm 0.002$  という値が得られた。初田、Lee[6] の計算では  $k$  の値は  $k = 0.16 \pm 0.06$  程度との計算が為されており、この値と無矛盾な結果となる。このモデルは、標準的な原子核密度中で  $\rho/\omega$  中間子は 9% の質量減少を見せることを示す。

図 1.6 は  $\phi$  中間子質量付近の不変質量である。比較的大きい原子核である Cu 標的かつ速度の小さい  $\beta\gamma < 1.25$  領域の結果に注目すると、 $\phi$  中間子質量ピークの低質量側に有意な収量の超過が見られる。この結果はこの結果は、1.5 の評価と媒質中の質量変化に加え、崩壊幅の広がりも考慮に入れて、次の二式

$$\frac{m_\omega(\rho)}{m_\omega(0)} = 1 - k_1 \frac{\rho}{\rho_0} \quad (1.7)$$

$$\frac{m_\Gamma(\rho)}{m_\Gamma(0)} = 1 + k_2 \frac{\rho}{\rho_0} \quad (1.8)$$

を用いてフィッティングされた。これらの結果、 $k_1 = 0.034$ 、 $k_2 = 2.6$  という値を得た。これは  $\phi$  中間子に対し銅標的内で 3.4% の質量減少を起し、崩壊幅が 3.6 倍の増加を見せたことを示す。

E325 実験の他に媒質中の質量変化を見るために電子ビームを用いた JLab の CLAS 実験 [10] が、重イオン衝突により生成したベクター中間子から質量スペクトルの変化を測定する実験のために CERN-SPS での CERES 実験 [11]、NA60 実験 [12] などが行われている。しかし、これらの実験では質量スペクトルの変化は観測されたものの、KEK-PS E325 実験と異なり、質量スペクトルの変化をハドロンの多体効果などによるスペクトル幅の広がりによるものと結論付けている。つまり、現状でカイラル対称性の自発的破れと直接結びつく決定的な証拠は得られていない状況にある。そこで計画されたのが J-PARC E16 実験である。

## 1.5 J-PARC E16 実験

E16 実験は J-PARC 高運動量ビームラインにおける 30 GeV 高強度陽子ビームを標的に当て、生成された軽いベクター中間子の質量スペクトルを測定することでカイラル対称性の回復を測定することを目的とした実験である。KEK-PS E325 実験で得られた質量変化の兆候は、 $\beta\gamma < 1.25$  領域における限られた核種、運動量でのデータである。E16 実験では系統的なベクター中間子の有限密度下の質量変化についての情報を得るため、KEK-PS E325 実験の約 2 倍の質量分解能、約 30 倍の統計量のデータ取得を行い、密度の効果からの質量変化を確立し、QCD 凝縮量を世界で初めて決定する。

E16 実験のスペクトロメータ、DAQ については 2 章で詳しく説明する。



## 1.6 本論文の目的と構成

E16 実験の目指す高統計のデータ収集を達成するために DAQ の改善を行った。本論文はこの DAQ の改善方法及び改善の結果、E16 実験でのデータ収集の実現可能性の評価を行うものである。

第二章に E16 実験について述べ、第三章で E16 実験が直面していた DAQ の問題の概要について述べる。続く第四章で今回行った開発の詳細について述べ、第五章でビームタイムに行った DAQ の性能評価について述べる。最後に、第六章で物理データ取得時に期待される DAQ 効率について述べる。

また、現在ガス飛跡検出器に使用している読み出し回路の生産停止に伴い、E16 実験では長期的開発として新たな読み出し基板の開発を行っている。これについて付録に記す。

## 第2章 J-PARC E16実験

本章では J-PARC E16 実験の概観を述べる。

### 2.1 実験施設

#### 2.1.1 J-PARC 実験施設

E16 実験は茨城県東海村に位置する大強度陽子加速器施設 J-PARC (Japan Proton Accelerator Research Complex) で行われる。J-PARC は日本原子力研究開発機構 (JAEA) と高エネルギー加速器研究機構 (KEK) の共同プロジェクトにより建設された。加速器施設はリニアック、RCS、MR の3つから成り、ハドロン実験施設では MR から陽子を取り出し実験を行う。それぞれの位置関係を図 2.1 に記す。



図 2.1: J-PARC の加速器群、実験施設の位置関係 [13]。

まず、水素ガスから作られる陽子 1 個と電子 2 個から成る負水素イオンプラズマの塊をリニアックで 400 MeV まで加速する。そして、RCS (Rapid-Cycling Synchrotron) への入射時に炭素の薄膜で電子をはぎ取り、陽子ビームを、RCS で 3 GeV まで加速する。この RCS で加速された陽子の大部分は MLF に送られそのまま生成標的へと輸送する。一部を MR へと送り 30 GeV へ加速する。

MR からの取り出しモードは二種類あり、パルスとして取り出す早い取り出しモード (fast extraction mode, FX)、2 秒かけて取り出す遅い取り出しモード (slow extraction mode, SX) に分けられる。この遅い取り出しモードで取り出した陽子ビームをハドロンビームラインへ送る。この陽子ビームはハドロン実験ホール内に設置された二次粒子生成標的に照射され、生成された K 中間子、 $\pi$  中間子、反陽子等の二次粒子をそれぞれの実験エリアに送り、実験に使用する。

### 2.1.2 J-PARC 高運動量ビームライン

J-PARC 高運動量陽子ビームラインは 2019 年に新設されたビームラインである。図 2.2 に高運動量ビームライン、スイッチヤード、ハドロン実験ホールの概観を示す。二次粒子生成標的 T1 の 100 m ほど上流に置かれたランバートソン磁石により、MR から取り出された陽子ビームの一部のみ分岐して取り出す。ランバートソン磁石の断面図を図 2.3 に示す。

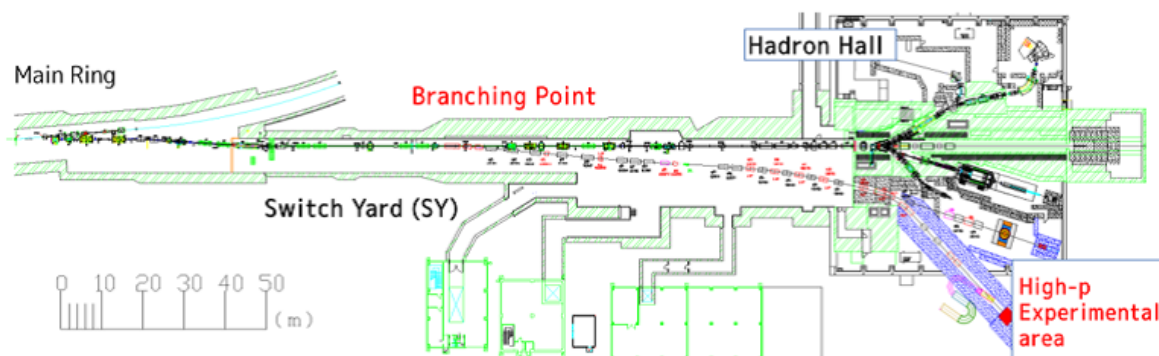


図 2.2: メインリングからの分岐 [14]。

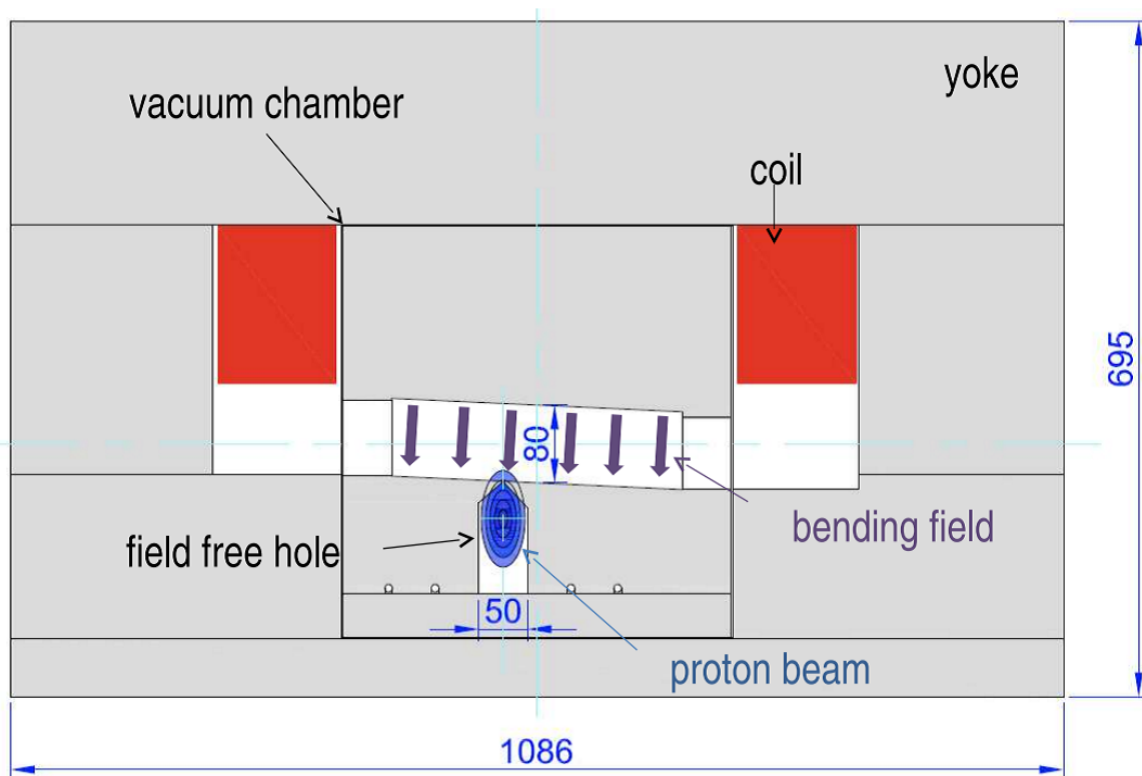


図 2.3: 高運動量ビームラインの分岐点にあるランバートソン磁石の断面図。高運動量陽子ビームラインへビームの一部を取り出す [14]。

ランバートソン磁石はビームの上部の空間にのみ磁場をかけることのできる形状をしており、陽子ビームを 0.02% 程分岐してハドロン実験ホール内の高運動量ビームラインへ陽子ビームを輸送する。残りの大部分の陽子は下部の磁場がない領域に入り、軌道の変化なく下流の生成標的まで導かれる。30 GeV、最大  $1 \times 10^{10}$  ppp (particles per pulse) の高強度陽子ビームを使用することが可能である。

## 2.2 E16 実験スペクトロメータ

原子核中のベクター中間子の電子陽電子対への崩壊の測定のため、以下に示すスペクトロメータでの測定を行う。図 2.4 にスペクトロメータのセットアップ、図 2.5 にスペクトロメータの断面図を示す。



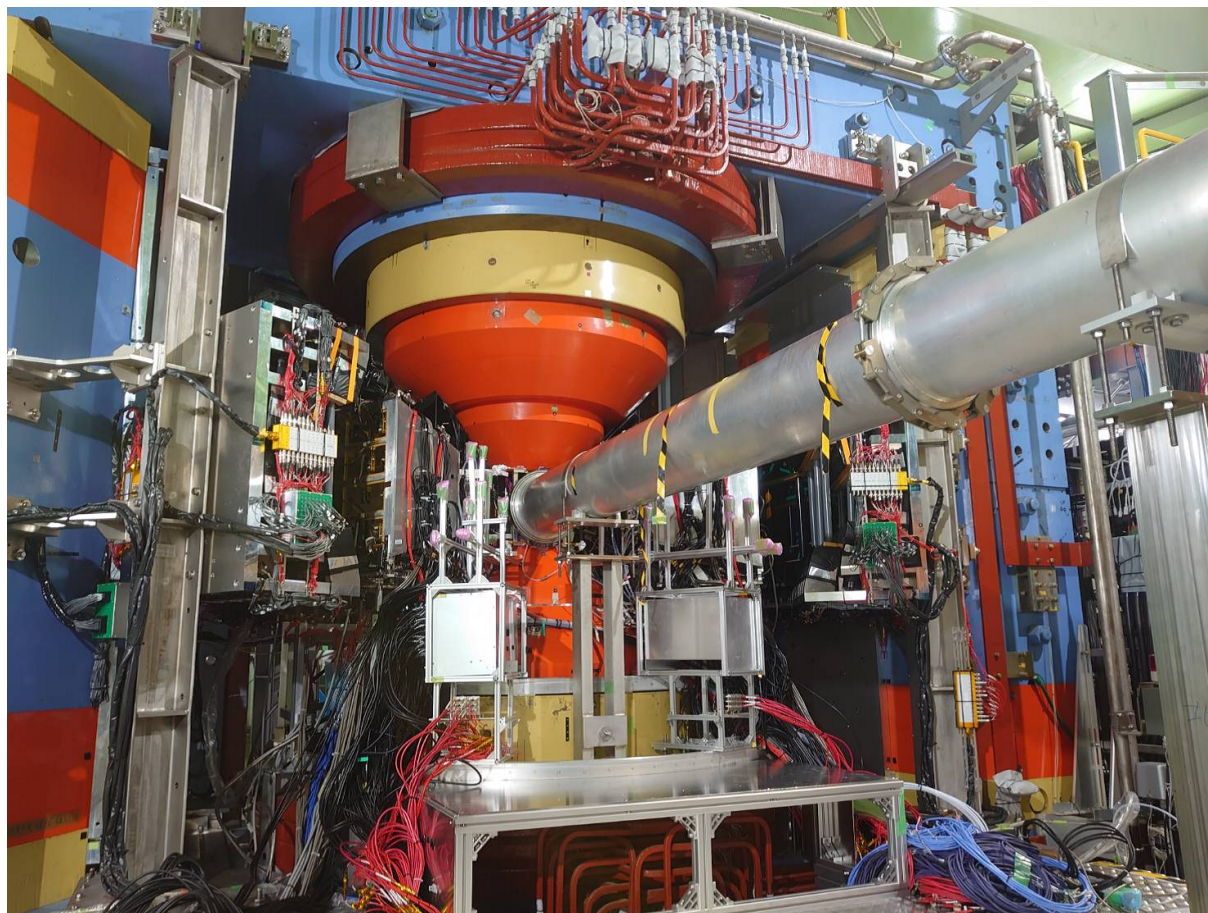


図 2.4: E16 実験のスペクトロメータ。

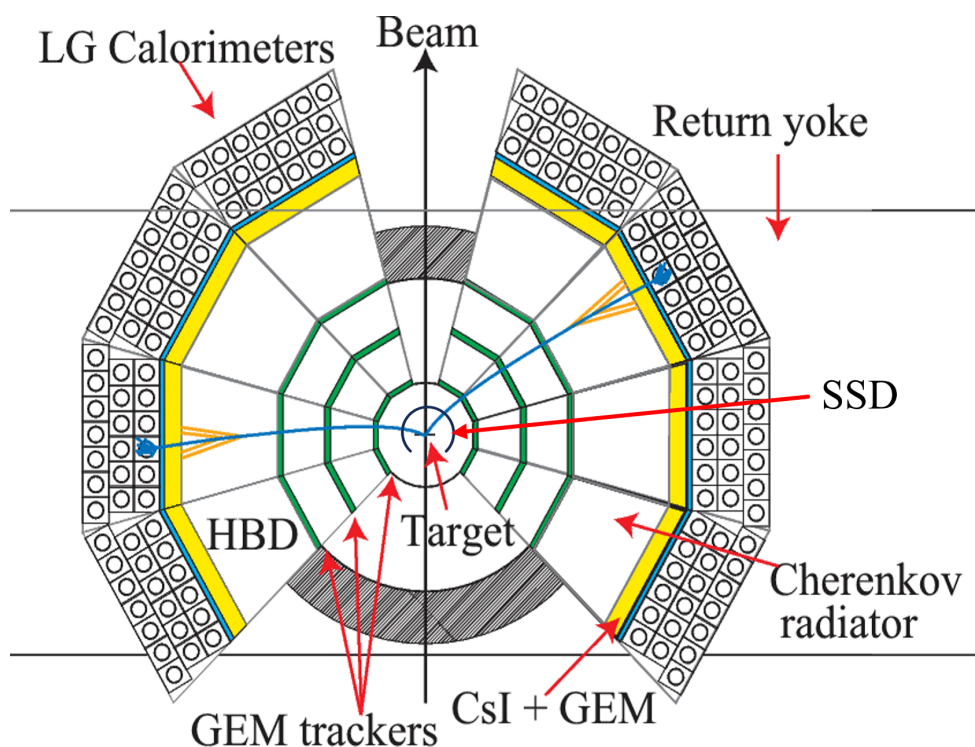


図 2.5: E16 実験のスペクトロメータの上面図。

スペクトロメータの中央から外側に向かって順に、各種標的を設置できるターゲットチェンバー、シリコンストリップ検出器 (Silicon Tracking System: STS)、GEM 飛跡検出器 (GEM Trackers: GTR)、ハドロンブラインド検出器 (Hadron Blind Cherenkov counters: HBD)、鉛ガラスカロリメータ (Lead-Glass EM calorimeters: LG) が設置されている。スペクトロメータ電磁石 (FM 電磁石) 内にこれらの検出器を配置し、飛跡検出、粒子識別を行う。STS および 3 層の GEM を用いて磁場により曲げられる荷電粒子の飛跡検出を行い、HBD と LG により電子識別を行う。以下にスペクトロメータの構成要素について述べる。

### FM 電磁石

実験で用いる検出器は FM 電磁石中の磁場環境下で用いる。実験時にコイルに流す電流は 2450 A、中心磁場は 1.77 T である。[15]

ヨークは幅 5.3 m、高さ 4.9 m、奥行 2.1 m であり、磁石間のギャップは 400 mm である。

### Silicon Tracking System: STS

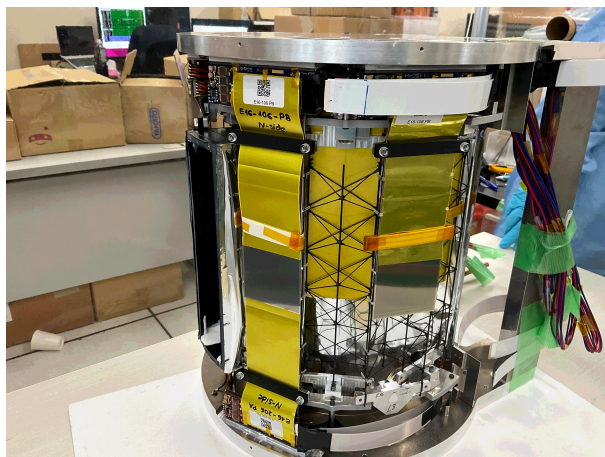


図 2.6: 2023 年 6 月に行われた Run0d で用いた STS.

STS はドイツ GSI で開発されている SSD を用いたトラッキングシステムである。SSD は位置検出用の半導体検出器であり、高い位置分解能、放射線耐性を持つ。E16 実験で用いる SSD は double-sided silicon strip detector (DSSD) である。n 型半導体の板の両面にそれぞれ n<sup>+</sup> 型半導体と p<sup>+</sup> 型半導体のストリップを配置した検出器である。n<sup>+</sup> 型半導体と p<sup>+</sup> 型半導体バルクの接合部では電子・正孔対の再結合が起こり、キャリアの存在しない空乏層が生じる。逆バイアス電圧をかけることでこの空乏層はさらに広がる。この空乏層に荷電粒子が入射すると、荷電粒子の落としたエネルギーに比例した量のキャリアが生成され、これが逆バイアス電圧によって n<sup>+</sup> 型、p<sup>+</sup> 型ストリップに収集される。

E16 実験では、GSI-FAIR の CMB 実験と共同で開発した SSD である Silicon Tracking System: STS を使用する。この SSD の性能は次の表 2.1 に示す。

表 2.1: SSD センサーの性能 [23]。

項目	数値
センサーサイズ	62 × 62 mm <sup>2</sup>
厚さ	320 μm
ストリッピピッチ	58 μm
ステレオ角	7.5 deg
ストリップ数	1024
位置分解能	15 μm
時間分解能	6 ns

図 2.6 に Run0d で用いた SSD、図 2.7 に Run0d 時に FM 電磁石内にインストールされた様子を示す。



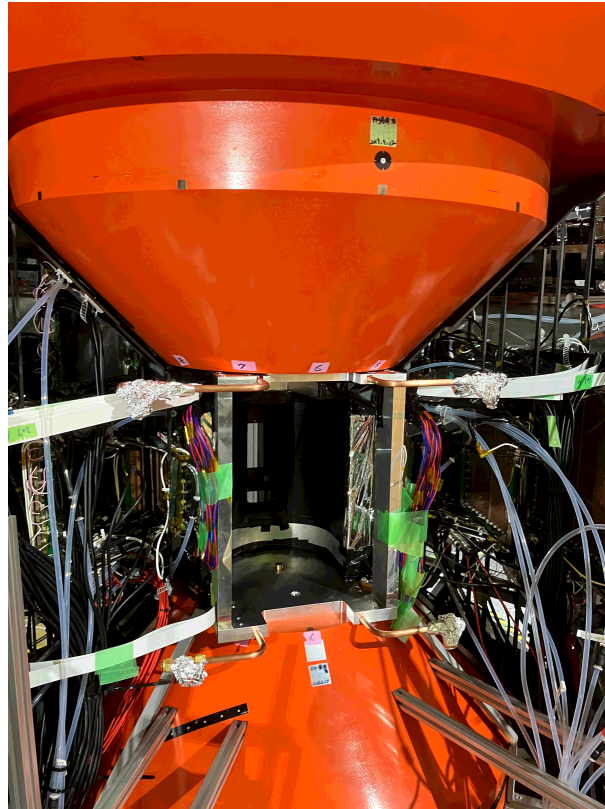


図 2.7: FM 電磁石内にインストールされた STS.

### GEM 飛跡検出器：GTR

GTR(GEM Tracker) は E16 実験で STS と共に飛跡検出を行うマイクロパターンガス検出器である。GEM(Gas Electron Multiplier) は細孔の空いた板状の検出器部品である。薄い絶縁体の両面に金属を蒸着し、細孔をあけることで作られる。蒸着された金属の間に電圧をかけることで細孔付近に図 2.8 に示すように高電場が発生し、細孔に入った電子を増幅できる。



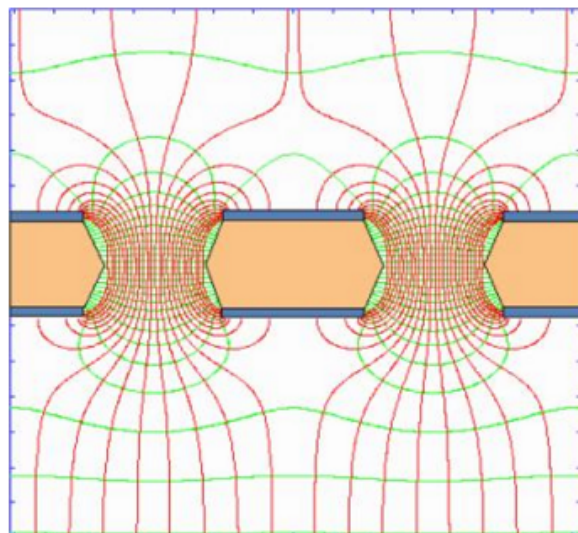


図 2.8: GEM の概念図。赤い線が電場を示す。細孔部分に高電場が発生し、これによりドリフト電子が増幅される [16]。

GTR には 100 mm×100 mm (100GTR)、200 mm×200 mm (200GTR)、300 mm×300 mm (300GTR) の 3 種類の大きさがあり、スペクトロメータの内側から小さい順にこの 3 つを並べる事で 1 モジュールを構成する。これらは炭素繊維強化性プラスチック (Carbon Fiber Reinforced Plastic, CFRP) 製のフレームに取り付けられる。GTR の外観を図 2.9 に示す。



図 2.9: CFRP フレームに取り付けられた GTR.[17]

GTRの検出原理を図2.10に示す。GTRは上からマイラー、メッシュ、3枚のGEM(Gas Electron Multiplier)、読み出しフォイル、アルミベースフレームという積層構造になっており、それぞれアルミ枠以外はガラスエポキシ製の正方形の枠に張られている。チェンバー内は混合ガス  $\text{ArCO}_2$  70/30で満たされており、入射した電子・陽電子がガス中で電離反応を起こす。1枚目のGEMからメッシュの方向にはドリフト電場が印加されており、ドリフトギャップ間で電離された電子がGEM側に輸送され、増幅される。同様にGEM間やGEM、読み出しフォイル間にも電場が印加されており、増幅された電子は読み出しフォイルに正の電荷を誘起し、読み出し回路上で負の電荷を読み取る。

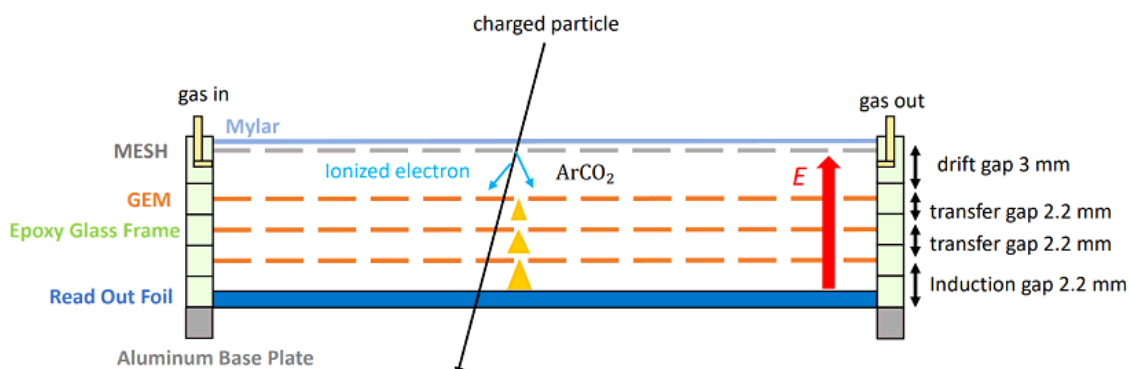


図 2.10: GTR の概念図 [17]。

読み出しフォイルは2次元の読み出しが可能である。表2.2にX、Y方向の幅、ピッチを示す。読み出しフォイルは図2.11に示すBVH(Blind Via Hole)タイプ、PI-removedタイプの二つがある [17]。

表 2.2: GTR の読み出しボードのピッチと幅 [17]。

	100GTR	200GTR	300GTR
種類		BVH	PI-removed
X ピッチ [ $\mu\text{m}$ ]		350	350
X 幅 [ $\mu\text{m}$ ]		125	70
Y ピッチ [ $\mu\text{m}$ ]		1400	1400
Y 幅 [ $\mu\text{m}$ ]		200	290

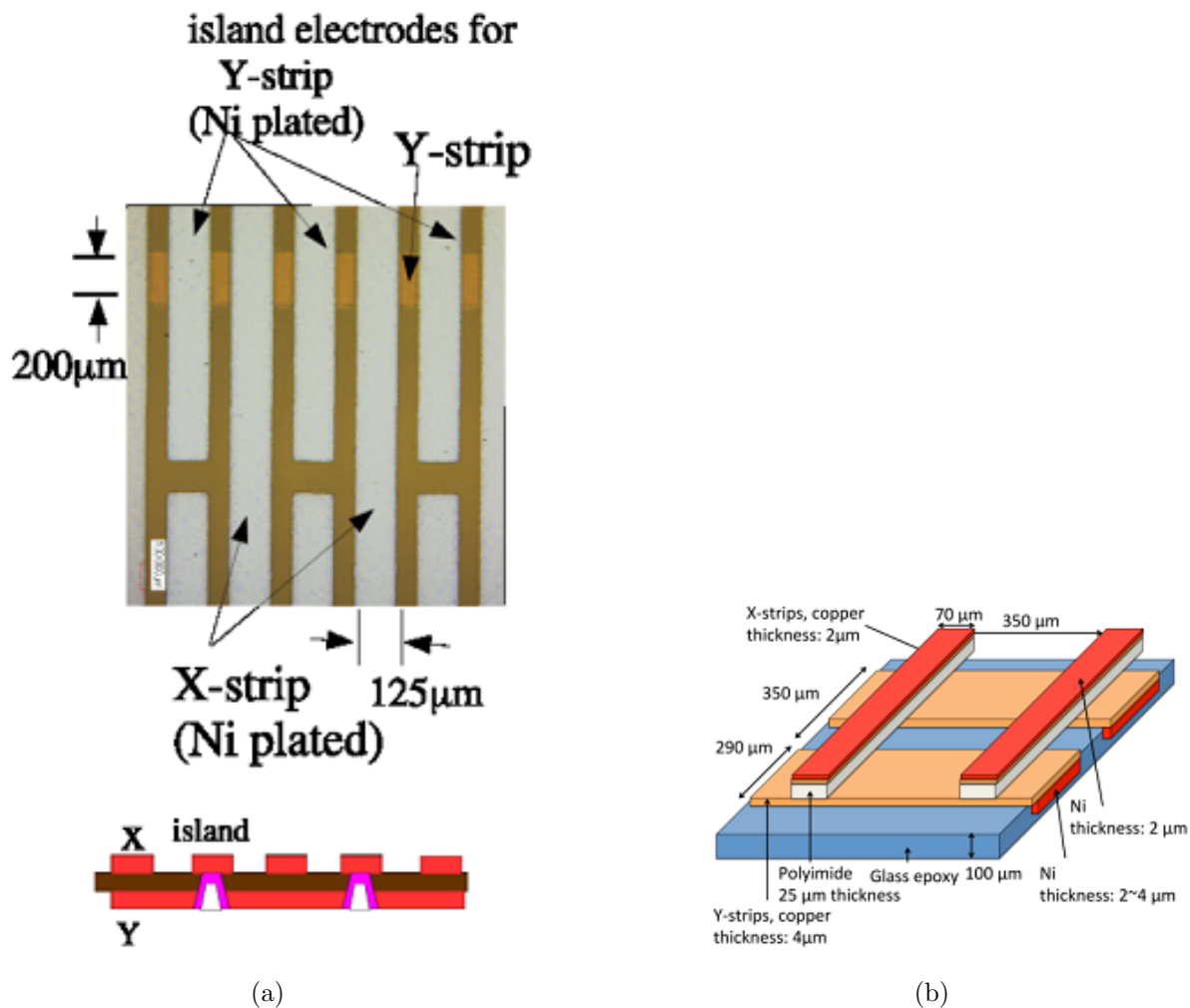


図 2.11: BVH タイプ読み出しフォイルの構造 左図 (a)、および PI-removed タイプ読み出しフォイルの構造 右図 (b)[17]。

E16 実験で物理データ取得用の電子陽電子対トリガー (以下、電子対トリガー) を作る際 LG、HBD で電子の同定を行い、これに合わせて 300GTR の  $y$  方向のコインシデンスを取る事で標的から来た飛跡を選択する。トリガー用信号は 300GTR の三枚目 GEM を 24 分割し、増幅後の電子がインダクションギャップを通過する際に GEM の裏に誘起する正の電荷から回路上で負の電荷を読み取る。

#### ハドロンブラインド検出器：HBD

HBD (Hadron Blind Detector) は LG と共に電子識別のために用いる検出器である。HBD は E16 実験の主な背景事象である荷電  $\pi$  中間子の除去を行うためのガスチェレンコフ検出器である。HBD の検出原理を図 2.12 に示す。

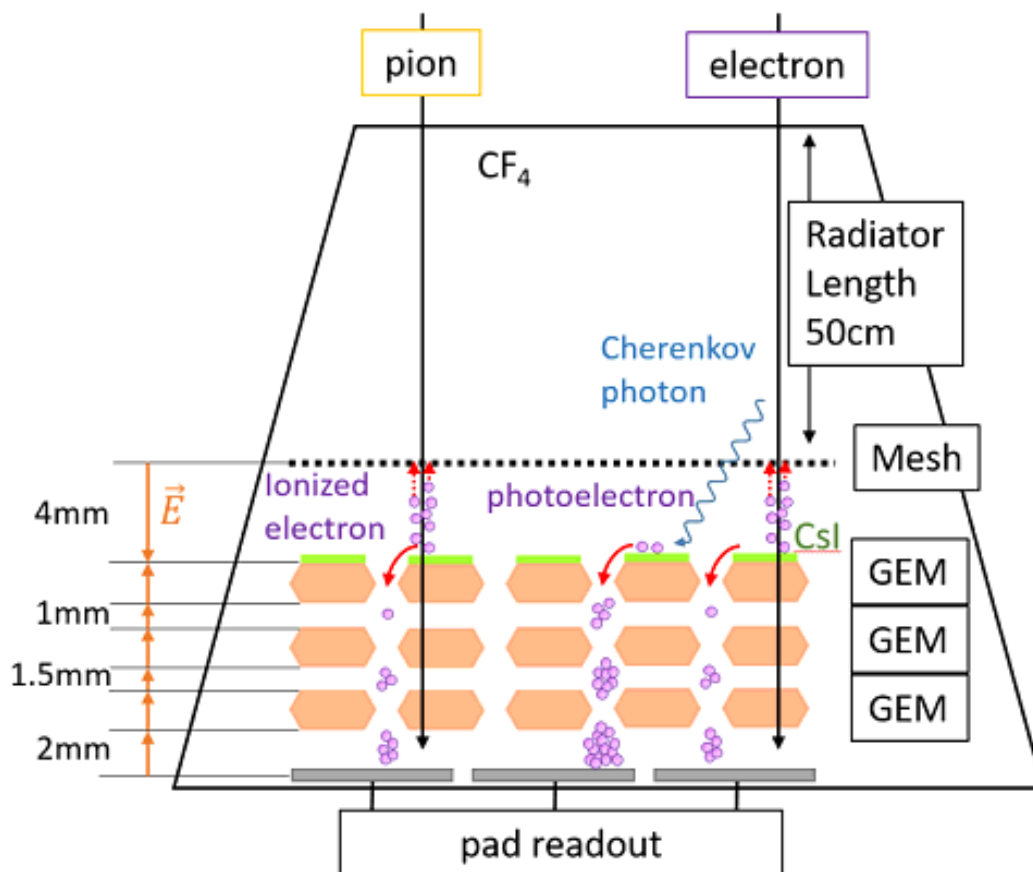


図 2.12: HBD の検出原理 [18]。

チェレンコフ光の輻射体と GEM の電子増幅ガスには  $\text{CF}_4$  を用いる。双方同じガスを用いるためガスベッセルと読み出し部分を分ける窓が不要な構造である。入射した荷電粒子はガス層でチェレンコフ放射により光子を生成し、CsI 光電面で電子に変換される。この電子を 3 段の GEM で増幅し、一辺 10mm の六角形のパッドで読み出す。チェンバー中を通る電子の出すチェレンコフ光による信号は、 $\pi$  中間子などの荷電粒子が電離によって生じさせる信号に比べ広がり複数のパッドに渡る。そのため信号が検出されたパッドの数により粒子識別が可能となる。ここで、1 段目の GEM とメッシュの間に増幅とは逆向きの電場をかけてある。このため、荷電粒子によるガスの電離で生じる電子はメッシュに吸収され、ガスの電離による電子を抑えチェレンコフ光由来の光電子のみを検出する。トリガー用信号は 3 層目の GEM の表面から読み出される。トリガーレベルでは信号の高さにより電子と  $\pi$  中間子が識別される。

#### 鉛ガラスカロリメータ：LG

LG は電子に対して高い感度を持つ電磁カロリメータである。図 2.13 にインストール後の LG の写真を示す。



図 2.13: インストールされた LG。鉛ガラスブロックに入射した電子が起こす電磁シャワーによる信号を検出する破壊測定のため、スペクトロメータの最後方に設置する

鉛ガラスブロックに入射した電子が起こす電磁シャワーによる信号を検出する。全体で 1 GHz の高い係数率に耐性を持たせるため、鉛ガラスカロリメータ全体を 1040 個にセグメント化させることで 1 ブロックの受ける粒子係数率を最大 1 MHz まで抑える。スペクトロメータ内で 0.2T 程度の高磁場環境下で使用するため、高磁場耐性のあるファインメッシュ型のダイノードを用いた光電子増倍管 (PMT) により読み出す [18]。 $\pi$  中間子と電子で発光量が大きく異なることによる粒子識別を行う。

## 2.3 E16 DAQ

E16 実験で使用している DAQ システムについて記す。E16 実験は高計数環境下での電子陽電子対の精密測定を目的としている。E16DAQ は位置分解能の向上、パイルアップの影響のオフラインでの除去のため、DAQ システムでは波形データを取得している。図 2.14 に E16 で用いている DAQ の概観を示す。図 2.14 の四角囲みは赤、青、黄色がそれぞれ検出器、波形取得用読み出しモジュール、トリガーモジュールとなっている。また、矢印は波形データ、トリガーデータについての、トリガープリミティブ、トリガーの流れを示す。



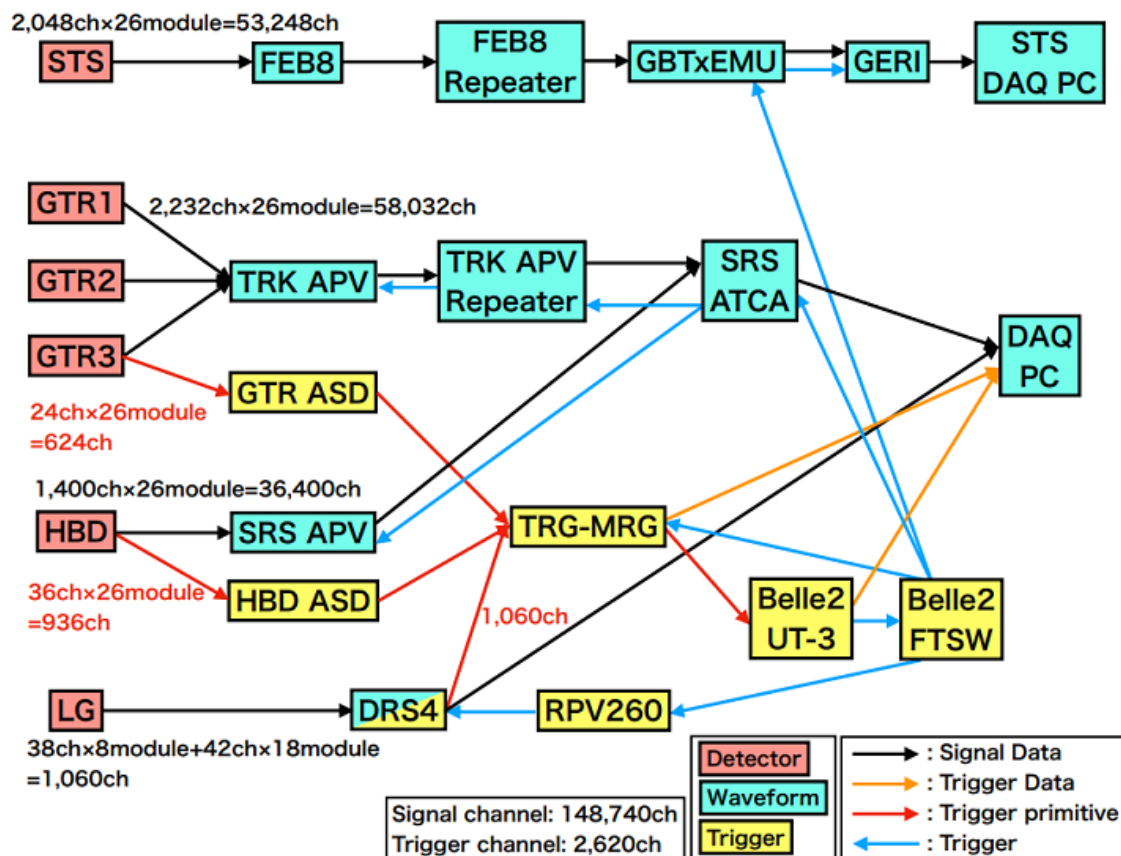


図 2.14: E16 実験の DAQ 全体図。波形データとトリガーの流れ。

読み出しのための ASIC として、GTR、HBD に APV25[19] を、LG に DRS4[20] を用いている。また、SSD の読み出しには 2021 年に行われた Run0c までは APV25 を、2023 年に行われた Run0d では STS/MUCH-XYTER2 (SMX2) を用いている。Run0d 以降に使用するそれぞれの ASIC および読み出し回路について以下に詳しく述べる。

### 2.3.1 STS 読み出し回路

STS の読み出しは、GSI-FAIR の CBM(Compressed Baryonic Matter) 実験 [21] および JINR(Joint Institute for Nuclear Research) の BM@N(Baryonic Matter at Nuclotron) 実験 [22] の読み出し回路が用いられる。この飛跡検出器全体を STS(Silicon Tracking System) と呼ぶ。

読み出しシステムの構成を図 2.15 に示す [23]。STS の読み出しシステムはセルフトリガーによる連続読み出し用 ASIC である STS-XYTER(X, Y, coordinate, Time and Energy Resolution ASIC) を用いた FEB-8(Front-End Board)、GBTxEMU(GBTxEMULATOR)、GERI(GBTx Emulator Readout Interface) の三種類の基板から構成される。FEB-8、GBTx-EMU、GERI についてそれぞれ図 2.16、2.17、2.18 に示す。

GBTxEMU ボード、GERI ボードのプロトタイプは GSI-FAIR の CBM 実験で開発されており、検出器の個数や動作環境が異なる J-PARC E16 実験で用いるために E16 実験に合わせた読み出し回路の設計が行われている [23]。

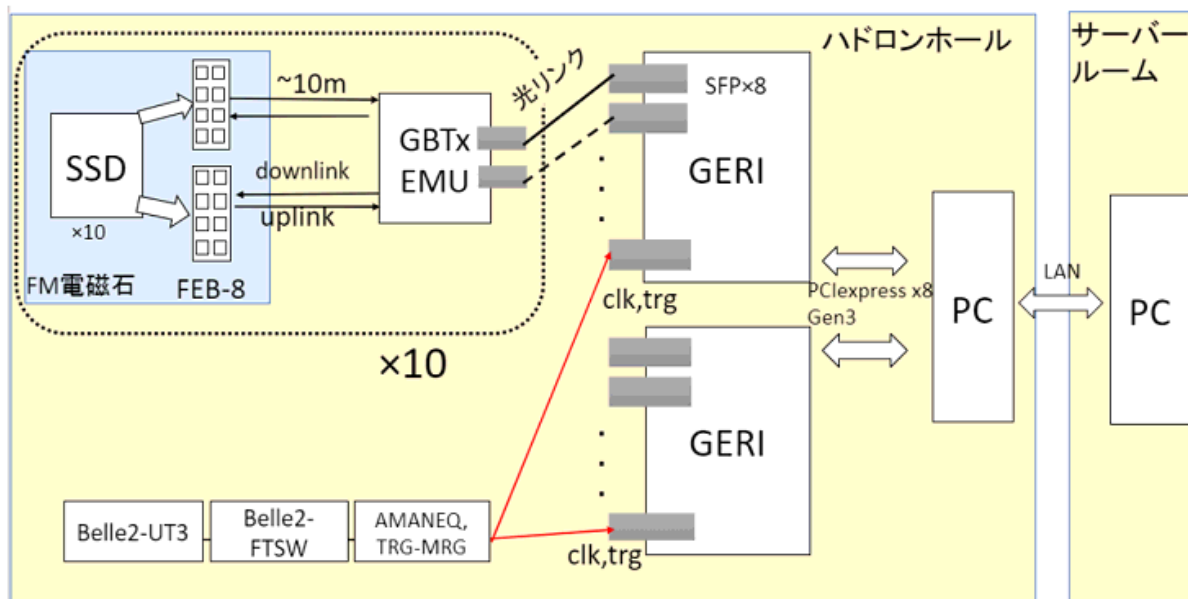


図 2.15: STS 読み出しシステムの概略図。[23]

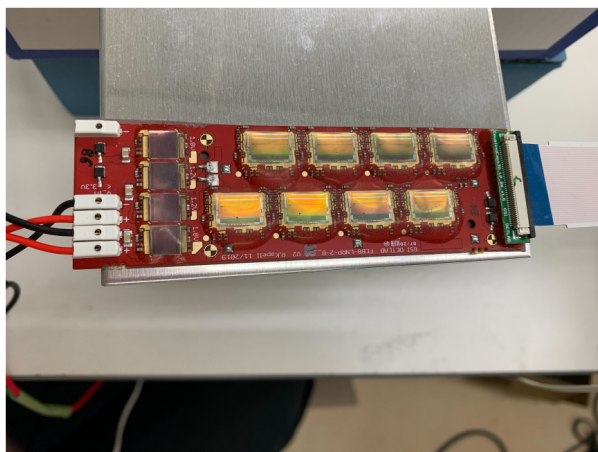


図 2.16: FEB-8.STS-XYTER チップを 8 枚使用する基板である [23]。

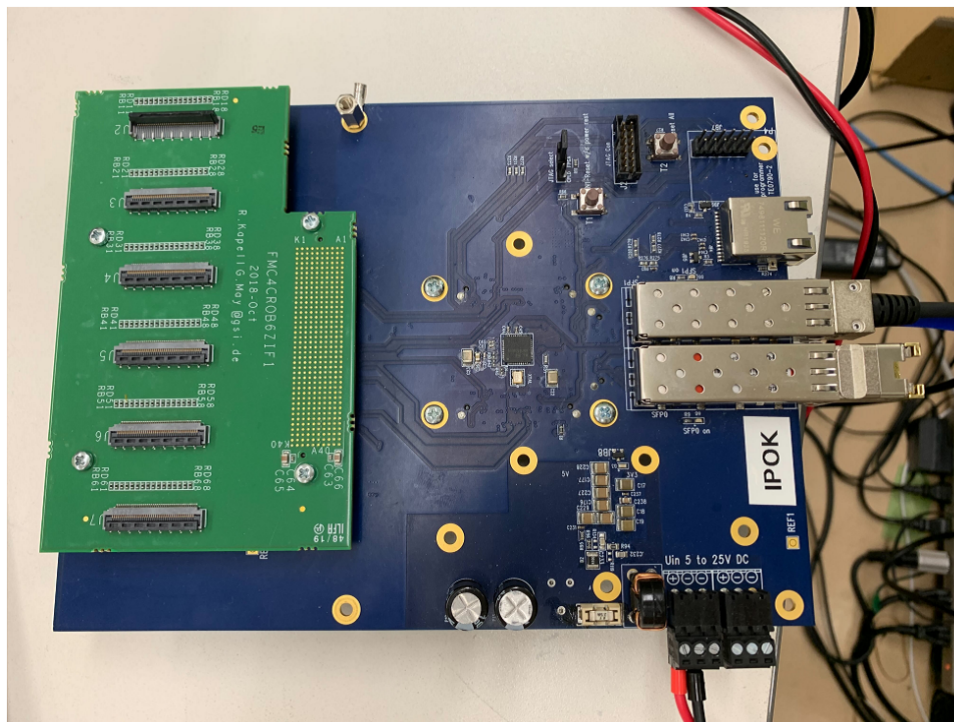


図 2.17: GBTxEMU[23]. 輸出制限のある GBTX ASIC をエミュレートするための基板。

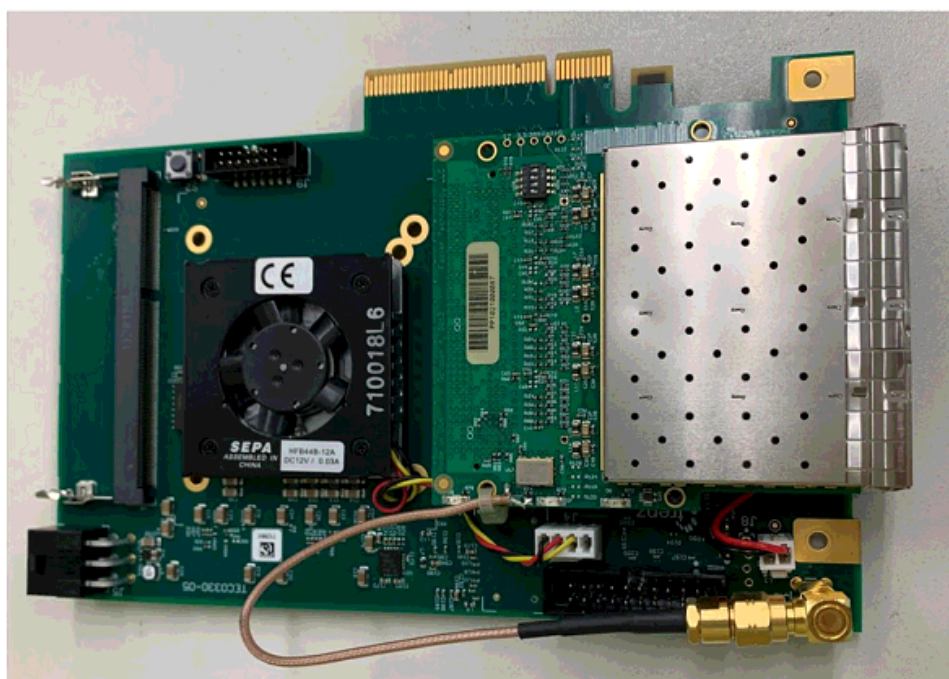


図 2.18: GERI[23]. GBTxEMU から光リンクを通して受け取ったデータにタイムスタンプやヒットアドレスなどの情報を追加し、ヒットデータの並び替えなどの処理を行った後、計算機へ PCI-Express による DMA 転送を行う。



### 2.3.2 GTR、HBD 読み出し回路

図 2.19 に GTR、HBD 読み出し回路のデータ取得の概略図を示す。

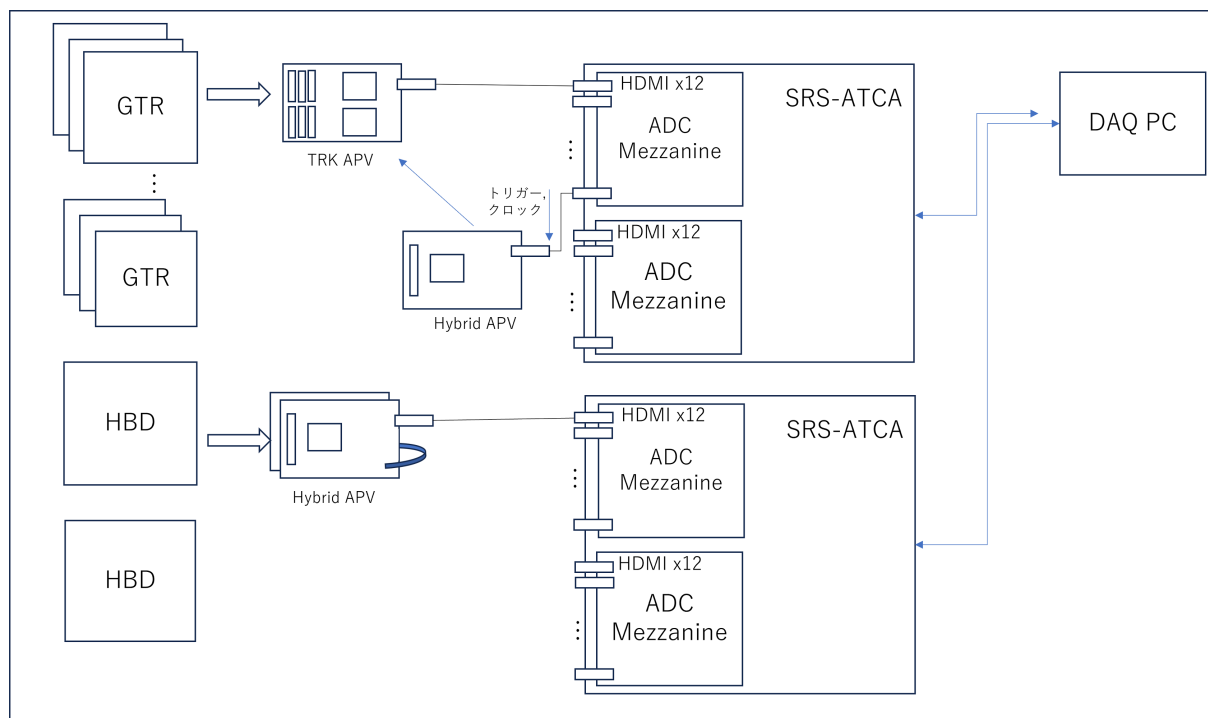


図 2.19: GTR および HBD のデータ取得の概略図。HBD と GTR のデータ取得には同一の ASIC、 デジタイザを用いる。HBD の読み出しには CERN 開発の APV hybrid カードを、GTR の読み出しには高集積な TRK APV カードを用いる。APV hybrid カードで受けたクロック、トリガー情報を TRK APV へ分配する。

GTR の信号はフロントエンドに APV25 を用いた基板である TRK APV を使用し、リピーターを経由してデジタイザである SRS-ATCA から計算機へデータ取得を行う。

#### TRK APV

TRK APV は E16 実験における回路配置の制約のためより高集積化された APV25 ボードである。APV25 チップは本基板に使用されている ASIC チップであり、次 subsection で詳しく述べる。

APV25 は CERN RD51 でも GEM 読み出し用チップとして用いられていたが、RD51 による既存のカードは大きさの制約により GTR の設置スペースに収められなかった。そのため、E16 実験では APV25 チップ 2 枚を載せた TRK APV ボードを開発して使用している。SRS から送られるトリガーやクロックは専用の PLL IC を持つ CERN APV Hybrid カードで受け取ったものを分配する。図 2.20 に TRK APV の写真を示す。出力には HDMI ケーブルを用いている。HDMI ケーブルを用いて、APV25 チップによりシリアライズされたアナログ信号の差動での出力、APV25 の slow control のための I<sup>2</sup>C 信号での通信、APV25 の動作クロックとトリガー信号の LVDS での入力、APV25 の電源供給などを行っている。

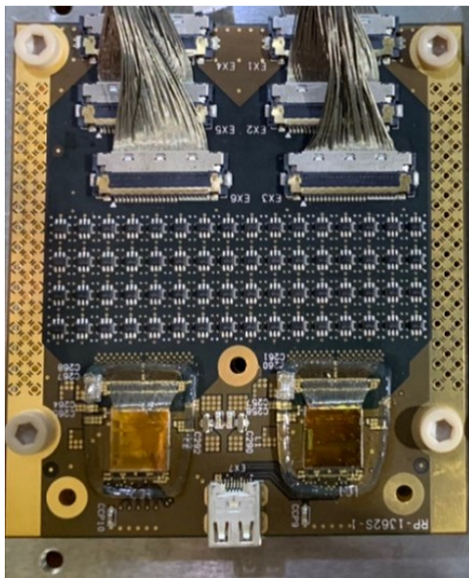


図 2.20: TRK APV[17]. 図上部の同軸ケーブルから信号を入力し、図下部の HDMI ポートから信号を出力する。極細同軸コネクタと APV25 の間にあるのは検出器の放電から APV25 を保護するための放電保護回路である。

### HBD 読み出し回路

HBD は GTR と同様 GEM を使い、APV25 で前置増幅を行い、SRS でデジタル化を行う。ただし、用いる APV カードは TRK APV ではなく、基板 1 枚あたり 1 つの APV25 チップを使った CERN APV25 Hybrid カードである。



図 2.21: 中央のボードが HBD からのトリガー信号を受ける 9 ch-ASD、左右に繋がる基板が CERN APV25 Hybrid カードである。[29].

電子のドリフトの間の波形を見て時間補正を行う必要のある GTR と異なり、HBD では電子の入射により発生するチェレンコフ光を測定するため比較的時間のブレが少ない。そのため GTR では  $\sim 600$  ns 程度のタイムウィンドウを必要とし、41.66MHz で 24 サンプルのデータ取得を必要とするのに対し、HBD では数サンプルでのデータ取得が可能である。

### APV25: Analog Pipeline Voltage

GTR、HBD に用いられる GEM のデータ読み出しには APV25 チップを用いる。APV25 チップは CERN CMS tracker のために開発された ASIC であり [19]、高計数耐性、高分解能、小物質量といった本実験に適した読み出し回路である。

APV25 の機能は以下のとおりである。APV25 チップは 128 ch の読み出しチャンネルを持ち、それぞれに CR-RC 型 Shaping Amplifier、192 セルアナログパイプライン、マルチプレクサが組み込まれている。GTR から読み出される積分電荷は増幅、整形されたのち 40MHz 程度のクロック信号に同期してサンプリングされ、波高情報を一時的にアナログパイプラインに蓄積される。そして SRS ボードからトリガーを受信すると、波高情報をマルチプレクサによりシリアルに出力する。ここで、SRS から連続でトリガーを受信すると、トリガーひとつあたり 3 サンプル分のデータを返す。APV25 から出力されるデータは 1 サンプルあたり図 2.22 のような形式をしている。

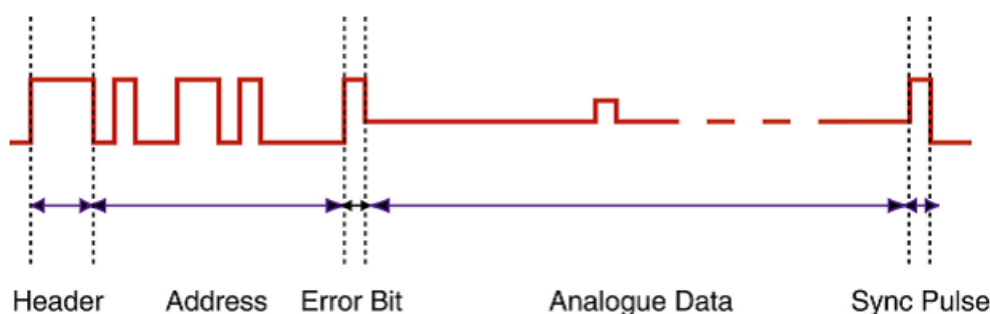


図 2.22: APV25 から読み出されるデータ形式 [24]。

読み出し 1 サンプルにつき、Header に 3 bit、Address に 8bit、Error Bit に 1bit、Analogue Data に 128 クロック周期の計 140 クロック周期を要する。続く読み出しデータが無い場合、Sync Pulse を 35 クロック周期毎に送信する。

192 セルのアナログパイプラインは動作クロックの周期ごとに 1 つずつ次のアドレスへデータの保存先を移していく仕組みである。それぞれのセルは等価であるが、チップの仕様として 160 セルは固定で使用するようになっている。この 160 セルを通る時間は、40MHz での動作時には  $25 \text{ ns} \times 160 = 4 \mu\text{s}$  程度である。E16 実験ではトリガーの生成にあたって、GTR からトリガープリミティブを送ってからデータを読み出すまでに 1-2 $\mu\text{s}$  のトリガーレイテンシが必要である。これは 20 m 程度の信号の伝送、GTR のドリフト速度による最大 500 ns の立ち上がり時間差、トリガーマジュールの処理のため必要な時間である。アナログパイプラインの機能による 4  $\mu\text{s}$  程度のバッファリング時間はこのト

リゲーレイテンシに対応するに十分な長さである。残りの 32 セルで読み出し用データを保持することが可能である。1 イベントあたりに取得する波形サンプル数が少ないほど読み出し用セル数に余裕ができ、APV25 が次のイベントに属するトリガーの読み出しが可能になるまでの時間を短くできる。特に 1 イベントあたり 15 セル以下の消費であれば読み出し用の 32 セルで複数イベントを一時保存できる。したがって、APV25 からイベントデータの読み出し中にも次のイベントに属するトリガーを受信することが可能となり、DAQ の不感時間を下げることに貢献する。

## SRS-ATCA

SRS (Scalable Readout System)-ATCA(Advanced Telecom Computing Architecture)[25] は CERN RD51[26] において開発された、APV25 チップ用の読み出し基板である。APV25 を用いる読み出しシステムとして、GTR だけでなく HBD の読み出しにも用いている。ハードウェアはドイツの eicSys 社によって開発された。このモジュールは ATCA ブレード:EATCA-101、二枚のメザニカード:EAD-M1、RTM(Rear Transition Module):ERTM-101 から成る。

二つのメイン FPGA(Field Programmable Gate Array)、Xilinx Virtex-6 がそれぞれのメザニカードから読み出した APV25 から読み出した ADC データを取り扱い、1 つのサブ FPGA である Xilinx Spartan-6 でこのメイン FPGA の設定および NIM 信号の入力/出力を行う。メイン FPGA はそれぞれ DDR3 SODIMM、SFP+の使用が可能である。図 2.23 に SRS-ATCA の写真を示す。

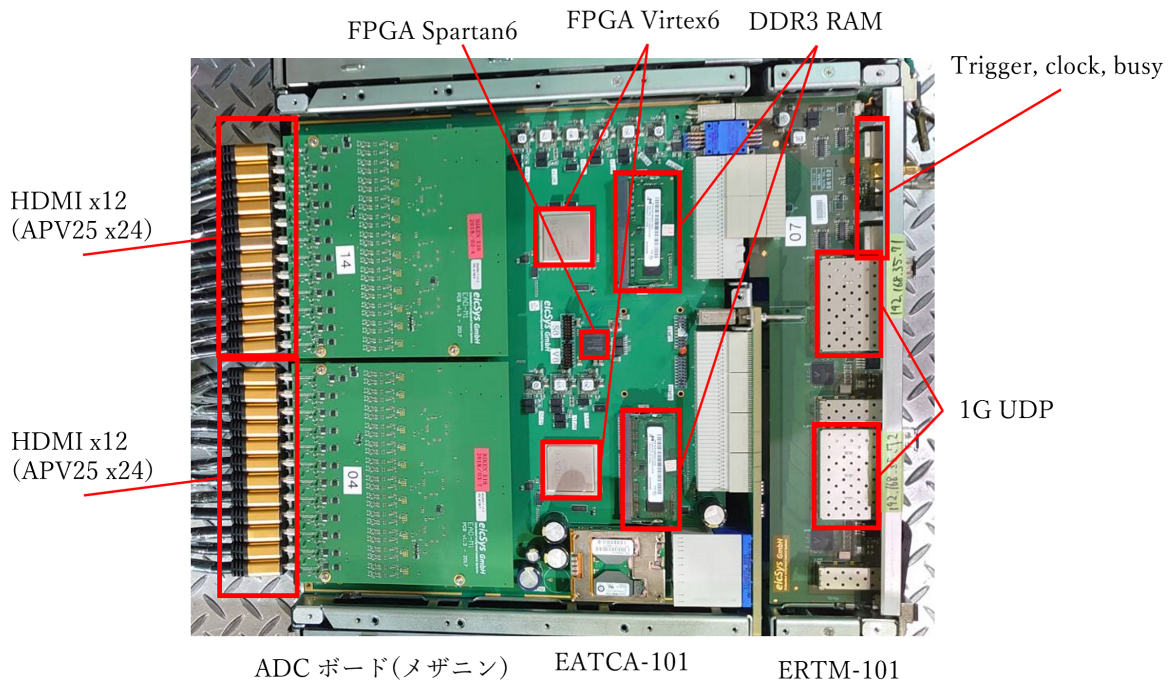


図 2.23: SRS-ATCA. HDMI ケーブル (左側) から APV25 からのデータを受け、光ケーブルを用いて DAQ 計算機へとデータ転送を行う (右側)。

図 2.24 は RUN0c 時点での SRS-ATCA のブロック図である。

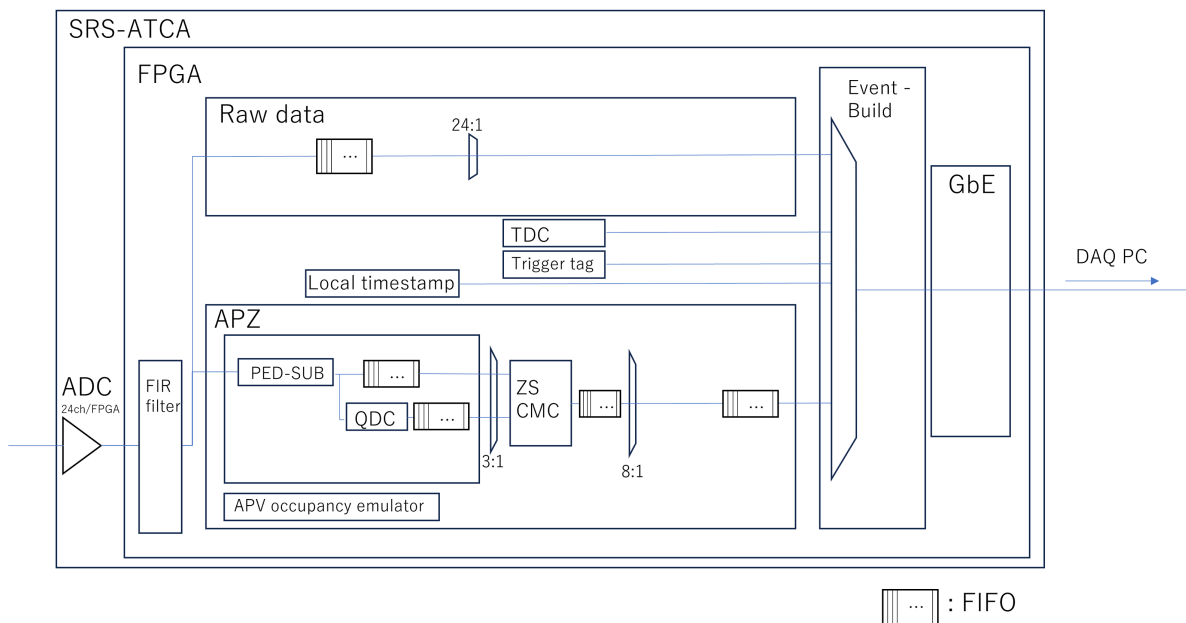


図 2.24: SRS-ATCA のブロック図。Run0c 時点での実装。



続いて SRS-ATCA の機能について説明する。

#### trigger receiver

UT3 モジュールから配られる B2TT プロトコルでエンコードされたトリガー情報とタグ情報を RTM を通じて受け取る。

ここで、B2TT プロトコルとは Belle2 FTSW で用いられる通信プロトコルである [28]。

トリガーを受け取ったのち、APV25 がデータ転送可能な状態にある場合は APV25 へトリガーを発行し、データを取得する。

#### ADC

メザニンカード上の ADC により、入力された信号をデジタル信号に変換する。メザニンカード一枚あたり 12 bit、8 ch の ADC チップが 3 つずつ実装されており、24 枚分の APV25 からのアナログデータを 12 本の HDMI ポートで受けてサンプリング周波数 31.25 MHz または 41.666 MHz でデジタル変換する。これらのサンプリング周波数はグローバルクロックの 125MHz の 1/3、1/4 で作られる。

#### Finite Impulse Response: FIR フィルター

入力されたアナログ信号は HDMI ケーブルの長距離伝送によりなまされているため、この HDMI ケーブルの輸送にあたる信号減衰を補正し、減衰前の値に変換するためのフィルターである。

FIR フィルターの係数は、APV25 から送られる Sync Pulse をインパルス信号として、Sync Pulse のなまり方をインパルス波形に戻せるようにして決める。

#### ADC raw data module

ADC から入ったデータをそのまま転送するためのモジュールである。APV25 にトリガーを送ったのち、APV25 からデータが送られてくるタイミングで固定長のウィンドウを開き、その間データ取得を行う。

このモジュールで取得したデータは、ゼロサプレスのスレッシュホールドや FIR フィルターの係数を決めるためのキャリブレーションデータに用いる。

#### APZ

ADC から取得したデータをゼロサプレスを用いて削減するモジュールである。FIR フィルターを通してケーブル伝送でなまった信号を整形したのち、図 2.22 に示される APV25 のヘッダー部分を判定し、APV25 のイベントデータを切り出す。得たデータを波形データ用の FIFO とデジタル QDC 用の FIFO にデータを分ける。デジタル QDC では、チャンネル毎に波高を足し合わせる。この QDC の値を用いてゼロサプレスロジックでヒットしたかしていないかの判別を行う。ここでヒットしていないと判定されたチャンネルは、Common-mode-correction (CMC) ロジックでそれぞれの APV25 のコモンモードノイズの計算に使われる。ZS-CMC モジュールは APV25 24 チップに対して 8 つ用意されており、3 回 ZS-CMC ロジックを適用することで APV25 のデータを全て処理する。APZ の動作クロックを 1/3 ないし 1/4 倍することで APV25 の動作クロックを作っているため、3 回の繰り返しで 1 イベント分の処理時間が APV25 のデータ処理の時間と一致する。

ZS-CMC には動作モードが大きく二つある。スレッシュホールドをかけゼロサプレスを  
行う normal APZ mode と、スレッシュホールドをかけずに取得したデータを全て後方  
へ送る force signal mode である。

ここで、1 サンプルあたりに出力されるデータは波形データ最大 128 チャンネルに  
加え ZS-CMC で計算した common mode のアナログ波形データで 1 チャンネル分、  
図 2.22 の address 8bit、Error 1bit の 9 クロック周期分の情報で 1 チャンネル分が付  
加され、合わせて最大 130 チャンネル分のデータになる。また、アナログ波形デー  
タは符号なし整数である ADC 出力 12bit にペDESTAL を引いて符号付きにするため  
13bit となる。

第 6 章で過去の取得データからのゼロサプレスで削減できるデータ量の見積もり  
について詳しく述べるが、典型的には 1/2-1/5 程度の削減率となる。

### TDC

グローバルクロックである 125MHz と ADC、APV25 の動作周波数 (41.666MHz or  
31.25MHz) の時間差を測る。

グローバルクロック 125 MHz を各 FPGA (Virtex-6) で 4 通倍した 500 MHz のク  
ロックで動作する。

### local timestamp

トリガーを取得したタイミングで SRS-ATCA 内で測定しているローカルタイムス  
タンプをつける機能である。

APV25 の動作クロックと同じクロック (24 ns クロック周期または 32 ns クロック周  
期) での動作をする。

### Soft Error Mitigation: SEM

Single Event Upset (SEU) を減らすための Xilinx IP コアを用いた SEM コア。

E16 実験ではスペクトロメータの近くの高放射線環境下で使用するため、この機能  
が実装されている。

ウォッチドッグタイマーが動作しており、SEM コアからのハートビートを監視してい  
る。このハートビートがなくなるかエラーが修正不可能だったとき、SRS-ATCA 内  
部の Internal Configuration Access Port に接続し、SPI-ROM に書き込まれたファーム  
ウェアを読み込み、FPGA を再起動する。

ECC としてはハミング符号を使用している。

### event build

トリガーアクセプトされたイベントのトリガー情報および APV25 から取得された  
ADC データのイベントビルドを行う。

### UDP

イベント ビルドされたデータを UDP/IP プロトコルを用いて DAQ PC へ転送する。  
データフォーマットを次の図 2.25 に示す。

1 フレームあたりに APV25 1 枚のデータを送るようになっており、フレーム当たり  
のデータ量は次のように計算される。

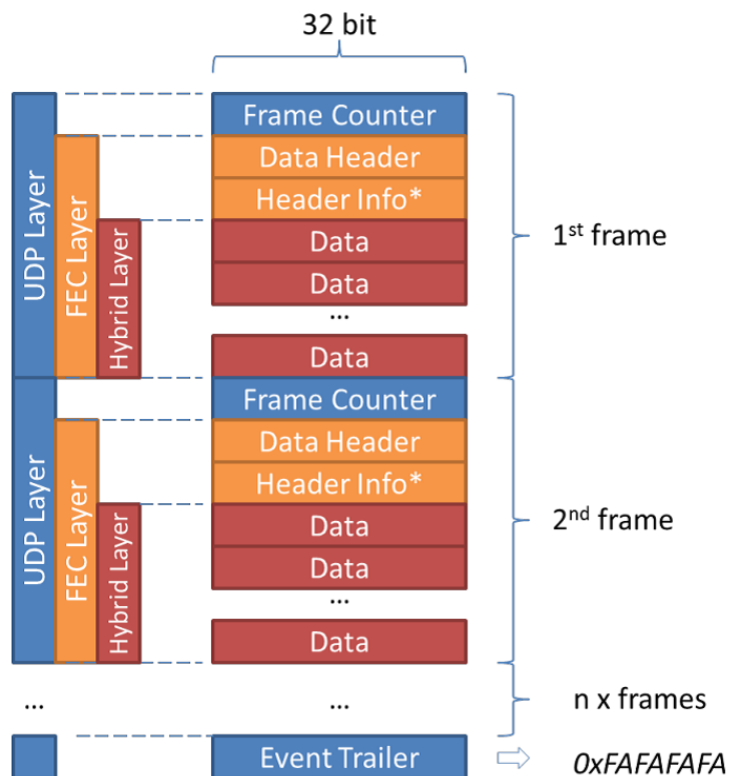


図 2.25: SRS-ATCA から DAQ PC へのデータ転送を行う際のデータフォーマット [39]。

APZのときの1チップのデータは18サンプルで4992 byte、24サンプルで6552 byteとなる。内訳は次の表 2.3、2.4 のとおりである。

表 2.3: APV25 1チップ当たりのデータ。APZモードでの値。[39]

用途	tag header	frame counter	data header	header info
byte数	32	4	4	4

用途	APV header	channel info	adc data
byte数	8	$2+2 \times \text{ヒットチャンネル数}$	$2 \times \text{サンプル数} \times 130 [\text{ch}]$

表 2.4: 1 イベントあたりの SRS での取得データ。

用途	APZ data	TDC data	Trailer data
byte数	$(52+(2+2 \times \text{サンプル数}) \times \text{ヒットチャンネル数}) \times \text{APV25数}$	48	36

以上を計算すると、ヒットチャンネル数に対応して次のような表 2.5 の値が得られる。ここで、ADCのデータが大きく通常のMTU (Maximum Transmission Unit)、1500 byte では転送しきれないため、E16ではジャンボフレームを採用している。ゼロサプレスによってデータ量は典型的には1/3-1/5程度に削減されることが見込まれる。



表 2.5: ゼロサプレスされたチャンネル数に対応する 1 イベント当たりのデータ量。表中の値は byte 数を示す。

ヒットチャンネル	128 ch	64ch(=50%)	32ch(=25%)
24 サンプル	157,332	80,532	42,132
18 サンプル	119,894	61,524	32,340

APZ 使用時の 1 イベント当たりの最大データ量は 18 サンプルで 119894 byte、24 サンプルで 157332 byte である。

SRS のデータ取得時の動作モードには 4 つの種類が存在する。

**ADC モード** fir フィルターを通さずに ADC のデータをそのまま送るモード

**FAD モード** fir フィルターを通して ADC のデータを送るモード

**APZ モード** fir フィルターを通さずに APZ から得られるデータを送るモード

**FAZ モード** fir フィルターを通して APZ から得られるデータを送るモード

の 4 つである。

### 2.3.3 LG 読み出し回路

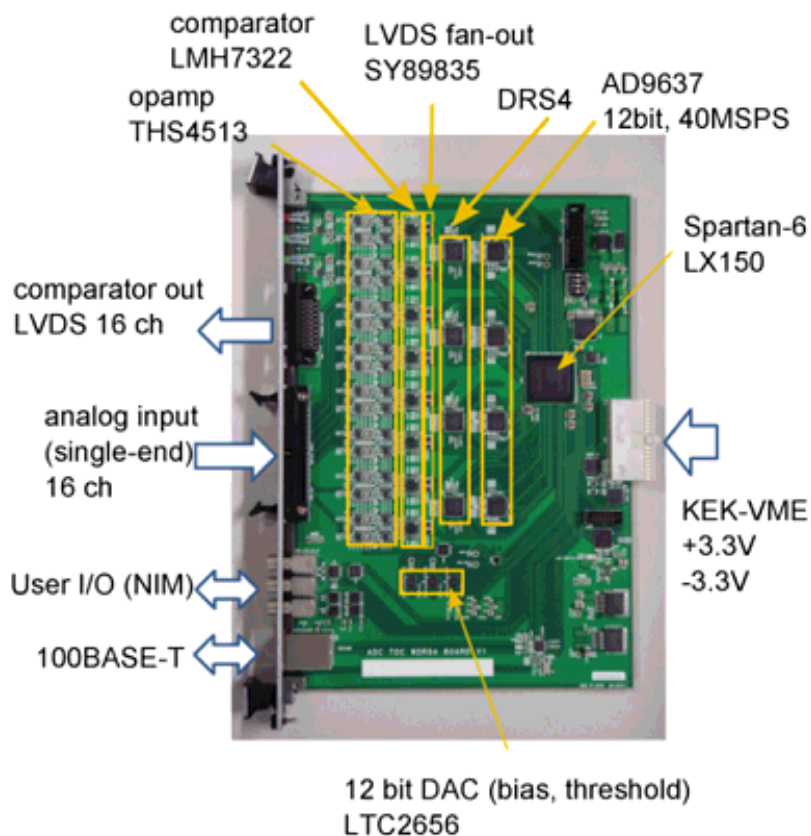


図 2.26: DRS4QDC[37].

DRS4 チップを用いた最大 16 チャンネル入力のボード DRS4QDC を用いてデータの読み出しを行う。入力信号は DRS4 チップとコンパレータに分けられる。DRS4 チップ内でキャパシタアレイにより Level-1 トリガーのレイテンシを最大  $2 \mu\text{s}$  まで待つことが出来る。データサイズの削減のため、RoI 中の 200 サンプルのみを用いる。DRS4 の出力は 12bit、8channel、30MHz のサンプリングレートでサンプリングされる。使用する FPGA は Xilinx Spartan-6 である。データ転送は TCP/IP 処理を行う FPGA を用いた SiTCP プロトコルを持ちいており、100 MbE でのデータ転送を行う。

## 2.4 トリガーシステム

本実験では p+A 反応でベクター中間子を生成し、ベクター中間子の崩壊から発生する電子対を測定することでこのベクター中間子の質量を測定する。しかし、ベクター中間子以外による電子のバックグラウンドが多く、トリガーによるイベント選別が必須となる。トリガープリミティブの生成のため、LG、GEM の 3 層目、HBD を使用している。

### トリガー条件

E16 実験において主となるバックグラウンドは Dalitz 崩壊  $\pi^0 \rightarrow \gamma e^+ e^-$ 、および  $\pi^0 \rightarrow 2\gamma$  の崩壊により生成された  $\gamma$  からのコンバージョン  $\gamma \rightarrow e^+ e^-$  である。この背景事象による電子対の開き角はベクター中間子の開き角に比べ小さいため、この開き角に制限を書くことでその多くを棄却する事が出来る。

### トリガーモジュール

上述のロジックで 2,620ch のディスクリミネータ出力信号からトリガーを生成し、全読み出しモジュールにトリガーを分配する。トリガーモジュール全体で求められる機能は全トリガーチャンネルのディスクリミネータ情報を一つのモジュールに集約し、トリガーの決定を行い、全読み出しモジュールへのトリガー送信を行うことの三つが挙げられる。これらすべてを一つのモジュールで行うことは困難であるため、E16 実験ではトリガー回路をそれぞれに要求する機能ごとにトリガー中継モジュール、トリガー決定モジュール、トリガー分配モジュールの三段階に分けて運用している。

以下に各モジュールのハードウェアについて簡単に述べる [27]。

#### トリガー中継モジュール: TRG-MRG (TRiGger-MeRGer)

E16 実験のために開発されたモジュールであり、各検出器からの平行な入力信号をシリアル情報への変換、ディスクリミネータの立ち上がりを検知によるタイミング情報の付加、各チャンネルに適切な遅延を与える事によるイベント同期、各チャンネルのスケーラーとしてのヒット回数のカウントを行う。

#### トリガー決定モジュール: Belle-2 UT3 (Universal Trigger board 3)

Belle-2 UT3 は、Belle-2 実験に向けて開発されたトリガー用汎用ロジックボードである。全 10 台程度のトリガー中継モジュールから、1 ポートで 4 つの SFP+ との接続が可能な光トランシーバ QSFP+ (Quad SFP+) 16 ポートで信号を受け、トリガー

の作成を行う。作成されたトリガーはRJ45 4ポートから4対のLVDS(Low Voltage Differential Signal) 信号により伝送する。このLVDSではクロック、トリガー、ビジー情報などのトリガー受信に対する応答データを扱う。4対目の信号は未使用である。

#### トリガー分配モジュール: Belle-2 FTSW(Frontend Timing SWitch)

Belle-2 FTSW は、UT3 と同様 Belle-2 実験のために開発されたタイミング分配モジュールである。24本のRJ45ポートを持ち、UT3から入力されたトリガーとクロックをTRG-MRGや各読み出しモジュールに分配し、各モジュールからビジー信号などを受信する。

## 2.5 E16 実験のステージングプラン

E16 実験においては、コミッショニングランを Run0x、物理データ取得ランを Run1、Run2 と名付けている。E16 実験は現在検出群のコミッショニングの段階にあり、コミッショニングを終えたのち、物理データ取得ランを開始する。

E16 実験初の物理データ取得用ランである Run1 では、各媒質中の質量変化についての情報を得ることを目指す。続いてアクセプタンスを3倍に増強し、E16 実験の目標とする高統計のデータ取得を行う Run2(図 2.27 右)を行う。この Run2 でのデータ取得で媒質中のベクター中間子の質量変化について媒質となる核子の大きさ、生成されたベクターメソンの運動量などについての系統的な測定を行い、媒質中の質量変化についての確定的な情報を得ることを目指す。

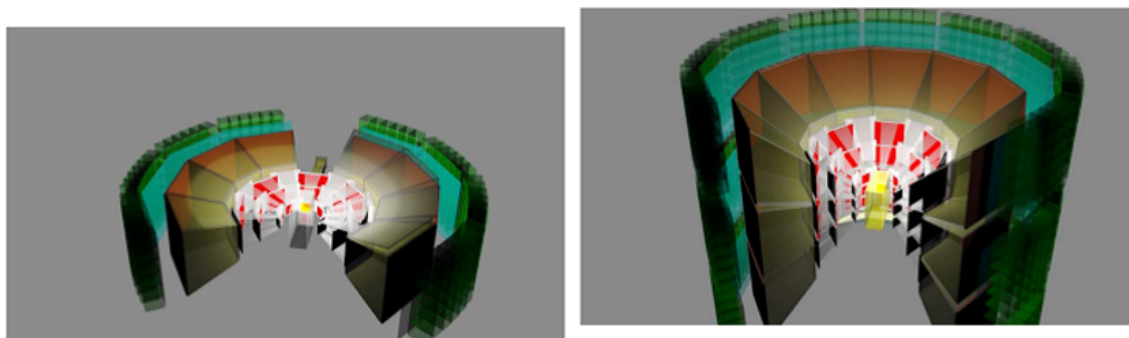


図 2.27: E16 実験 Run1、Run2 のスペクトロメータ。左図が Run1 時点の 8 モジュール、右図が Run2 での 26 モジュールの配置。E16 実験では、水平方向  $30^\circ$  を覆う SSD、GTR 三層、HBD、LG のセットを 1 モジュールと呼ぶ。

以下の表 2.6 に現時点で想定される E16 実験のタイムスケジュールを示す。

表 2.6: E16 実験のタイムスケジュール。

Run 番号	日付	目的
Run0a	2020 年 6 月	検出器のコミッショニング
Run0b	2021 年 2 月	
Run0c	2021 年 6 月	
Run0d	2023 年 6 月	Run1 セットアップでのコミッショニング
Run0e	2024 年 (予定)	
Run1	2024 年 (予定)	E16 実験初のデータ取得ラン
Run2	2027 年以降	系統的なデータ測定

E16 実験は、2023 年 6 月に 4 度目のコミッショニングランとなる Run0d を行った。本研究における DAQ 高速化の開発はこの Run0d での性能評価を目標にして行われた。

# 第3章 コミッショニングランでのDAQ 性能評価

E16 実験では、2章で述べた通り過去にビームを用いた検出器群の性能評価を行っている。この章では、Run0c までに行われた性能評価の結果および新たに発見された課題とその対策について記す。

## 3.1 DAQ 性能

### 3.1.1 DAQ 性能の目標値

E16 実験では 1kHz のトリガーリクエストに対し 76% の DAQ 効率でのデータ取得を目論見としていた [15]。この DAQ 性能は E325 実験や PHENIX 実験など過去に行われた実験と同程度の値であり、既存の技術で達成可能な値である [33]。この目標は、スピル当たりトリガーリクエストがランダムに発生すると仮定した場合、平均ビジー長さが 300  $\mu\text{s}$  程度の DAQ システムの実装により実現可能である。(付録 C 参照)

E16 実験で用いる読み出し回路の中でデータ取得量に対する帯域の条件が最も厳しいのが GTR の波形デジタイザである SRS-ATCA であり、このモジュールで取得データのゼロサプレスをを行うことで平均ビジー長さ 300  $\mu\text{s}$  を達成できる見込みであった。

### 3.1.2 Run0c 時点での DAQ 効率

Run0c 時点ではゼロサプレスを行わず DAQ の性能評価を行っており、この場合の 1 イベント当たりの典型的なビジー長さは 800  $\mu\text{s}$  程度である [15]。ここで、800  $\mu\text{s}$  のビジー長さの電子ペアトリガーでのデータ取得を行うとき、ビームがランダムに来ると仮定した場合は 1kHz トリガーリクエストあたり 55% 程度の DAQ 効率が見込まれるのに対し、実際に得られた値は 15% 程度と 1/3 以下の値であることが分かった。

この DAQ 効率の低さの原因は、J-PARC 高運動量陽子ビームラインにおけるビームの時間構造にあると考えられている。

## 3.2 DAQ ライブタイムの低下

### 3.2.1 スピル構造

高運動量ビームラインで取り出される高運動量陽子ビームにおいて、2種類の時間微細構造が見つかっている。次の図 3.1、3.2 に示す 5 ms 周期構造と 5.2  $\mu\text{s}$  周期構造である。

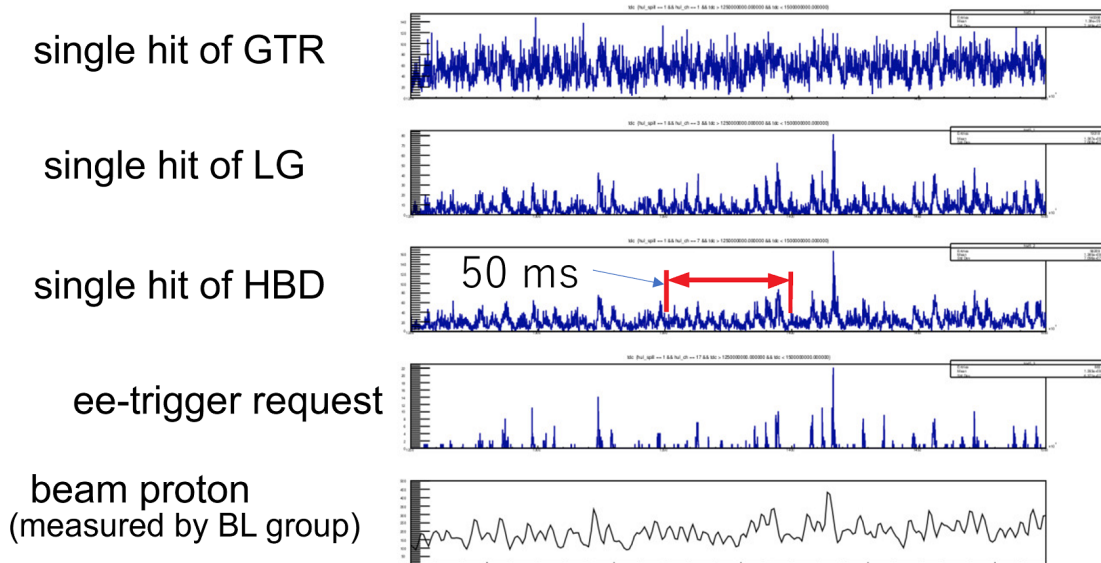


図 3.1: ビームの 5 ms 構造 [14]。Run0c 取得データのあるスピルにおける 2 秒の中の 1250-1500 ms 部分。それぞれの検出器のシングルヒットの時刻分布は HUL(Hadron Universal Logic)、陽子ビームの計測データはビームライングループのイオンチェンバーにより取得されている。

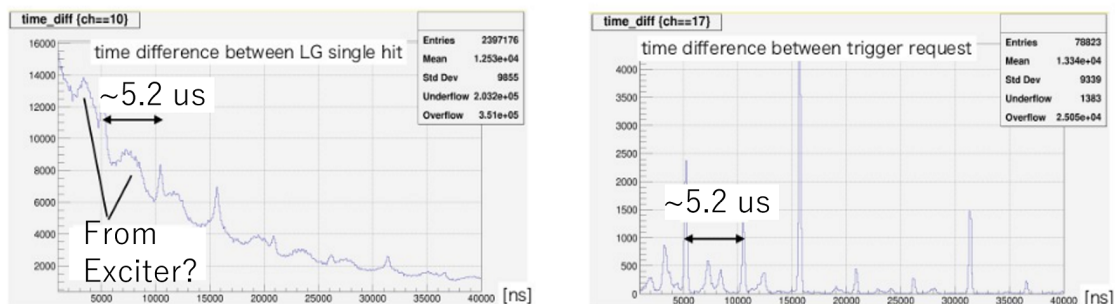


図 3.2: ビームの  $5.2 \mu\text{s}$  構造 [14]。左図は LG のヒット間の時間差、右図は電子対トリガーリクエスト間の時間差を示す。

5ms 構造と  $5.2 \mu\text{s}$  構造の起源は現在のところ、それぞれ MR 電源のカレントリップルの存在と、MR からのビームに Lambertson 磁石のところで分散がある光学になっていること、にあると考えられている [15]。これらの構造が瞬間的なトリガーレートの増加を引き起こし、ランダムなトリガーリクエストでの見積りに比べ 1/3 以下に DAQ 効率を下げる原因となっている。



### 3.3 DAQ 改善目標

上述の DAQ 効率の低下のため、E16 実験では物理データの取得に踏み切ることが出来ない状況にあった。この問題の解決のため、J-PARC の加速器およびビームライン側でもビームの時間構造の改善が計画されているが、E16 実験としても DAQ の改良により DAQ 効率を改善する計画を立てた。DAQ 効率向上のためには E16 DAQ 全体のボトルネックとなっている SRS-ATCA の改良をする必要がある。SRS の改良のため 2.3.2 で述べたアナログパイプラインによる不感時間の減少 (以後、アナログバッファリングと呼称)、および SRS の信号処理全体のビジー長さを減らす事を考える。図 3.3 に Run0c の後に E16 でなされた DAQ ビジー長さ と DAQ 効率についてのシミュレーションの結果を示す。

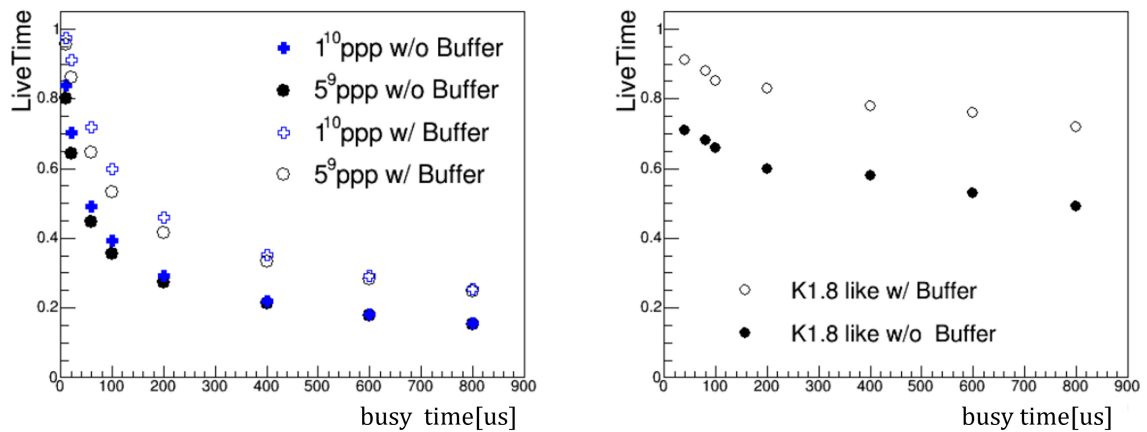


図 3.3: 横軸は 1 イベントあたりに発生するビジー長さ。DAQ 効率のシミュレーション [15]。左図はビームタイムに生成したトリガーの時刻情報を用いた計算で、異なるビーム強度ランでのトリガー時刻情報と APV25 でのアナログデータバッファリングの有無で 4 種類のプロットが示されている。右図はビーム構造の時間構造の改善を見込んだ DAQ 効率見積もりで、APV25 でのアナログデータバッファリングの有無から 2 種類のプロットが示されている。詳細は本文参照。

図 3.3 の左図の DAQ 効率の計算は実際のトリガーリクエストの時刻情報を用いて行われた。トリガーアクセプト毎に固定長のビジーを出す DAQ を想定し、異なるビーム強度で同様のリクエストレートとなるトリガー条件を用いた 2 種類のランのトリガーリクエストの時刻情報を入力として用いる。APV25 でのアナログデータバッファリングを行う事でどの程度 DAQ 効率が改善するのかをビジー長さの関数としてプロットした。E16 実験で用いる DAQ システムの典型的なビジー長さは  $\sim 800 \mu\text{s}$  であり、図 3.3 における APV25 でのバッファリングを行わないビジー長さ  $800 \mu\text{s}$  での縦軸の値が Run0c で得られた 15% の DAQ 効率に該当する。

図 3.3 右図は  $5.2 \mu\text{s}$  構造が改善されたビームを想定したシミュレーションにより DAQ 効率の計算を行ったプロットである。 $5.2 \mu\text{s}$  構造の原因はランバートソン磁石による分岐に起因すると考えられるため、ランバートソン磁石を素通りした陽子により生成される二次粒子を用いる K1.8 ビームラインのビーム構造は  $5.2 \mu\text{s}$  の時間構造を持たないと考えら

れる。K1.8 ビームラインで実験を行っていた E70 実験において得られたシンチレータのヒット数の時間構造を用い、ビーム強度は規格化する。E16 実験では過去のランでビーム強度と電子対トリガーリクエストの関係を得られていたため、スケール下 K1.8 でのヒット情報を E16 でのトリガーリクエストに焼き直すことが出来る。こうして見積もったトリガーリクエストの時刻情報から、トリガーアクセプト毎に固定長のビジーが発生するものとして DAQ 効率の計算を行う。以上の解析から、ビジー長さを  $100 \mu\text{s}$  程度に短縮した上で APV25 でのダブルバッファリングを行うことで、ビーム構造自体の改善がない場合でも、1kHz トリガーリクエストに対し DAQ 効率を 55% に向上でき、ビーム構造の改善がある場合には  $\sim 85\%$  程度にまで回復することが出来るという見積もりが得られた。

## 第4章 DAQ 効率改善

この章では、第3章で新たに設定した DAQ 効率改善の目標を達成するため行った開発について述べる。

### 4.1 開発目標

E16 実験における物理データ取得のため、前章で述べた  $100 \mu\text{s}$  のビジー長さを目標に改良を行う。ボトルネックとなる GTR の読み出し回路の改良を行うことで、このビジー長さが達成されることが見込まれる。GTR の読み出し回路のビジー長さは Run0c 時点ではネットワーク帯域のために  $800 \mu\text{s}$  程度になっている。達成し得る最小のビジー長さは APV25 ASIC からのデータ読み出しにかかる  $80 \mu\text{s}$  程度であり、SRS-ATCA のネットワークのボトルネックを解消することで目標となるビジー長さを達成できることが見込まれる。そのため、SRS-ATCA のボトルネック解消により  $100 \mu\text{s}$  以下のビジー長さを目指す。

### 4.2 改良方法の決定

ボトルネックとなっている SRS-ATCA は、Run0c までの機能に加え、転送帯域の拡張および DDR3 RAM によるデータバッファリングが可能である。これらを使用してのボトルネックの解消方法として以下の3つの候補が挙げられた。

1. 1GbE 一本のデータ転送を、1GbE 二本に変える。
2. 1GbE 一本のデータ転送を、10GbE での読み出しに変える。
3. データ転送の前で RAM を用いたデータのバッファリングを行う。

改良の目標は既述のようにビジー長さを  $\sim 800 \mu\text{s}$  から  $\sim 80 \mu\text{s}$  の  $1/8$  程度に減らすことである。1. の 1GbE 二本の読み出しは比較的簡単であると期待される。しかし読み出し速度が目標の8倍に達しないため、他の開発も必須となる。また、読み出し方法を変えると内部のデータ処理方法も合わせて変更する必要があるため、発展性が少ない。

2. の 10GbE の読み出しについては、入力帯域ほぼ全体をカバーできることになるが、データフォーマットの決定やこれまで用いていない 10GbE の使用など3項目の中で一番時間がかかることが予期されていた。

3. の RAM を用いたデータバッファリングについては、RAM の帯域が最大  $5\text{GB/s}$  程度であることを期待すると、データ転送前のデータを全てバッファリングすることで達成可能な最小ビジー長さである  $80 \mu\text{s}$  程度のビジー長さに出来ると期待される。また、ネットワーク転送部分を変更することなくファームウェアの変更のみで改良を行える。

以上から、Run0d で開発したファームウェアのテストを行うことと十分なビジー長さを達成できることを考慮し、RAM を用いたデータバッファリングによりボトルネックの解消を行うことに決定した。

## 4.3 実装方針

SRS-ATCA でのバッファリングによるビジー長さの改善のため、実装方針を決定した。図 4.1 に改良後の SRS のブロック図を示す。章 2 で図 2.24 に示したブロック図からの変更は、メモリーインターフェースモジュールを追加し、DDR3 RAM を用いている点である。メモリーインターフェースモジュールの追加に当たり検討した内容は

1. バッファリングの位置を ZS-CMC モジュールの後にすること
2. ZS-CMC モジュールからの読み出しを 4 つ並列に行うこと

である。

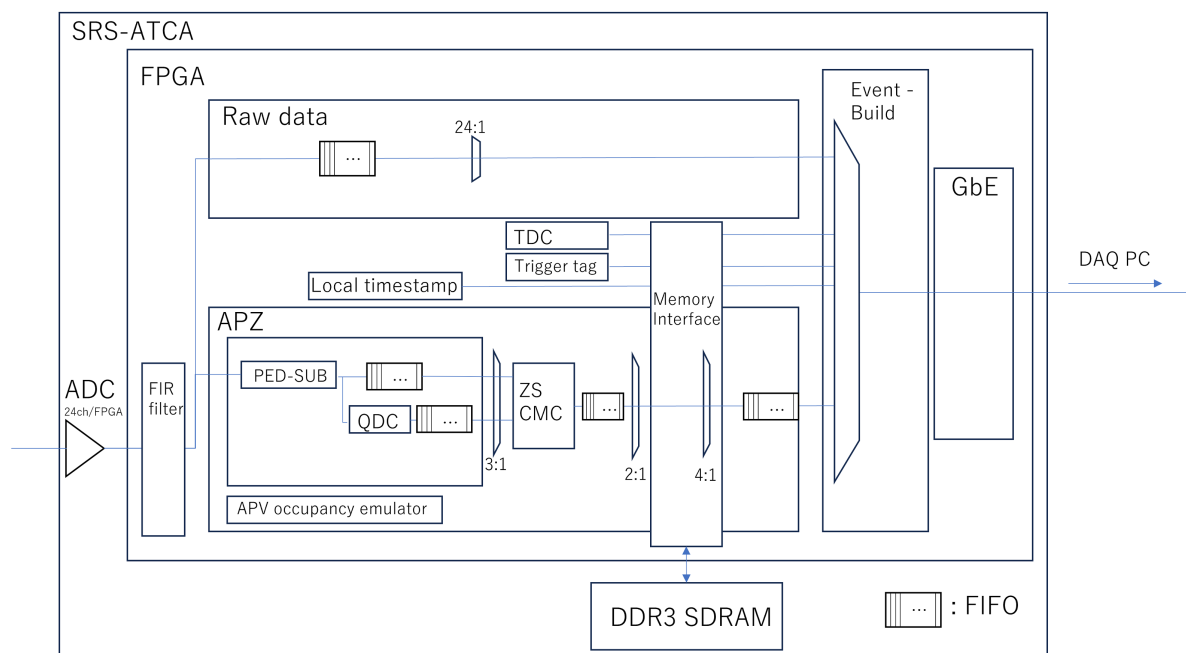


図 4.1: Run0d 時点での SRS-ATCA のブロック図。RAM を用いたバッファリングを行うため、メモリーインターフェースが追加されている。

### 4.3.1 バッファリング位置

データバッファリングを行う位置の検討を行う。バッファリングを行う場所として、次の二点を検討した。

1. ADC からのデータを直接バッファリング

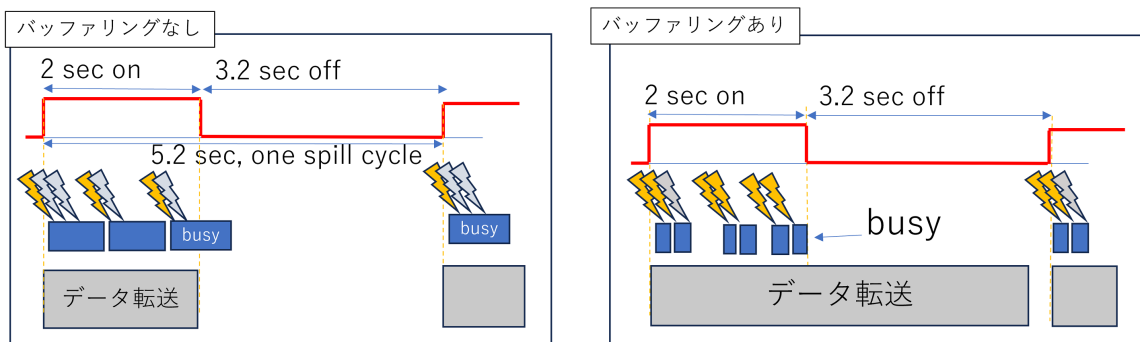
2. zero suppress されたデータをバッファリング 1. の ADC データをそのまま全てバッファリングする方法では、データの取り扱いと比較的容易であるが、ゼロサプレスを行う前のデータを扱う必要があるため扱うデータ量が多くなる。2. のゼロサプレス後でのバッファリングを行う場合のメリットは、扱うデータ量が削減できる点である。ゼロサプレスされたデータを扱う際、1つのチャンネルで1サンプルあたりに扱うデータは、ADC から出力される符号なし 12bit に符号 1bit をつけた 13bit のデータとチャンネル番号の情報 8bit 合わせて 21bit である。ゼロサプレスで転送するデータ量は典型的には  $\frac{1}{3}$  程度に減るため、1. の方法に比べて 40% 程度の削減が見込める。ただし、E16 実験ではゼロサプレスをオンラインで行うデータ取得はまだ行われていない。そのため、後の 6 章にゼロサプレスを行う際のデータ削減見込みについて議論する。

### 4.3.2 ZS-CMC モジュールからの読み出し方法について

ZS-CMC モジュールから高速にデータを読み出し、RAM を用いたデータバッファリングでデータ転送を平滑化することでネットワークのボトルネックを解消することが出来る見通しである。このバッファリング実装にあたり、Run0c の時点では 1GbE の律速のために APZ からの読み出しを高速に行っていなかった。この場合 ZS-CMC モジュールからのデータ読み出し帯域が問題となる。ZS-CMC モジュールから読み出せるデータ量は最大 130ch(128ADC データ + デジタルヘッダー)  $\times$  サンプル数  $\times$  21bit(12bitADC + 1bitECC + 8bit チャンネル番号) = 2,730bit  $\times$  サンプル数 である。1クロック周期あたり 21bit を周波数 125MHz のクロックで読み出すため、例えば 24 サンプルでのデータ取得時に APV25 1 枚分のデータの読み出しに最大 25  $\mu$ s 程度の時間がかかる。APV25 の読み出し枚数は 1 イベントあたり最大 24 枚であり、これをシリアルに読み出すので、600  $\mu$ s 程度の時間がかかる計算となる。ゼロサプレスでデータ量が 1/2 程度に削減されたとしても 1 イベントあたり 300  $\mu$ s 程度時間がかかるため、これが律速してビジーになってしまう。そこで、ZS-CMC からのデータ読み出しを 4 本ずつ並列に行うこととした。この場合、1 イベントあたりにデータ読み出しに必要な時間が 75  $\mu$ s 程度に短縮され、達成しうる最小のビジー長さ程度に削減できる見通しとなる。

### 4.3.3 改善見積もり

バッファリングによる DAQ 効率改善の見積もりを述べる。RAM バッファリングで期待される効果は大きく二つある。ひとつはスピルオンの間に取得したデータを保持し、スピルオフの時にも転送できるようにすることで取得データ量を増やす効果である。スピルオンの時に集中して行っていたデータ転送をスピル全体に平滑化できることになる。Run0c 時点でのスピルサイクルは 5.2 sec サイクルで、そのうちオンであるのは 2.0 sec であるので、この効果により最大で 2.6 倍程度の収量増加が見込める。もうひとつがビジータイム削減である。物理トリガーでのデータ取得に大きく効いてくるのはこの効果で、局所的に複数トリガーが発生した場合にもそれらのデータを取得できるようになる。図 4.2 に改善見込みの概念図、表 4.1 に改善見込みの値を示す。





 : アクセプトされたトリガー  
 : アクセプトされなかったトリガー

図 4.2: バッファリングの効果を示す概念図。左図がバッファリングなし、右図がバッファリングありの様子。バッファリングによってスピルオフの間のデータ転送を可能にすること、ビジーが短くなることで局所的に集中したトリガーでもデータ取得が可能なことを表す。

表 4.1: 改善見込みの値。期待されるビジー長さに対して、図 3.3 の値を使用した。

	改善前	改善後
ビジー長さ	800 $\mu$ s	80 $\mu$ s
DAQ 効率 (ビーム改善なし)	~15%	~55%
DAQ 効率 (ビーム改善あり)	~50%	~85%

## 4.4 RAM バッファリングシステムの実装

以下に Run0d に向けて実装し、評価を行った RAM バッファリングシステムの開発について記す。

### 4.4.1 Xilinx IP core, Memory Interface generator

RAM の使用に当たって、Xilinx IPcore である MIG を用いて実装を行った [30]。

### 4.4.2 RAM の仕様

使用した RAM は Xilinx Virtex6 での使用がサポートされている mt8jsf25664HZ-1G4D1 である。この RAM のスペックを下に記す。

- 容量：2GB



- 最大動作周波数：最大 1333MHz
- データ幅：64 bit
- ピーク転送レート：10.6GB/s

FPGA の制約により 800MHz での駆動をさせる。ピーク転送レートは 6.4GB/s である。

### 4.4.3 RAM data format について

MIG のユーザインターフェースの動作クロックは 200MHz で、物理層では 400MHz クロックの立ち上がりと立下り合わせて 800 MHz での動作をする。用いた RAM の bit 幅は 64bit であり、ユーザインターフェースの 1 クロック周期あたり、MIG の物理インターフェースでは 4 回のバースト書き込み/読み出し動作を行う。そのため、1 ワード 256bit を最小単位としてデータを取り扱うことになる。MIG の動作モードはバースト長 4 または 8 での使用が可能であり、RAM の書き込み速度が増すことを期待してバースト長 8 での動作モードでの実装を行った。そのため、ZS-CMC からデータを読み出し後段へ流す際に、データを 512bit に成形して扱う。512bit のデータの内訳を表 4.2 に示す。

#### データの種類: 3bit

ゼロサプレスをしたデータを扱うため、可変長データ読み出しに対応する必要がある。その方法については後述する。この読み出し方法で扱うため、512bit データの種類が分かるようにした。この種類とは、波形データ、データ読み出し終了マーカー、バッファ用データの三種類である。

#### エラー訂正:29bit

RAM から読み出されたデータにエラーが発生していないか確認するため、データにエラー訂正のために 29bit 分を用意した。例えば 10bit の拡張ハミング符号の付加で 1bit の誤り訂正と 2bit までのエラー検知が可能である。ただし、Run0d ではここにデータを書きこまれたアドレスと同じものを入れており、読み出したアドレスとこの部分が一致するかを確認するにとどまっている。

#### データフレーム:480bit

表 4.2: 1 度の指示で渡す 512 ビットの使用方法

bit	0-23	...	457-479	480-508	509-511
使用法	frame0	...	frame19	データヘッダー	データの種類

24bit を 1 フレームとして、20 フレームのデータを扱う。1 フレームは 1 クロック周期に対応しており、ZS-CMC から得るデータを 20 クロック周期分保存できる。

表 4.3、表 4.4 にデータフレームの扱い方を示す。ZS-CMC からのデータ読み出しはヒット数の読み出し、波形データの読み出しに分かれる。そのため、ヒット数用のデータフレームと波形データ用のフレームに分けた。

**データの種類:2bit**

波形データの場合とヒットデータの場合の 2 パターンに分かれる。

**ヒット数:8bit**

ヒット数用のデータフレームの場合、ZS-CMC で読み出すヒット数の情報を保存する。APV25 のチャンネル数は 128ch であり、APV25 のアドレスなどのデジタル情報を 2ch 分のデータに保存するため、ここで得られる最大 hit 数は 130 ch となる。

**エラー情報:8bit**

ZS-CMC モジュールではヒット数を出力するタイミングで ZS-CMC ロジックのエラー情報も出力する。そのため、ヒット数用のデータフレームのときこの情報を保存する。

**チャンネル番号:8bit**

波形データを読み出す際、ゼロサプレスをしたのち、波形データの ADC 値とチャンネル数は対応付けられている必要があるため、チャンネル番号を保存する。

**波形データ:13 bit**

波形データを保存する。ここで扱うデータは ADC ボードで変換された 12bit の値に加えて、符号 1bit を加えた 13bit である。

**write enable:1bit**

波形データ、ヒットデータのどちらのときも読み出した情報が有効かどうかのフラグが出力される。

ZS-CMC からのデータ読み出す際、まずヒット数の情報を読み出し、その情報に合わせてデータの読み出しを行う。データフレームはこのヒット数のデータを入れるフレームと波形データを入れるフレームの二種類に分けることにした。波形データを記録する際のデータフレームの使用方法を表 4.3、ヒット数データを記録する際のデータフレームの使用方法を 4.4 に記す。

表 4.3: data を入れる際の frame の使用法

bit	0-1	2-9	10	11-23
使用法	データの種類	チャンネル番号	write enable	data

表 4.4: hit 数を入れる際の frame の使用法

bit	0-1	2-4	5-12	13	14-23
使用法	データの種類	予約	ヒット数	write enable	error 情報

**4.4.4 RAM address usage について**

ここに、RAM のアドレスの使用方法を記す。

表 4.5: アドレスの使用法

bit	0-11	12-16	17-24	25-27
使用法	イベント番号	APV25 の番号、トリガー情報など	データ	バーストのための予約

RAMで使えるアドレスはrow、bank、column 合わせて28bitである。上位12bitをイベント数、続く5bitをAPV番号およびトリガーやタイムスタンプのデータ、下位3bitを除く残りを1回の書き込みごとに順に増やしていくためのアドレスとして設定した。下位3bitはバースト書き込み/読み出しのために予約されている。最大32サンプル、140chのデータを取得するため必要とするはクロック周期最大 $32 \times 140 = 4480$ である。これを取得できるように、data addressを8192クロック周期分のメモリ領域を確保する。1アドレスあたり20クロック周期分のデータを保管できるため、450クロック周期分用意すれば十分であり、アドレス8bit分、つまり512step分をdata addressに割り当てた。また、APV25チップはFPGA1つあたり24枚読み出すため、5bit = 32枚分を割り当てた。25枚目にあたるアドレスにトリガーなどの情報を格納している。残りの12bitがイベント番号に対応している。bankの切り替えで読み出しレイテンシは数クロック周期分伸びてしまうが、イベント番号の切り替え部分になるため影響は出ない。

#### 4.4.5 実装アルゴリズムについて

Run0dで実装したデータバッファリングシステムのアルゴリズムを記す。図4.3はRun0dに向けて実装したデータバッファリングシステムの概略図である。

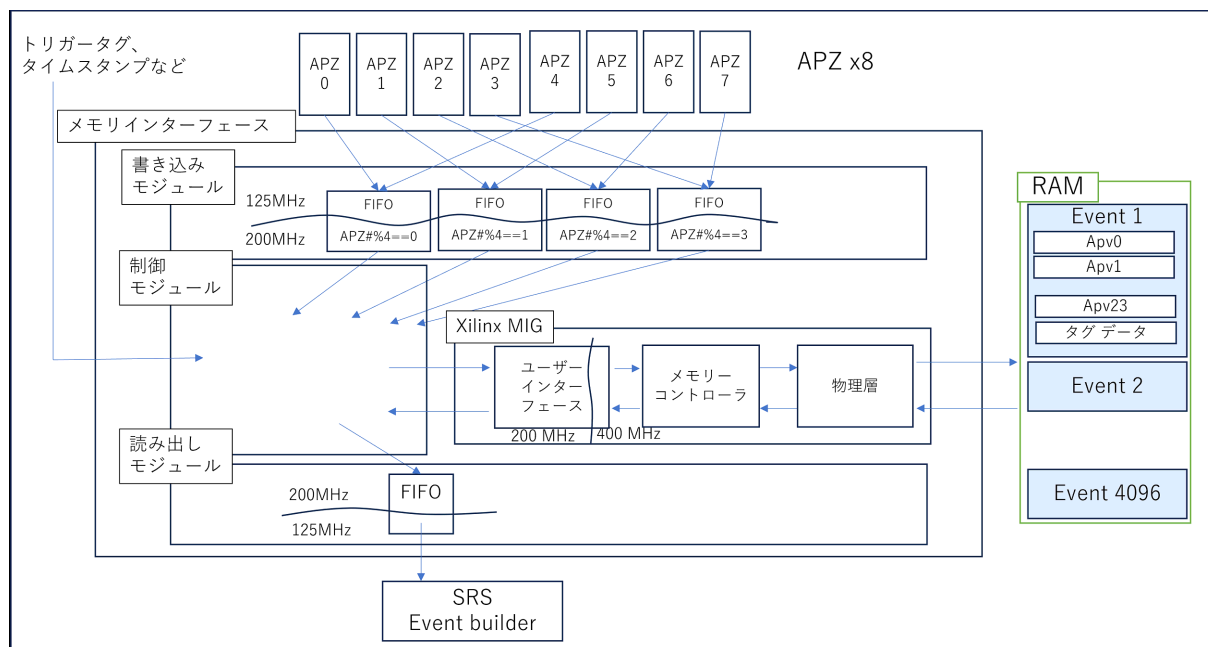


図 4.3: バッファリングシステムのアルゴリズムの概略図。上方から流れてきたデータを適切に処理し、Xilinx IP コアの MIG を経由して RAM に書き込み、ネットワーク転送に合わせて読み出すことでバッファリングを行う。

メモリインターフェースは ZS-CMC および後段のイベントビルダーと動作周波数が異なるため、データの受け渡しは非同期 FIFO で行う。非同期 FIFO は書き込み、読み出しで異なるクロック周波数を用いることが出来る FIFO である。FIFO の実装は Xilinx IP コアを用いた。Run0d のために実装したメモリインターフェースは主に ZS-CMC からのデータを受け取りデータを扱いやすいように加工する書き込みモジュール、書き込みモジュールからのデータを実際に RAM に書き込み、また後段が詰まっていないときに RAM から読み出す制御モジュール、制御モジュールが読み出したデータを書きこみモジュールが加工する前の形に直して後段へ送る読み出しモジュールの三つに分かれている。また、制御モジュールにはトリガータグ、ローカルタイムスタンプなどの情報を渡してイベントごとに保管する経路も用意されている。

#### 書き込みモジュール

書き込みモジュールは 4 つあり、ZS-CMC に読み出せるデータが存在するときそれぞれのモジュールが同時にデータを読み出す。APV25 の番号 APV ID=0,1,2,..23 に対して、書き込みモジュールは (モジュール番号)=(APV ID%4) の APV25 のデータを読み出す。そして、読み出したデータを 4.4.3 に述べた 512bit に成形し、書き込み用の非同期 FIFO に書き込み、制御モジュールからの読み出しを待つ。

ただし、1 チップのデータの読み出しの最後には読み出し終了マークと空のデータ数個を入れる。

#### 制御モジュール: 書き込み動作

メモリインターフェースモジュールは非同期 FIFO にデータが入っている場合、ラウンドロビン方式でそれぞれの書き込みモジュールからデータを読み、メモリへの書き込み指示を出す。ここで、書き込みアドレスはイベント、APV ID で決定する。

#### 制御モジュール: 読み出し動作

読み出しを行っていないときに、(全てのデータを書きこみが終わったイベント番号) > (読み出しを開始したイベント番号)

の条件を満たした場合に 1 イベント分の読み出しが開始する。データを読み出す際のアドレスの上位 17bit はイベント、APV ID で決まり、残りの下位 bit を順に increment していく。データ読み出し終了マークを読み出すと、次の APV ID 読み出しアドレスを移す。読み出したデータは読み出し用の非同期 FIFO に詰められる。ZS-CMC からのデータの読み出しが遅れるとビジーの発生につながってしまうため、データの読み出しに比べ書き込みの方が優先される。また、読み出しは後段モジュールの読み出し速度に合わせて行われる。

ここで、1 度の読み出し指示で読みだせるデータ量は 20 クロック周期分なのに対し読み出しのレイテンシは 30 クロック周期程度と大きい。そのため、一度読み出し指示を出したのち、そのデータが読み出されることを待たずに次のデータ読み出し指示を出す投機的実行を行う。

投機的実行を行うと、読み出し終了マークを読み出す前に複数回余分なデータを読み出してしまいが、この余分なデータ部分には書き込みモジュールで述べた通り空のデータをつめており、空のデータを読み出した時はその分のデータを破棄する。

この読み出しについての概念図を図 4.4 に示す。

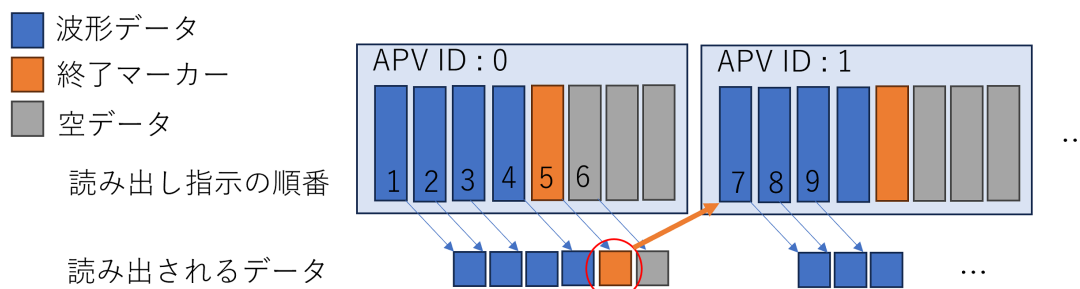


図 4.4: 投機的読み出しの概念図。読み出し指示を行ったデータが読み出される前に次のデータの読み出し指示を行う。終了マーカを読み出すまで同じ APV ID のデータを読み続けるので、余分な空データをいくつか読み出す。

### 読み出しモジュール

読み出し用 FIFO にデータが入っている場合、読み出し FIFO からデータを読み出し、ZS-CMC が扱っていたデータの形にデコードを行う。デコードしたデータは 125MHz の同期 FIFO に入れ、後段のデータリクエストに応じてデータを流す。このモジュールから流れるデータは、元々の ZS-CMC からのデータと同じ形のデータになる。

## 4.5 RAM 実効帯域見積もり

DDR3 RAM のピーク転送帯域は 6.4GB/s であるが、DDR3 RAM のデータ転送レートは DDR3 RAM のリフレッシュ動作、書き込み/読み出しモードの変更、ランクの切り替えなどのためピーク転送レートよりも低くなる。RAM の転送帯域として余裕をもって 2GB/s 程度を想定した実装を行ったが、実際に想定した速度での動作が来ているかのテストをした。

### 4.5.1 方法

テスト方法は以下のとおりである。FPGA 内に MIG への書き込みおよび読み出しのタイミングを見るためのロジックアナライザを組み込み、クロックトリガーにより実際に APV25 からのデータ取得を行いながら MIG への書き込み、読み出し指示が行われる回数を数えることで RAM の帯域を見積もった。SRS の動作モードは APZ force signal mode である。これは、APZ を使用しながらスレッシュホールドによるデータ削減を行わずにすべてのチャンネルのデータを取得するモードである。今回実装したファームウェアでは書き込みまたは読み出しのみ行っている部分と、書き込みと読み出しを並行して行っている部分がある。書き込みモードと読み出しモードの切り替えにより RAM の帯域が狭められてしまうが、実装の都合上書き込みモードと読み出しモードの切り替えが頻繁に行われてしまう。そのため、書き込みと読み出しを並行して行っている部分で十分な帯域で通信を行っていることの確認を行った。1 イベント分の読み出しを行っている部分で確認した。

## 4.5.2 結果

図 4.5 に実際に見た様子を示す。

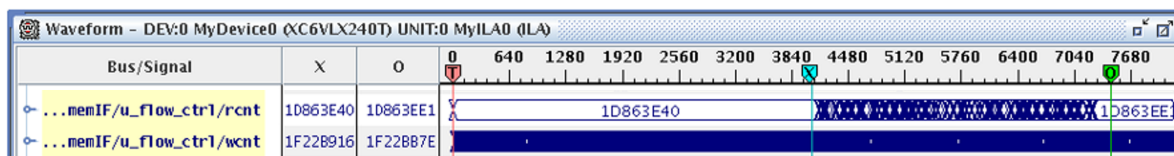


図 4.5: RAM への書き込み/読み出しレートを調べた際の図。rcnt が読み出し、wcnt が書き込みの指示を出した回数に対応する。バースト長 8 での動作をしており、書き込み/読み出し 1 回につき 64bit 幅のデータ線に 8 回の書き込み/読み出しを行い、64 byte のデータが書き込み/読み出しされる。

また、表 4.6 にこのテストで得られた 1 イベントあたり平均書き込み回数/秒、読み出し回数/秒の値を記載する。

	書き込み	読み出し
指示回数	616	161
データ量	39424 byte	10304 byte
データレート	2.3GB/s	0.606 GB/s

表 4.6: 書き込み、読み出しレート

この見積もりから、今回の実装により、ゼロサプレスがある条件下でデータ取得に十分な程度の実効帯域が実現出来ていることを確認した。



## 第5章 E16 DAQ性能評価

バッファリングシステムによるDAQ効率の改善の確認とE16 DAQのビジーについての評価を行った。その手法と結果について本章に述べる。評価には実際の実験と同じビームと、クロックトリガーによるデータを用いた。

### 5.1 ビームによる評価

E16実験 Run0dは2023年6月19日から6月22日まで、10.5時間にわたり実施された。DAQ性能の評価としては、SRS-ATCAのバッファリングシステムを導入しビームによるトリガーでのデータ取得でE16実験のDAQシステム全体のビジー長さ、DAQ効率の検証を行った。

#### 5.1.1 Run0dでのDAQ設定について

Run0dでの新ファームウェア性能評価用のデータとして、トリガーリクエスト2kHz、4kHz APV サンプル数18、24、バッファリングあり、なしの8項目でのテストを行った。使用したトリガーはE16実験におけるミニマムバイアストリガーであるIM3トリガーである。これについては次の節5.1.2で説明する。物理トリガーでのデータ取得が無いのはビームタイムの予期しない短縮による。データ取得モードは、24サンプル、バッファリングなしのランではRun0cと同様の条件のRAWデータモード、それ以外ではAPZ force signalモードでのデータ取得である。イベントごとのトリガーのビジー長さやトリガーリクエスト数、トリガーアクセプト数がTRG-MRGから、UT3を経てDAQPCに記録される。この情報を用いてDAQ効率を評価する。データ取得は今回開発を行ったSRSを用いる検出器(GTR、HBD)のみではなくLGを含めて行った。つまり、SSDを除く全モジュールでのデータ取得を行い、全体のビジー長さについて評価する。

#### 5.1.2 IM3 トリガーについて

IM3トリガーは図5.1に示すような、ターゲットを見込む3つのシンチレータのコインシデンスによるトリガーである。標的で反応したイベントを選別するため、標的と3つのシンチレータが一直線に並ぶよう配置されている。最上流のシンチレータは10mm×10mm×70mmの直方体であり、下流側の二枚のシンチレータは10mm×100mm×430mmの直方体である。

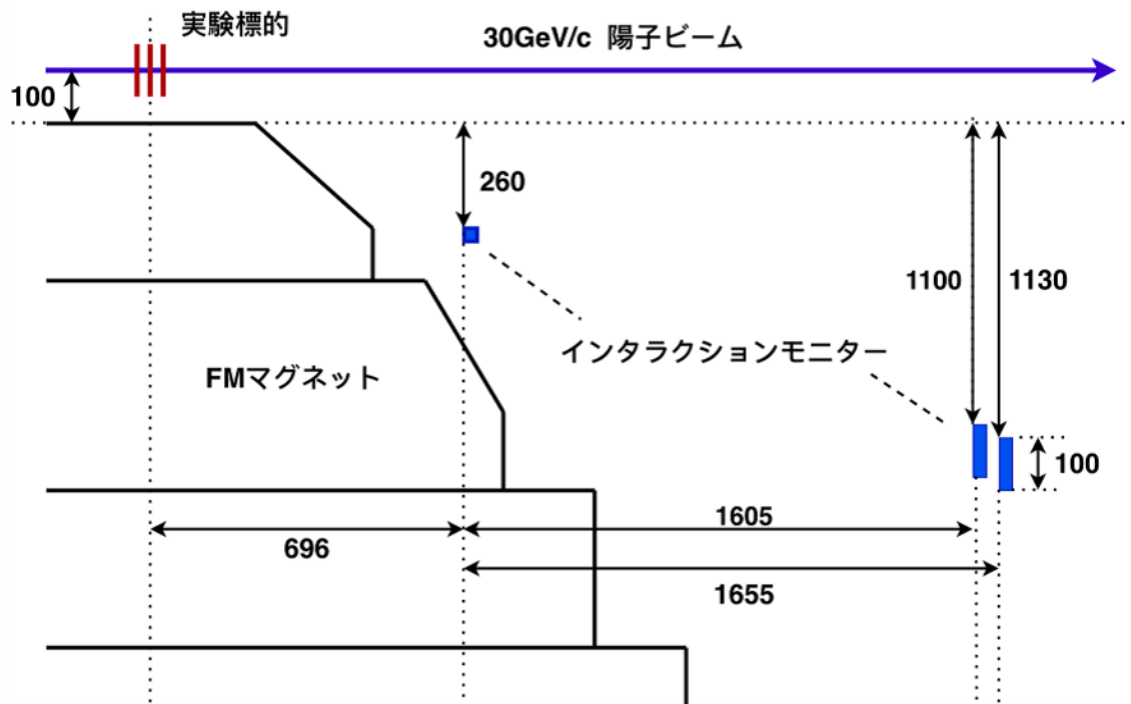


図 5.1: インタラクションモニターの位置関係 [36]。

### 5.1.3 結果

IM3 トリガーでの取得データから、DAQ 効率を評価し、それぞれのスパル毎にプロットしたものが図 5.2 である。また、それぞれのランの平均 DAQ 効率を図 5.3 に、平均 DAQ 効率の値をまとめたものが表 5.1、5.2 である。これらの値からバッファリングシステムの導入により 2 倍から 3 倍程度 DAQ 効率が倍向上していることが分かる。

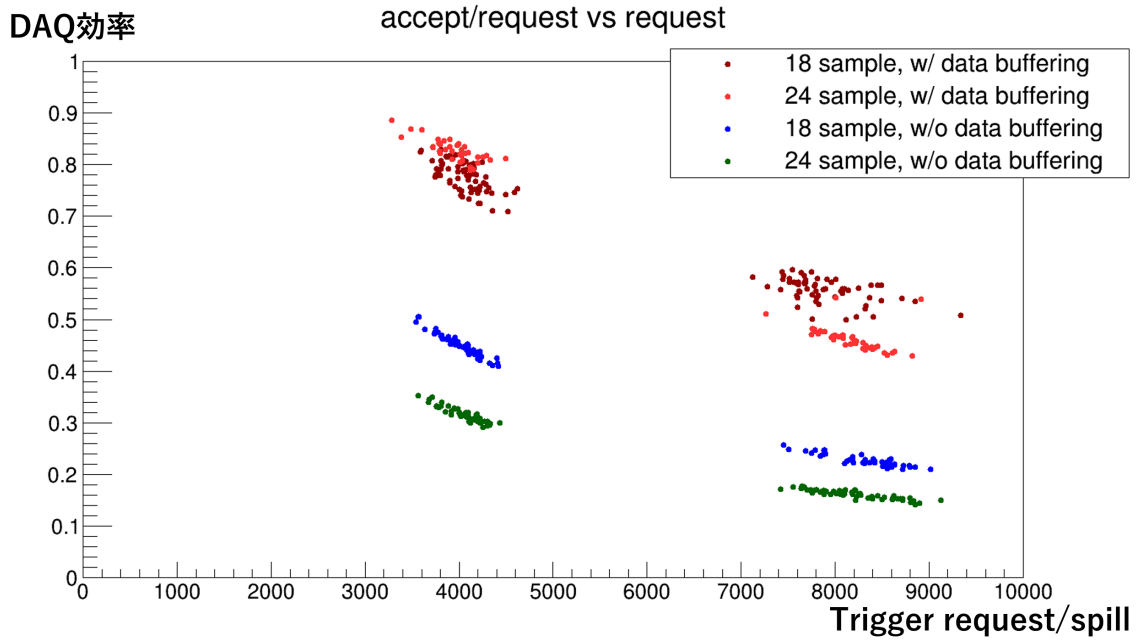


図 5.2: トリガーリクエスト毎の DAQ 効率。スピル毎にプロットしている。

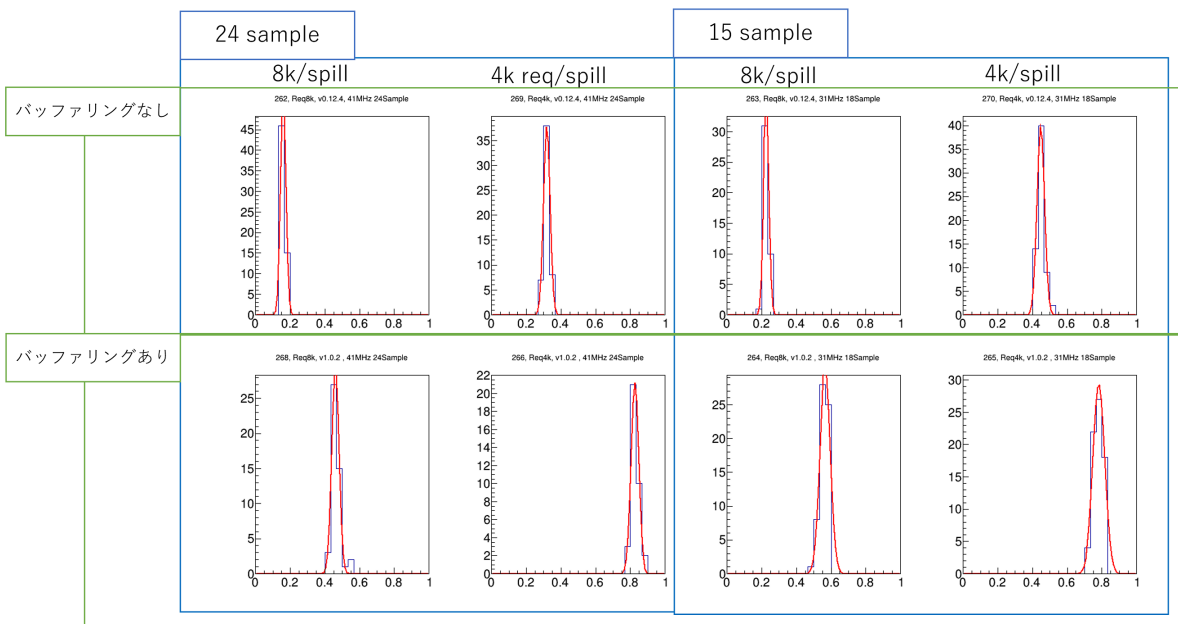


図 5.3: それぞれのランでのスピル毎 DAQ 効率をガウシアンでフィットしたもの。

表 5.1: 平均 DAQ 効率、4k リクエスト/スピル

サンプル数	24	18
バッファリングあり	$0.825 \pm 0.004$	$0.781 \pm 0.006$
バッファリングなし	$0.317 \pm 0.003$	$0.447 \pm 0.003$

表 5.2: 平均 DAQ 効率、8k リクエスト/スピル

サンプル数	24	18
バッファリングあり	$0.460 \pm 0.003$	$0.564 \pm 0.006$
バッファリングなし	$0.158 \pm 0.02$	$0.225 \pm 0.003$

SRS 以外のビジーを含む E16 DAQ 全体で見たイベントごとのビジー長さをヒストグラムで表したものが図 5.4、図 5.5 である。データ収集時スピル毎にスピル番号などのスピルの情報を TRG-MRG から DAQ PC に送っており、図 5.5 のそれぞれの図の一番左に見えるピークはこのスピル情報取得時に発生するビジーである。また、それぞれの図で次に見えるピークはバッファリングあり、かつ 18 サンプルのデータ以外では特定されている。この構造のそれぞれの値と判明している原因について次の表 5.3 に示す。

表 5.3: データ取得時に見られる最小ビジー長さ。バッファリングあり、18 サンプルのデータについては理由は判明していない。

	サンプル数	ビジー長さ [ $\mu\text{s}$ ]	由来
バッファリングあり	24	65	APV25 から SRS へのデータ転送
	18	100	不明
バッファリングなし	24	90	RAW data mode の固定長ウィンドウ
	18	33	APV25 から SRS へのデータ転送

また、これらのラン毎の値を平均したビジー長さを表 5.4、5.5 にまとめてある。24 サンプル、8k リクエスト/スピルの最も厳しい条件でネットワーク律速が生じており、この条件の平均ビジー長さだけ他のバッファリングありの条件に比べて長くなっていることが分かる。

表 5.4: 平均ビジー長さ/8k Req./スピル

サンプル数	24	18
バッファリングあり	224 $\mu\text{s}$	128 $\mu\text{s}$
バッファリング無し	1131 $\mu\text{s}$	675 $\mu\text{s}$

表 5.5: 平均ビジー長さ/4k Req./スピル

サンプル数	24	18
バッファリングあり	88.5 $\mu$ s	125 $\mu$ s
バッファリング無し	978 $\mu$ s	508 $\mu$ s

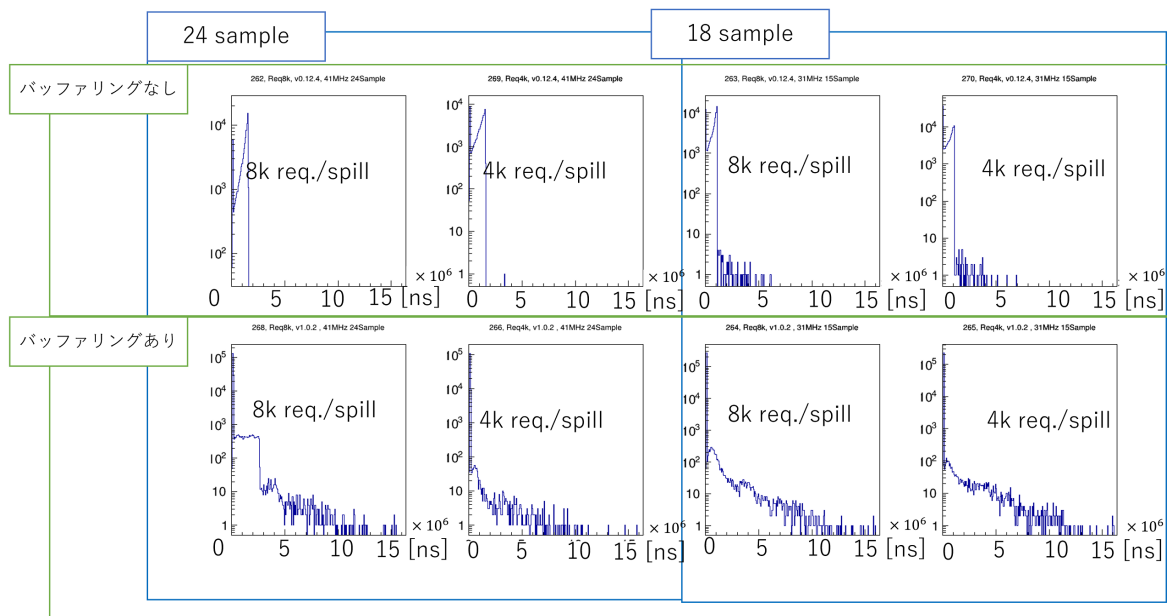


図 5.4: DAQ 全体のビジー長さ。横軸最大 16 ms でのプロット。

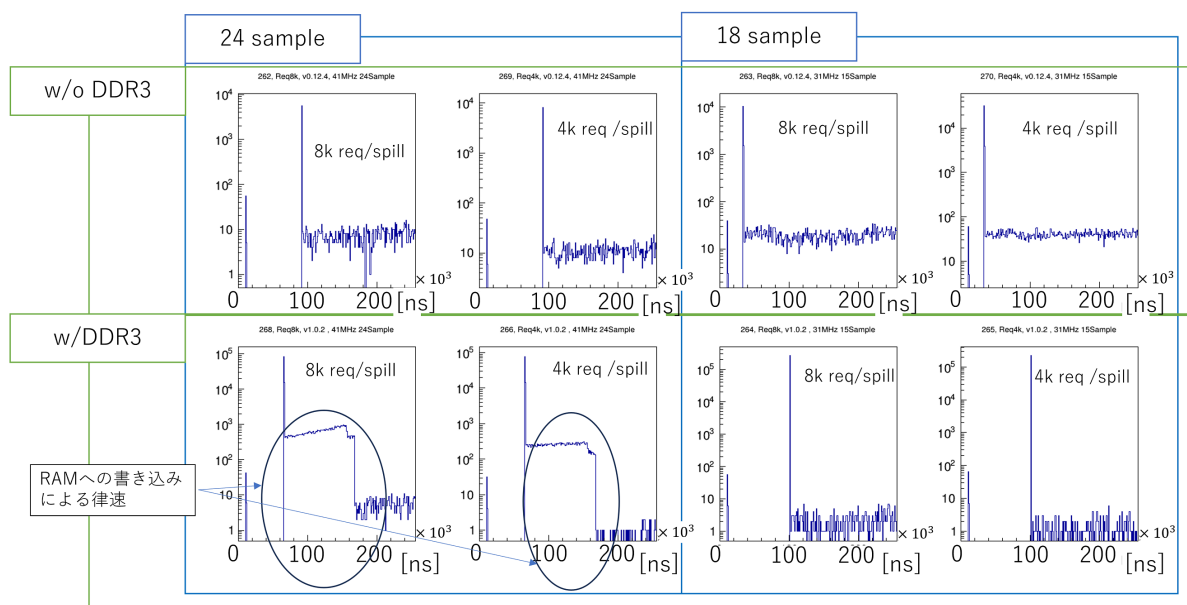


図 5.5: DAQ 全体のビジー長さ。横軸最大  $256 \mu\text{s}$  でのプロット。RAM への書き込みによる律速と断定しているビジー構造は、後の周期トリガーでのデータ取得で確かめられた。

### 5.1.4 考察

SRS-ATCA でのデータバッファリングシステムの実装により目標としていた平均  $100 \mu\text{s}$  程度のビジー長さを達成し、DAQ 効率が 2 倍から 3 倍程度向上することが分かった。以下ではこの値を決める要因について考察する。

#### 最大データ転送量

図 5.3 のバッファリングなし、および 24 サンプルかつ 8k リクエストの場合のプロットは分布が細くなっている。これは、ネットワーク転送帯域のために 1 スピルの  $5.2 \text{ sec}$  サイクルの間に転送できるデータ量が制限されるためである。ネットワーク帯域でデータが詰まる状態の場合、SRS は常にデータを転送している状態となるため、1 スピルで転送できるデータ量が  $A = (\text{転送時間 [s]}) / (\text{最大データ転送レート [bit/s]})$  で固定されているものとみなせる。よって、アクセプト/リクエスト比のプロットが  $y = A / (\text{リクエストレート})$  の双曲線の上に乗ることになる。図 5.6 は、図 5.2 のうち高トリガーリクエスト領域で広がり狭いデータを双曲線でフィットしたものである。バッファリングなしのデータのフィットはともに 4k リクエスト部分でのフィットであるが、8k リクエスト部分の値がそれらのフィットの外挿と良く一致している。フィットした結果を表 5.6 にまとめる。

表 5.6: Minimization Results

Chi2	Ndf	A
7.5	14	1276 ± 4
15.4	18	1803 ± 5
4.2	13	3731 ± 7

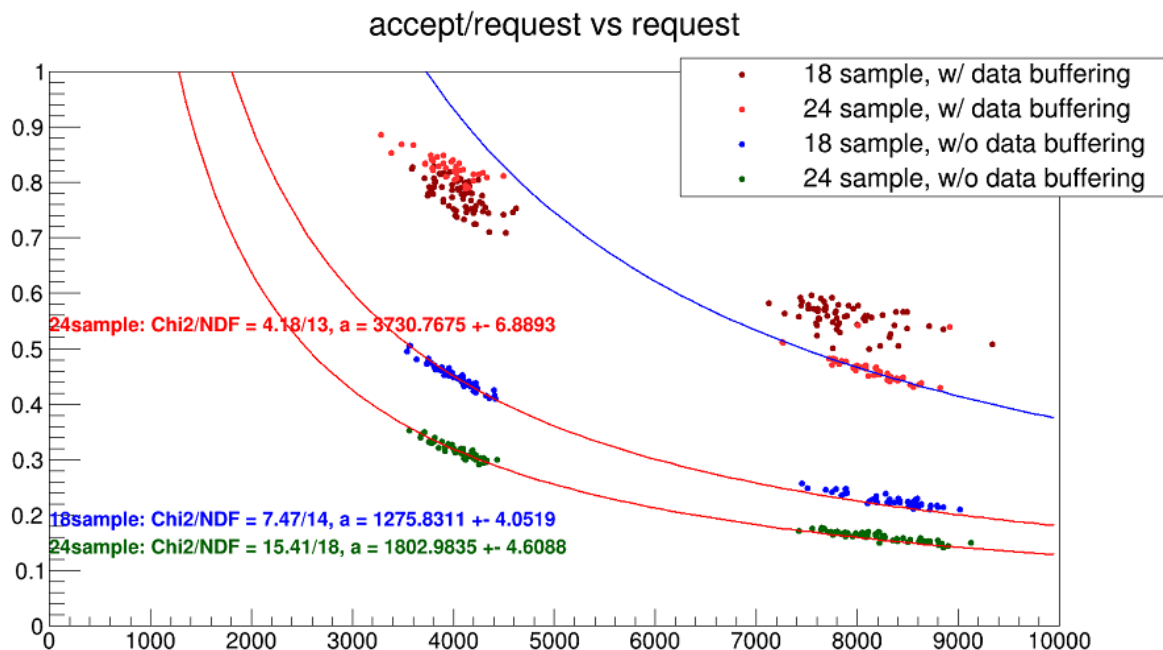


図 5.6: バッファリングなしでの 18 サンプル、24 サンプルのデータおよびバッファリングあり、8k リクエスト/スピルの 24 サンプルのデータを双曲線  $y = A/x$  でフィットした図。バッファリングあり、8k リクエスト/スピルの 24 サンプルのデータのうち双曲線から外れているものはランの最初に取得されたバッファが埋まり切っていないスピルのデータであり、このフィットからは除外している。

ここで、SRS からのデータ転送量を考える。SRS から転送される 1 イベント当たりのデータ量は 18 サンプルで 119894 byte、24 サンプルで 157332 byte である。Run0d 中にモニターしていた SRS から DAQ 計算機へのデータ転送量は UDP1 本あたり 110 MB 程度であった。この値を使うと、SRS から PC へは

24 サンプルで  $110 \text{ MB}/157 \text{ kB} = 700 \text{ イベント/sec}$  程度、

18 サンプルで  $110 \text{ MB}/120 \text{ kB} = 917 \text{ イベント/sec}$  程度のイベントを転送できることになる。バッファリングなしのときにはデータ転送可能時間は 2.0 sec/スピル程度として、最大で 24 サンプルで 1400 イベント/スピル、18 サンプルで 1834 イベント/スピル程度、バッファリングありのときにはデータ転送可能時間は 5.2 sec/スピル程度として、24 サンプルで 3500 イベント/スピル程度となる。

これは双曲線によるフィットの値と近く、最大データ転送量は SRS のデータ転送量により律速されていたものと考えられる。



## RAM バッファが埋まるまでの時間

RAM バッファにたまる 1 スピル当たりのデータ量は、スピルオンが 2.0 sec、スピルサイクルが 5.2 sec であることを考慮して、

$$(\text{データ取得レート [Mb/s]} \times 2.0[\text{s}] - (\text{データ転送量 [Mb/s]} \times 5.2[\text{s}]$$

で表される。スレッシュホールドをかけずにすべてのデータを読み出している今回のデータ取得では、データ取得レートが高く、24 サンプルかつ 8k リクエストのデータ取得時にバッファが埋まり、ネットワーク帯域で律速されているのが確認されている。ゼロサプレスをを行わない条件ではバッファリングによるネットワークのボトルネック解消が不十分であるといえる。ゼロサプレスを行った際のデータ削減率、取得可能イベント数については 6 章で述べる。

図 5.2 にバッファリングを行ったランの DAQ 効率のデータを示す。プロットされたデータは 24 サンプル、18 サンプルでの取得されたデータである。サンプル数が少ない、言い換えると取り扱うデータ量が少ない 18 サンプルのデータ取得の方が DAQ 効率が良いことが期待されるが、この図では 4k リクエスト/スピルの領域において 24 サンプルでのデータ取得時の DAQ 効率が 18 サンプルでのデータ取得時の DAQ 効率を上回っている。

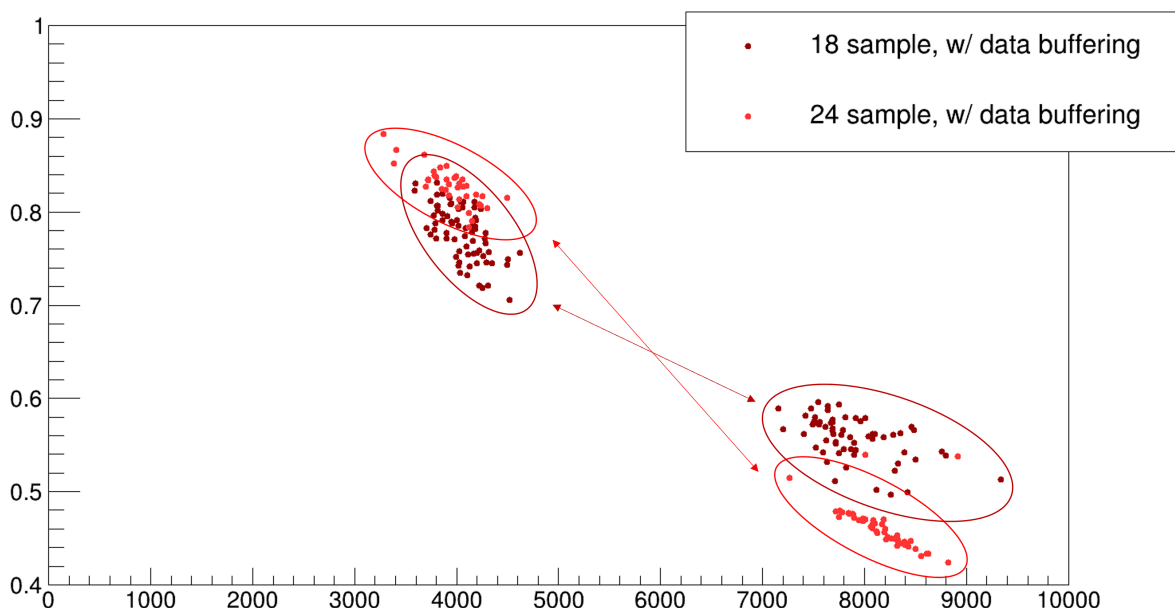


図 5.7: プロットの逆転。図 5.2 の上部を拡大した図。

この現象は 18 サンプルでの最小ビジー長さが予想と異なることに由来すると考えられる。図 5.5 に示すそれぞれの最小ビジー長さのうち、バッファあり 18 サンプルのデータは他と比較して特に長い。このため、最小ビジー長さが DAQ 効率に大きく寄与する低リクエストレートの部分で、18 サンプルのランが 24 サンプルのランに比べて低いトリガーアクセプト率になっていると考えられる。しかし、24 サンプルではリクエスト数が大きくなるとネットワークによる律速が発生し、24 サンプルでの DAQ 効率が下がる。そのため、8k リクエスト/スピルの領域では 24 サンプルの DAQ 効率が 18 サンプルの DAQ 効率に比

して低くなる。ただし、このような定性的な考察は可能であるもののこの現象は Run0d 終了後再現出来ておらず、今後の課題として追及する。

### SRS 以外のビジー

ビジーの主な寄与は SRS によるものと期待されていたが、バッファリングシステムを用いたデータ取得を行うと、そうでない場合に比べて Run0d のデータでは SRS 原因となるビジーの長さを超える最大 20ms 程度のビジーが発生していた。これはおおむね TRG-MRG から直接取得したビジー長さとして一致していることが分かった。図 5.8 に全体のビジー長さと TRG-MRG から発生するビジー長さの図を示す。

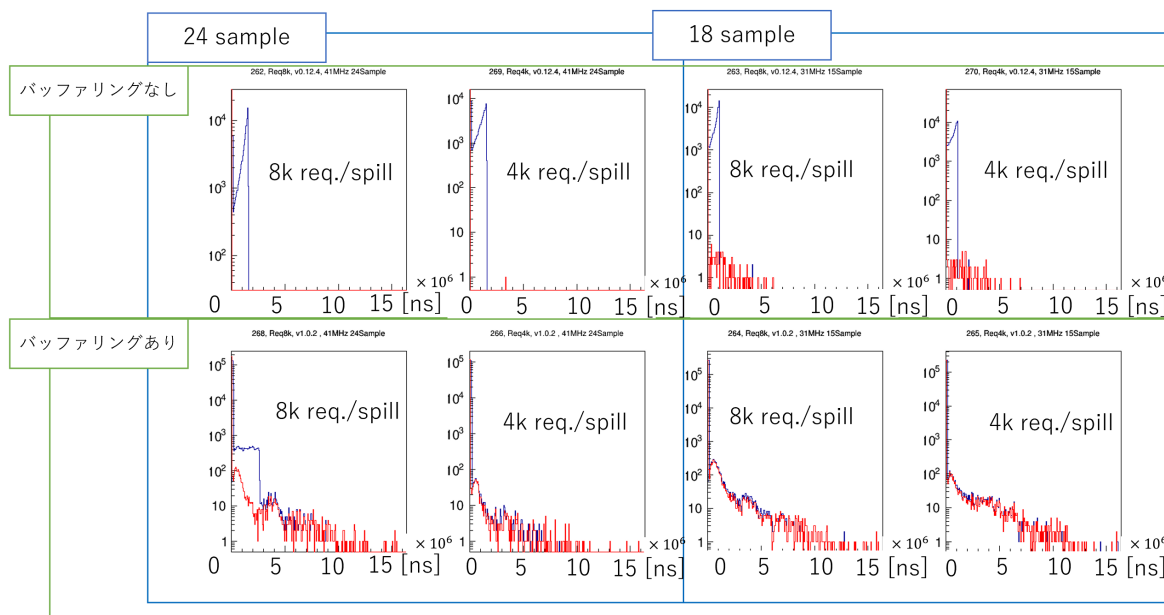


図 5.8: DAQ 全体のビジー長さ (青線) と TRG-MRG のビジー長さ (赤線)。横軸は最大が 16ms。TRG-MRG のビジーは、5 台ある TRG-MRG のビジーのうち 1 イベントあたり最大長さのものをヒストグラムに表示している。

この TRG-MRG 由来のビジーが DAQ 効率に与える影響を次のように評価する。まず、TRG-MRG が最も長いビジーを出したイベント数、を  $N_m$ 、全体のイベント数を  $N_{tot}$  としたときの  $N_m/N_{tot}$ 、および TRG-MRG が最も長いビジーを出したイベントのビジー長さの和を  $T_m$ 、全体のビジー長さの和を  $T_{tot}$  としたときの  $T_m/T_{tot}$  を求める。バッファリングを行ったランでのこれらの値は次の表 5.7、表 5.8 のようになる。

表 5.7: TRG-MRG が主要なビジーを出すイベントについての値。18 サンプルでのデータ

	$N_m$	$N_{tot}$	$T_m[\text{ns}]$	$T_{tot}[\text{ns}]$	$N_m/N_{tot}$	$T_m/T_{tot}$
8k リクエスト/スピル	$4.8 \times 10^3$	$2.7 \times 10^5$	$4.5 \times 10^9$	$9.4 \times 10^8$	$1.7 \times 10^{-2}$	$2.1 \times 10^{-1}$
4k リクエスト/スピル	$2.6 \times 10^3$	$2.2 \times 10^5$	$3.7 \times 10^9$	$7.5 \times 10^8$	$1.1 \times 10^{-2}$	$2.0 \times 10^{-1}$

表 5.8: TRG-MRG が主要なビジーを出すイベントについての値。24 サンプルでのデータ

	$N_m$	$N_{tot}$	$T_m[\text{ns}]$	$T_{tot}[\text{ns}]$	$N_m/N_{tot}$	$T_m/T_{tot}$
8k リクエスト/スピル	$2.2 \times 10^3$	$1.8 \times 10^5$	$5.2 \times 10^9$	$5.2 \times 10^8$	$1.2 \times 10^{-2}$	$1.0 \times 10^{-1}$
4k リクエスト/スピル	$9.1 \times 10^2$	$1.4 \times 10^5$	$1.4 \times 10^9$	$1.8 \times 10^8$	$7.7 \times 10^{-3}$	$1.2 \times 10^{-1}$

$N_m/N_{tot}$  の値からアクセプトのうち全体の 1-2%程度が、 $T_m/T_{tot}$  の値から全体に占めるビジー長さのうちの 1-2 割程度が TRG-MRG によるものと分かる。ビジー長さで評価すると全体の 1-2 割のビジー長さであるが、イベント数としては 1%と少ない。そのため、この長いビジーのイベントが発生した場合にオンラインでこのイベントのデータを棄却して次のデータ取得に移る事が出来れば DAQ 効率への影響は取得データ量が高々 1%程度減るにとどまる非常に小さいものであると考えられる。

### 5.1.5 エラーレートの評価

当該データの取得時にはオンラインでのイベントビルドを行っていた。この動作モードでは同時に動作していた 6 台の SRS のうち、一つでも特定のイベントの取得に失敗している場合はそのイベントは保存されず破棄される。このとき、トリガーアクセプト数とイベントビルドされたイベント数を比較することで SRS のデータ取得の過程で生じるエラーの発生率を計算できる。ここでいうエラーは、トリガーがアクセプトされたのち、そのトリガーに対応するデータが DAQ PC でイベントビルドされない状況を指す。検証に用いた 57,000 イベントのうち上述のエラーが発生したイベントは無かった。そのため、エラーが発生する確率が低くポアソン分布に従うとして、信頼水準を  $CL=95\%$  としたときのエラー発生レートの上限值を見積もる。N イベントあたりのエラーレートを  $\lambda$  としたとき、このデータ取得でエラーが発生しない確率は  $P(0|\lambda) = \exp(-\lambda N)$  となる。 $\lambda$  がある値  $\lambda_0$  より低い確率  $P(\lambda \leq \lambda_0)$  は、

$$P(\lambda \leq \lambda_0) = \int_0^{\lambda_0} N \exp(-\lambda N) d\lambda = 1 - \exp(-\lambda_0 N)$$

である。ここで  $CL=95\%$  と設定していたので、

$$\lambda_0 = -\frac{1}{N} \ln(1 - 0.95) \sim 5.3 \times 10^{-5}$$

となる。以上からエラーレートの上限を  $5.3 \times 10^{-5}$  と見積もった。この値は、ビジー長さや DAQ 効率など他の要因に比べて無視できるほど小さい。

## 5.2 周期トリガーデータによる評価

開発した SRS バッファリングシステムの性能評価および Run0d での取得データの理解のため、パルサーによる周期トリガーでデータ取得を行った。Run0d でのデータ取得においては 24 サンプル、18 サンプルでのデータ取得のみを行っていた。このテストではサンプル数により変化するビジータイムの成分を確認するため、サンプル数をスキャンして 12、15、18、21、24、27、30 サンプルでのデータ取得を行う。

### 5.2.1 実験方法

Trigger DAQ と SRS-ATCA のみでクロックトリガーによるデータ取得を行った。トリガーは UT3 の機能を用いて 62.5MHz の周期トリガーを作成する。

### 5.2.2 結果

得られたビジー長さのヒストグラムは次の図 5.9、5.10 のようになった。

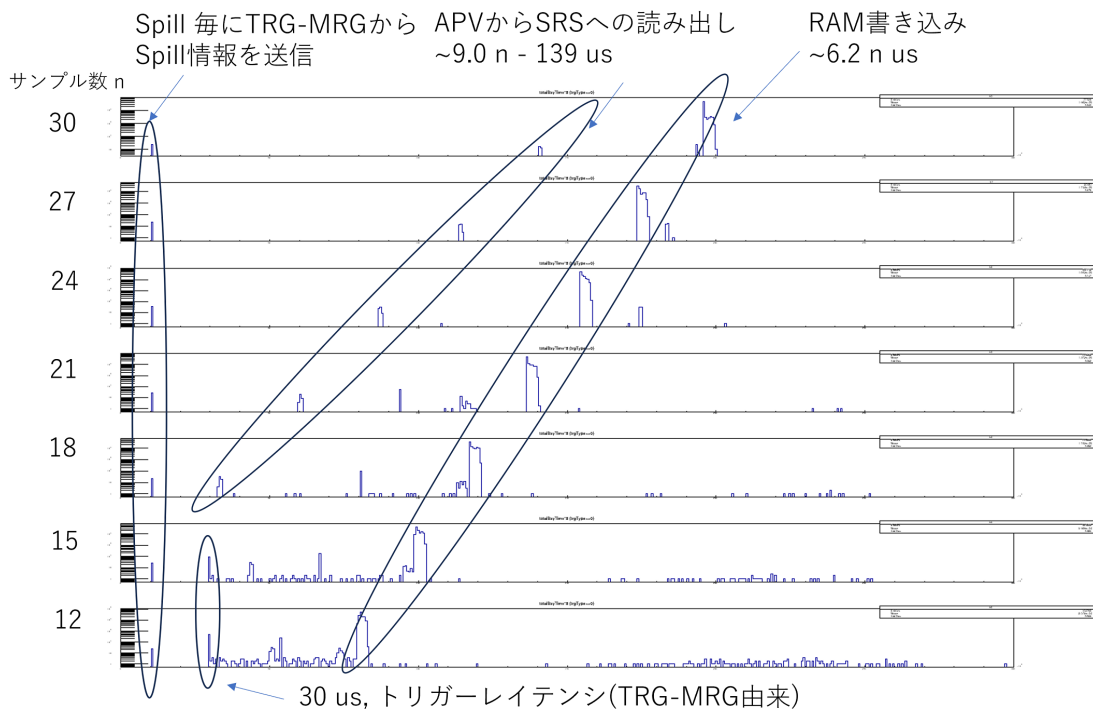


図 5.9: クロックトリガーでのデータ取得. 32.5MHz でのサンプリング。上から 30、27、24、21、18、15、12 サンプルでのデータ

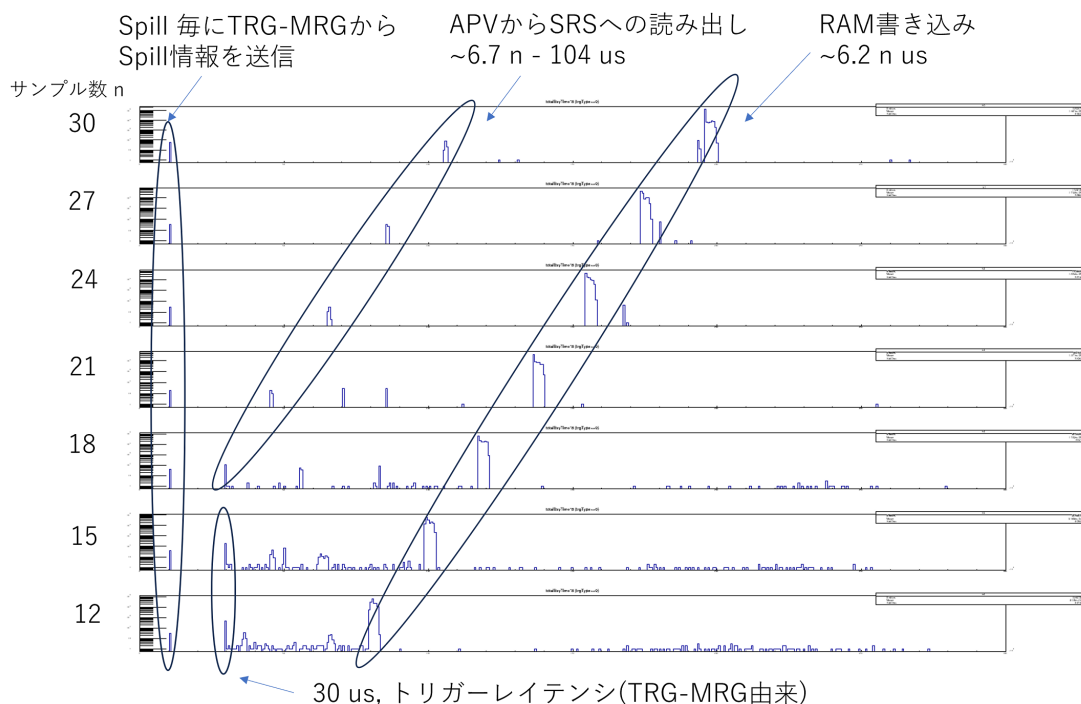


図 5.10: クロックトリガーでのデータ取得. 41.66MHzでのサンプリング。上から30、27、24、21、18、15、12 サンプルでのデータ

このヒストグラムから、APV25からの読み出しで発生するビジー、RAMへの書き込みで発生するビジー、TRG DAQで発生するビジーが確認できる。

### TRG-MRG

TRG-MRG からトリガーアクセプト毎に  $30 \mu\text{s}$  のビジーが発生する。それぞれのサンプリング周波数で、12 サンプル、15 サンプルのデータでは SRS のビジーが  $30 \mu\text{s}$  を下回り、このビジーが見えている。

### APV25 から SRS への読み出し

最小のビジー長さは TRG DAQ、APV25 からの読み出し由来である。APV25 の 1 イベント分のデータ転送にかかる時間は、41.66MHz での動作時にサンプル数を 24 として

$$n \times 140[\text{クロック周期}] \times 24[\text{ns}] \sim 81[\mu\text{s}]$$

程度かかる。

SRS では APV25 のアナログパイプラインによるアナログデータのバッファリングによりビジーを減らす実装が為されているため、最小のビジーはデータ転送にかかる時間より短い。APV25 でデータバッファとして使えるパイプラインの数は 32 個であり、バッファが空の状態からデータ取得をしてから次のサンプルを取得できるまでのデータ転送時間の分だけビジーが発生する。ただし、APV25 ではこのデータバッファとして使えるパイプライン全てが埋まると FIFO エラーのフラグが立つため、31 セルを上限として使用する [19]。

また、FPGA の内部処理のため 41.66MHz 動作時  $9 \mu\text{s}$ 、31.25 MHz 動作時  $13 \mu\text{s}$  程度の固定レイテンシが発生する。これはそれぞれの動作周波数で 380 クロック周期程度のレイテンシとなる。サンプル数を  $n$  として、 $n$  が 18 以上の場合 41.66MHz での動作時に

$$(n - (31 - n)) \times 24[\text{ns}] \times 140[\text{クロック周期}] \sim 6.7n - 104[\mu\text{s}]$$

31.25MHz での動作時に、

$$(n - (31 - n)) \times 32[\text{ns}] \times 140[\text{クロック周期}] \sim 9.0n - 139[\mu\text{s}]$$

だけの時間が最小ビジー長さとなる。図 5.11 は APV25 でのバッファリングを示す模式図である。

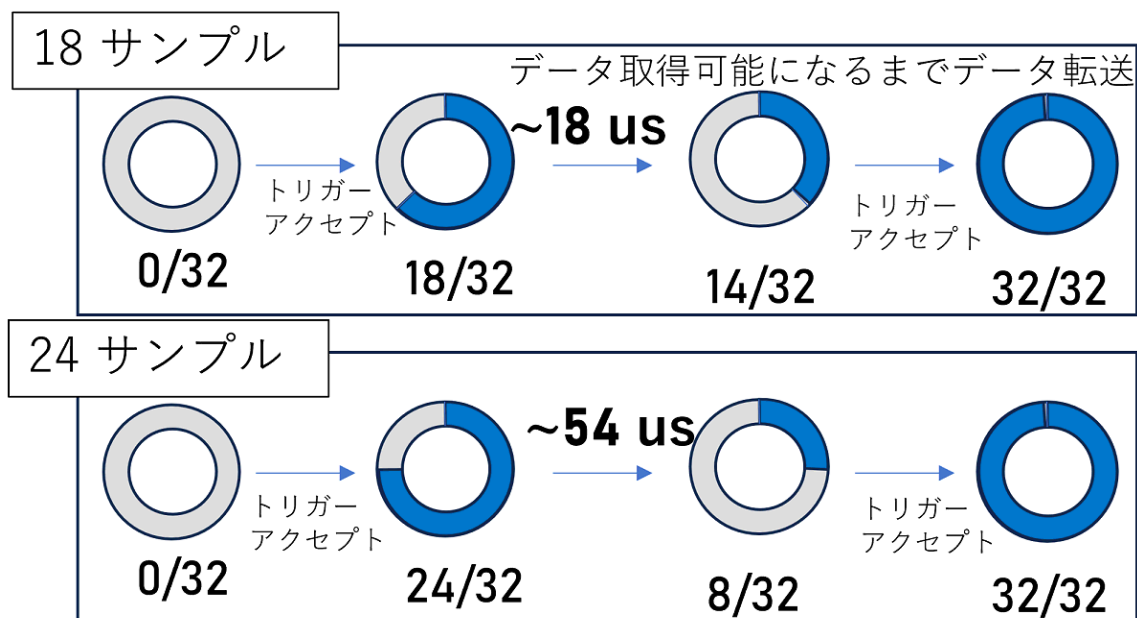


図 5.11: APV25 でのアナログパイプラインで発生するビジー長さについての模式図。24 サンプルでの 41.66MHz、18 サンプルでは 31.25MHz での動作クロックを想定。APV25 で一度データ取得を行ってから次のデータ取得が可能になるまでの最小時間は、サンプリング周波数 41.66MHz、24 サンプルで  $54 \mu\text{s}$ 、サンプリング周波数 31.25MHz、18 サンプルで  $18 \mu\text{s}$  程度になる。

### RAM への書き込み

このテストではすべてのチャンネルのデータを読み出しているため、RAM に書き込むデータ量が多く、RAM への書き込みによる律速が見えている。ZS-CMC モジュール 1 つからのデータの読み出しに (クロック周期)  $\times$  130[ch]  $\times$  サンプル数が必要である。動作周波数は 125MHz で APV25 24 枚分のデータを 4 つずつ並列に読み出し

ているため、

$$8[\text{ns}] \times 6[\text{times}] \times 130[\text{ch}] \times \text{サンプル数} \sim 6\mu\text{s} \times \text{サンプル数}$$

程度の時間がかかる。

前章で示した図 5.5 のうち、バッファリングありの 24 サンプル、バッファリングなしの 18 サンプルの取得データのビジーはこのテスト結果から説明できる。ただし、バッファリングあり 18 サンプルの値は再現できておらず、今後の検証が必要である。



## 第6章 議論と展望

今回開発した RAM バッファリングシステムで DAQ 効率の改善を図ることが出来た。しかし、先述の通り物理トリガーでのデータ取得を行えていないため、過去のビームタイムで生成した物理トリガーの時刻情報を用いることで期待される DAQ 効率の見積もりを行った。

また、今後ビームラインのスピルサイクルが変更されることが検討されている。スピルサイクル変更による DAQ への影響を評価した。

### 6.1 物理トリガーでの DAQ 効率見積もり

Run0d では J-PARC 施設で発生した火災などの予期しないビームタイムの短縮により、物理トリガーでのデータ取得は行うことが出来なかった。そのため、物理トリガーではどれくらいの改善が見られるかを見積もった。物理トリガーでの改善見積もりの方法は以下のとおりである。まず、DAQ 効率の評価には今回のコミッショニングの Run0d で判明したビジー構造から、トリガーリクエストの時刻情報を入力値としてビジーを返すモデルを作成し、これに Run0c において実施した物理トリガーの時刻情報を与えた。

#### 6.1.1 評価モデル

5章での評価により、全体のビジー長さに TRG-MRG が 10%程度 の寄与をしており、残りは SRS のビジーとして説明できることが分かった。TRG-MRG から発生するビジーが主要となるイベント数は表 5.7、5.8 に示したように全体の 1-2%程度 の個数しかない。そのため、DAQ 効率に最も寄与するのは SRS のビジー長さであるとして、SRS のビジー長さを再現する評価モデルを作成した。

#### 6.1.2 DAQ 効率評価

上述の評価モデルに、過去のビームタイムで生成した物理トリガーの時刻情報を入力することでトリガーアクセプト毎のビジー長さを評価した。Run0c のビーム強度  $1.0 \times 10^{10}$  ppp、 $7.1 \times 10^9$  ppp のランで電子ペアの開き角により作成した物理トリガーの時刻データを使用する。図 3.3 の左図のシミュレーションに使用したものと同一のデータである。これらのランのトリガーについての情報を表 6.1 に示す。

ビーム強度	$1.0 \times 10^{10}$	$7.1 \times 10^9$
電子対の開き角の下限	60°	35°
トリガーリクエスト/スピル 平均	3234	2328
トリガーリクエスト/スピル 分散	1539	1520

表 6.1: 用いたランのトリガーリクエストのデータについてのビーム強度、トリガー条件、平均リクエスト数の比較

テストの結果を次の表 6.2、表 6.3 に記す。ゼロサプレスではデータを 5 割程度削減できるものと仮定している。ここでエラー  $e$  は得られた DAQ 効率の値を  $p$ 、トリガーリクエスト数を  $n$  としたとき、アクセプト数  $x$  が二項分布

$$P(X = x) = {}_n C_x p^x (1 - p)^{n-x}$$

に従うとして、この二項分布の分散が

$$V(X) = np(1 - p)$$

となることから、

$$e = \sqrt{\frac{p(1 - p)}{n}}$$

として計算した。

表 6.2: 物理トリガーでのデータ取得見込み。  $1.0 \times 10^{10}$  ppp ビーム使用時の物理トリガーリクエスト。リクエスト数  $n$  は  $2.9 \times 10^5$  である。

DAQ 効率	バッファリングあり	バッファリングなし
ゼロサプレスあり (データ削減率 ~50%)	0.545±0.001	0.283±0.001
ゼロサプレスなし	0.508 ±0.001	0.174±0.001

表 6.3: 物理トリガーでのデータ取得見込み。  $7.1 \times 10^9$  ppp ビーム使用時の物理トリガーリクエスト。リクエスト数  $n$  は  $7.8 \times 10^4$  である。

DAQ 効率	バッファリングあり	バッファリングなし
ゼロサプレスあり (データ削減率 ~50%)	0.457±0.002	0.255±0.002
ゼロサプレスなし	0.429±0.002	0.169±0.001

この表の値から実際の物理データ取得で 4 章で開発目標としていた 55% の DAQ 効率を達成し得る見込みもりが得られた。

## 6.2 SRS-ATCA ゼロサプレスのデータ削減率

本研究を含め、ビームでのデータ取得で SRS-ATCA のゼロサプレス機能の動作確認は行われておらず、スレッシュホールドをかけずにすべてのチャンネルのデータ取得している。

本研究でもゼロサプレスを行わないデータ取得を行っていたが、ゼロサプレスの機能を用いてデータ量を削減することで、RAMの帯域やネットワーク転送帯域に余裕が出来ることが想定される。そこで、ゼロサプレスのDAQへの寄与について考える。Run0cのデータは、各チャンネルでペDESTALを引き、波形のピークがペDESTALの幅の $3\sigma$ を超えない部分はデータを落とす方式で解析用ファイルに保存されている。そのため、この解析用ファイルでのhit数をzero suppressで得られるhit数と等価と思って、物理トリガーで削減し得るデータ量を評価する。各SRSで取得されたhit数をSRSで処理可能なチャンネル数、つまり $24 \times 128$ で割った値をヒット占有率として評価する。ここで評価に用いたのはビーム強度 $1.2 \times 10^{10}$ 、 $7.0 \times 10^9$ での、物理データ取得用の電子対トリガーでの取得データである。

### ヒット占有率

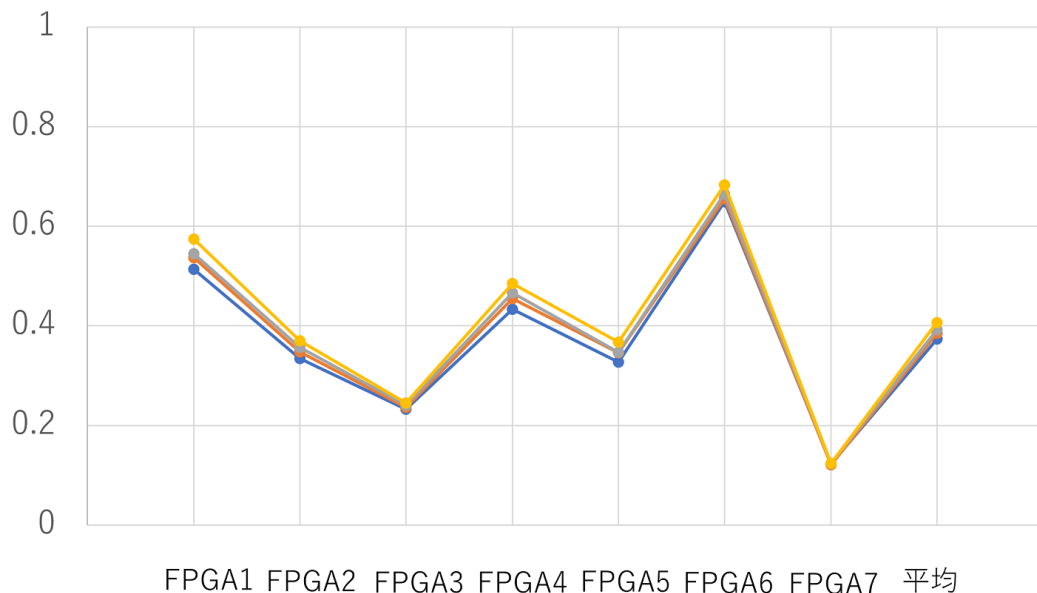


図 6.1: ビーム強度  $7.0 \times 10^9$  でヒット占有率の多いランのプロット。それぞれのFPGAおよび平均のヒット占有率をプロットしている。同じランの値は線でつながれている。

表 6.4: それぞれの FPGA での hit 占有率とその平均値。図 6.1 のうち最も値が大きいランのデータ。表 6.3、6.2 と同様に二項分布を仮定したエラーをつけている。

FPGA1	$0.575 \pm 0.001$
FPGA2	$0.370 \pm 0.001$
FPGA3	$0.245 \pm 0.001$
FPGA4	$0.485 \pm 0.001$
FPGA5	$0.367 \pm 0.001$
FPGA6	$0.683 \pm 0.001$
FPGA7	$0.1242 \pm 0.0004$
平均	$0.408 \pm 0.001$

ヒット占有率の比は FPGA 毎にばらつきがある。これは E16 実験スペクトロメータではビームに対して前方のモジュールのヒット数が多く、後方のモジュールのヒット数が少なくなるのに対し、SRS ではおおむねモジュール毎のデータ処理を行っているためである。1 イベントのビジーは扱うデータ量が最も多い FPGA により律速されるが、SRS に接続する APV25 のチャンネルマップを SRS 毎に扱うデータ量を平均化するように変更することで 1 つの FPGA が扱う最大データ量を減らし、データ収集を効率化することが可能である。表 6.4 に示した値から、FPGA 毎に扱うデータ量の平均化を行うと平均化をしない場合のヒット占有率の最大値 68% から、40% 程度に削減されることが期待される。この場合取得可能イベント数を表 2.4 の値を用いて計算すると、15 サンプルから 24 サンプルのデータ取得でゼロサプレスにより 1.7 倍程度に取得量を増やせる事が分かる。

### 6.3 J-PARC ハドロンビームラインでのスピルサイクル変更の影響

J-PARC ハドロンビームラインでは現在 5.2 sec サイクル、2.0 sec オン、3.2 sec オフのスピルサイクルでのビームの取り出しが行われているが、スピルオンの 2.0 sec をそのままにスピルサイクルを 4.24 sec に変更することが検討されている。

本研究で開発したデータバッファリングによって、スピルオンの間に転送できるデータ量を超えた分のデータをスピルオフの間に送ることで最大データ取得量が 2.5 倍程度に増えていた。しかし、スピルオフの時間が短くなるとスピル当たりのデータ転送可能量が減るため、バッファが埋まりやすくなることが予想される。そこで、4.24 sec サイクルになった際の影響を検証した。UDP で転送可能なデータ量は Run0d でデータ取得を行った際の代表的な値として 110MB/s とし、ゼロサプレスの有無、スピルサイクルの別による取得可能イベント数を表 6.5、表 6.6 に示す。

表 6.5: スピル当たり取得可能イベント数の見積もり。18 サンプルのデータ取得モードで計算。

スピルサイクル [s]	ゼロサプレスなし	ゼロサプレスあり (50%)
5.2	4587	8939
4.24	3890	7580

表 6.6: スピル当たり取得可能イベント数の見積もり。24 サンプルのデータ取得モードで計算。

スピルサイクル [s]	ゼロサプレスなし	ゼロサプレスあり ( 50%)
5.2	3495	6829
4.24	2964	5791

この表から、ゼロサプレスを行った場合スピルサイクルが 4.24sec に短縮されたとしても、18 サンプルでのデータ取得で最大 8k/スピルに近いトリガーアクセプトが可能であると結論できる。ここで、18 サンプルでのデータ取得においてはバッファの詰まりが見えていなかったが、4.24 秒周期のスピルになった場合、ゼロサプレスなしではバッファが詰まり始めると考えられる。ゼロサプレスを用いた場合、4.24 sec サイクルのスピルでデータ取得を行っても 5k イベント程度は取得可能なため、バッファが詰まることなく動作することが期待される。

## 6.4 今後の開発

E16 DAQ の改善のために現時点で必要なことを述べる。

### 6.4.1 SRS-ATCA のゼロサプレスを用いたデータ取得

E16 実験では SRS-ATCA まだゼロサプレス機能を用いたデータ取得が行われていない。ハドロンビームラインでのスピル周期の変更によりゼロサプレス機能は必須となる。

### 6.4.2 SRS-ATCA の改良項目

RAM バッファリングシステムの実装により DAQ 効率に大きい改善が見られたがまだ改善の余地がある。改善点を例に挙げると次のとおりになる。

#### RAM アドレスの最適化

現在のバッファリングの実装方法では、各イベントに対して一定の数の RAM アドレスが割り当てられている。この 30 サンプルでのデータ取得に合わせ多くのアドレスを割り当てているため、実際に用いる 24 サンプルや 18 サンプルでのデータ取得では使用しないアドレスが多く発生し、非効率である。そのため、設定したサンプル数毎に割り当てるアドレスを最適化する書き込み/読み出しのアルゴリズムを開発する予定である。

#### RAM 読み出しデータ用 ECC 機能の追加

RAM の書き込み/読み出しに際するエラーの検知、修正の機能は Run0d 時点で実装されていない。Run0d ではエラーレートの上限が  $5.3 \times 10^{-5}$  と低く見積もられているため急務ではないが、確実なデータ取得のために必要な機能となる。

### SRS-ATCA ネットワーク帯域の強化

本研究での実装項目としても検討したが、SRS-ATCA のネットワーク帯域は現在の 1GbE 1 本での読み出しから 1GbE 2 本あるいは 10GbE での読み出しに変更することが可能である。RAM バッファリングにより RAM バッファが埋まるまでは十分短いビジー長さを達成しており、加えてこの開発を行うことで、SRS による律速がなくなることが期待される。

### RAM 書き込み/読み出し帯域の最適化

DRAM はアドレスをマルチプレクスすること、リード動作の前に必ずプリチャージやセンスアンプによる増幅を必要とすることからランダムアクセスをすると効率の良い書き込み/読み出しを出来ない。そのためバースト書き込み/読み出しが必要で、RAM の帯域はピーク帯域である 6.4GB/s に近い値を出せると期待される。しかし Run0d の実装では頻繁にランダムアクセスを行っており、RAM の帯域を最適化していない。ゼロサプレスを行うことで Run0d で実装したバッファリングシステムでも十分な帯域を実現できるため優先順位は低いが、APV の全チャンネルのヒットの確認などゼロサプレスを行わないデータ取得を行う場合は RAM 帯域がボトルネックとなりうるため、RAM 帯域の最適化が望まれる。

以上の改善によりデジタイザである SRS に依存せず APV25 ASIC の性能限界でのデータ取得が可能になる。

### 6.4.3 TRG-MRG 由来のビジーの改善

Run0d での DAQ 性能評価で TRG-MRG から長いビジーが発生する事が分かった。このビジーはイベント数にして全体の 1-2% 程度の量であり、データ取得に差し当たっての不都合は無いと考えられるが、原因が分かっていない不具合であるため原因究明を行っていく予定である。

### 6.4.4 新規 GEM 読み出しボード

E16 実験は目標とする高統計のデータ取得のためアクセプタンスを 3 倍に増強して行う RUN2 を計画している。しかし、GEM 読み出しに用いている SRS-ATCA は製造停止になっており、アクセプタンス増強のため新規読み出しボードの開発が必要な状況となっていた。この RUN2 のための開発として、SPADI-Alliance 内でストリーミング読み出しが可能な新規回路：SAMIDARE ボードの開発を行った。当ボードの概観を付録 A に示す。

## 第7章 結論

J-PARC E16 実験では、原子核中のベクター中間子の質量スペクトルとその変化を測定する。実験では大強度・高運動量陽子ビームを原子核に照射し、生成されたベクター中間子の電子・陽電子対への崩壊を測定する。物理データ取得のため、検出器の性能評価が進行中である。

E16 実験の DAQ に当初要求されていた性能は 1kHz リクエストあたり 76% 程度の DAQ 効率である。しかし、過去のコミッショニングランの結果から、使用するビームの時間構造のため Run0c 時点で 1kHz のトリガーリクエストに対し DAQ 効率が 15% 程度と低い値に留まることが判明しており、目標とする物理データの取得のためには当初想定していたよりも高い DAQ 性能が必要となることが分かった。この DAQ 性能の達成のため、E16 DAQ のボトルネックとなっていた GEM 読み出しデータのデジタイザである SRS-ATCA の改良を行った。

改良方法として RAM を用いたデータバッファリングによるネットワークデータ転送の平滑化をすることに決定し、バッファリングシステムの実装を行った。Run0d においてミニマムバイアストリガーを用いて実装したバッファリングシステムを含む E16 DAQ 全体の性能評価を行い、バッファリングシステムを使わない場合と比べて 1/10 程度のビジー長さおよび 2 倍から 3 倍の DAQ 効率を達成した。

また、E16 実験の将来のデータ取得に向けて、本実験の物理データ取得とにおけるデータ取得の効果を評価した。今回取得したデータはミニマムバイアストリガーによるデータ取得であったが、物理データ取得に用いる電子対トリガーはよりビームの時間構造を強く反映することが見込まれている。電子対トリガーでのデータ取得での DAQ 効率を見積もるため、Run0d で確認されたビジー構造と Run0c で作成したトリガーの時刻情報を用いたシミュレーションを行った。その結果、DAQ 効率が 15% から 55% 程度まで改善すると期待できることが分かった。

これまでの SRS のデータ取得ではゼロサプレスをを用いていない。そこで、ゼロサプレスをを用いたデータ取得を行った場合の DAQ 性能の向上についての評価を行い、今後 J-PARC のスパルサイクルが短縮された場合でも十分な動作を期待できることが分かった。

今後、SRS を含む E16 DAQ のさらなる改良や TRG-MRG から発生するビジーの原因究明を行い、E16 実験初の物理データ取得ランである Run1 に向けて改善を続け、媒質中のベクター中間子質量スペクトルの精密測定を行う。



# 付録A SAMIDAREボード

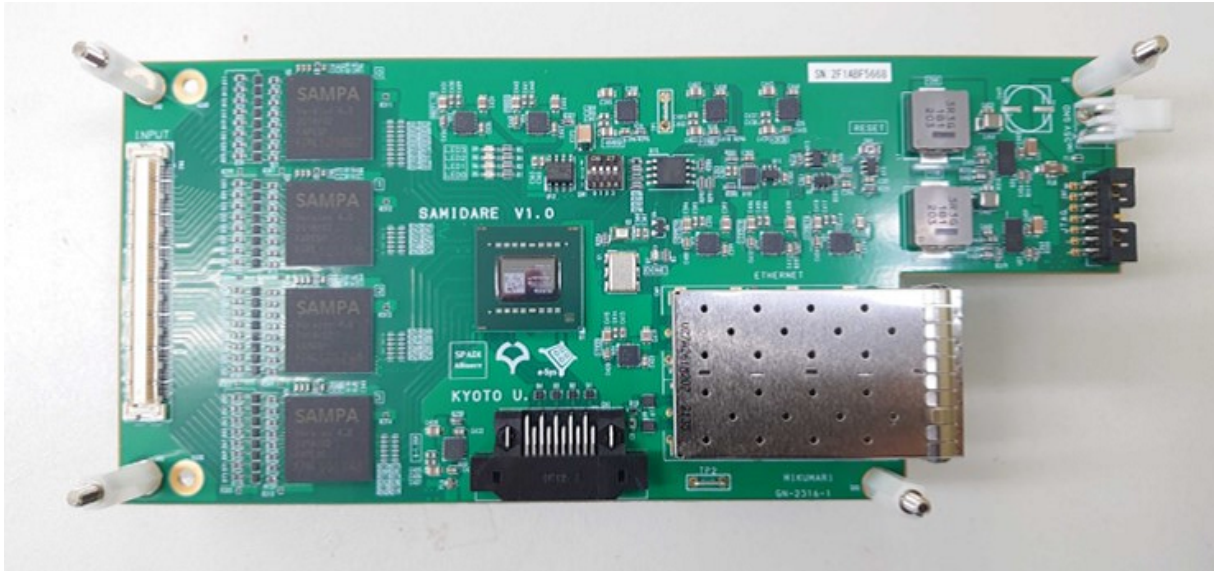


図 A.1: SAMIDARE ボード。

## A.1 新規 GEM 読み出しボードの開発

E16 実験では飛跡検出器である GEM、電子識別に用いる HBD の読み出しに波形取得可能であり数十  $\mu\text{m}$  のトリガー レイテンシを許容する APV25 を用いているが、APV25 のデジタイザとして導入している SRS-ATCA ボードの生産が停止してしまっている。

そのため、モジュールを増設し実験を行う RUN2 のために、新規読み出し基板が必要となる。このため、SPADI-Alliance における TPC 読み出し基板作成の TF において新規基板作成を行った。

当該基板の回路図作成を行い、ボード名を SAMIDARE: SAMpa based high Integrated Data REadout ボードと命名した。

## A.2 SPADI-Alliance について

SPADI-Alliance は汎用 DAQ を作ることを目標にした団体である。当ボードは SPADI-Alliance の波形取得用 FEE 開発タスクフォースにて作成された。

## A.3 SAMIDARE ボードの開発

当ボードは汎用読み出し回路として開発が進められており、SAMPA ASIC を用いた PCIe ボードを必要とする既存の基板と異なり、イーサネット接続で計算機に直接データ転送を行うことが可能である。また、ストリーミング読み出しにも対応するため高計数での実験を可能にすることが期待される。

### A.3.1 SAMPA チップ

SAMPA チップは CERN ALICE TPC のために開発された ASIC である。この基板に用いるのは SAMPA\_v4 であり、波形整形、ADC、信号処理などの機能を持つ。1 チップあたり 32 のアナログ入力チャンネルで最大サンプリングレート 20 MHz のデータ取得ができる。

## A.4 ストリーミング DAQ について

原子核・ハドロン実験における次世代の DAQ システムとして、ストリーミング DAQ の開発が進んでいる。これは全体でのトリガーを用意せずにデータを取得し、ソフトウェア的なイベント選別を行う方法である。ストリーミング DAQ はトリガーをかけることによるバイアスが発生せず、発生するデータ全てを取得できる DAQ システムである。SAMPA\_v4 はこのストリーミング読み出しに対応した ASIC である。

## 付録B ビジー構造

ビジー長さの histogram が作る左下がりのテールについての説明をする。

ビジーは DAQ のバッファに余裕がなくなったタイミング、つまりバッファの空きが残り 1 イベントになっているときにトリガーアクセプトを行うとビジーが発生する。このビジーはバッファに空きが出来るタイミング、つまり最後のトリガーをアクセプトした時点で行っていたデータの処理が終わったタイミングで解除される。よって、ビジー長さはトリガーアクセプト時点で処理中であるデータの残り処理時間である。

リクエストレートが一様と仮定し、1 クロック周期  $\Delta t$  あたりにトリガーリクエストが発生する確率を  $p$  とする。あるビジー解除から  $n$  番目のクロック周期でアクセプトされる確率は、 $n - 1$  番目のクロック周期までリクエストが発生せず  $n$  番目のクロック周期でリクエストが発生する確率なので

$$(1 - p)^{n-1} \times p$$

ビジー長さ  $T_b$  はあるビジー解除後からの時間を  $t$ 、データの処理時間を  $T$  としたとき、

$$T_b = \begin{cases} T - t & t < T \\ 0 & t > T \end{cases}$$

なので、

$n = t/\Delta t$  でアクセプトされる確率が

$$P(T_b) = (1 - p)^{t/\Delta t - 1} \times p$$

$$= (1 - p)^{(T - T_b)/\Delta t - 1} \times p$$

となる。 $0 < 1 - p < 1$  のため、ビジー長さを横軸にとるとき、指数的な増加となる。

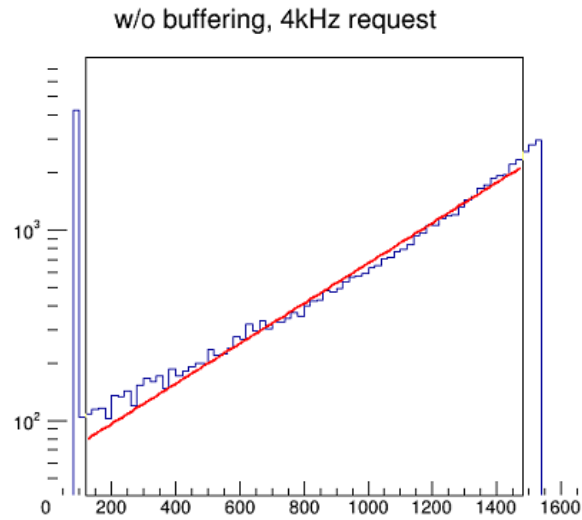


図 B.1: Run0d での取得データのビジー長さの指数関数でのフィット。横軸は  $\mu s$ 、ログスケールでのヒストグラム。RAM データバッファリングを用いておらず、主に SRS のネットワークの律速のみからビジー構造が発生している。時刻に対するリクエスト数の変化が少ない領域のビジー長さをログスケールで表示している。ただし、実際のトリガーリクエストはビーム強度によるため一様ランダムでないため、確立分布  $P(T_b)$  は適切な重みをかけ変数  $p$  で積分した値になる。

# 付 録 C    ビーム構造が無い場合の DAQ 効率見積もり

トリガー トリガーリクエストがランダムに発生すると仮定した際の、固定ビジー長さに対する DAQ 効率を考える。

## C.1 第0近似

acc をアクセプトレート [Hz]、req をリクエストレート [Hz] として

$$(1 - \text{acc} \times \text{busy}) = (1 - (\text{deadtime})) = (\text{lifetime})$$

と書ける。ここで

$$\text{acc} = \text{req} \times (\text{lifetime})$$

を代入すると、

$$(\text{lifetime}) = 1 / (1 + \text{req} \times \text{busy})$$

## C.2 期待値での計算

トリガーアクセプトの直後  $800 \mu\text{s}$  の間に発生するトリガーリクエスト数の期待値は 0.8  
これは 1.8 回のリクエストにつき 1 回の accept であることを意味するので、アクセプト/リクエストの比は  
 $1/1.8 \sim 0.556$

## C.3 ビジー長さ vs DAQ 効率

以上よりビジー長さに対する DAQ 効率は 1kHz リクエストの時、ビジー長さを  $t$  として

$$1 / (t[\mu\text{s}] \times 1[\text{kHz}])$$

と表せる。ここで、ビジー長さと DAQ 効率の対応を表 C.1 に示す。

表 C.1: 1kHz リクエストでのビジー長さと DAQ 効率の対応。

ビジー長さ [ $\mu\text{s}$ ]	DAQ 効率 [%]
100	0.91
200	0.83
400	0.71
800	0.56
1200	0.45

# 謝辞

本研究を行うにあたって、非常に多くの方々にご指導、ご支援いただきました。指導教官である成木恵教授にはハドロン分野へ導いていただき、研究を進めるにあたって様々なアドバイスを頂きました。私の不備や言葉足らずな点でご迷惑をおかけしたこともありましたが、親身にご指導いただき、また私の自主性を重視し様々な経験をさせて頂きました。永江知文教授、銭廣十三准教授、後神利志助教、堂園昌伯助教、富田夏樹特任助教には発表の際に多くのアドバイスを頂きました。

E16 実験の皆様にも大変お世話になりました。理研の四日市悟研究主任には私の勉強不足で至らない点が多かったところ、基本的な内容であっても多くアドバイスをくださりました。解析についてのご指導にも多くの時間をかけて頂きました。おかげで研究を前に進める事ができました。

KEK の小沢恭一郎准教授、青木和也研究機関講師、森野雄平研究機関講師にはミーティングの際や発表練習の時など鋭いご指摘を頂き、大変ありがたかったです。RCNP の高橋智則特任研究員からはハードウェアからファームウェア、ソフトウェアに至るまで DAQ 全般について非常に多くご指導頂きました。困っている事について質問するといつでも詳細な返事を下さったり誤解を解いてくださったりと研究を進めるにあたってご助力いただけてとても心強かったです。理研の中井恒さんからは SRS のデータ取得や DAQ の解析など非常に丁寧にご指導くださいました。本論文のビームタイムデータも中井さんのおかげで取得できました。

KEK E-sys グループの皆様には J-PARC での作業場所を貸していただきました。KEK 本多良太郎准教授には E-sys での過ごし方、SPADI-A での活動など、様々な事で気にかけていただきました。KEK 庄司正剛准技師には回路図作成にあたり OrCAD の使い方を教えて頂きました。

SPADI-A で回路作成にあたりご指導いただいた皆様にも御礼申し上げます。RCNP の池野正弘特任研究員には回路の修正、回路作成にあたってのご指導など多くのことを教えて頂きました。

研究室の先輩である京都大学の市川真也さん、中須賀さとみさん、東京大学の村上智紀さんにも良くして頂きました。日常生活ではお昼に車で連れて行ってくださり、先輩方のおかげで生きていけました。研究においては困ったことの相談に乗っていただいたり私の勉強不足なところをご指導いただいたりとてもお世話になりました。

他にもここには書いていない研究室の方々、実験グループの方々、J-PARC のの方々、SPADI-Aliance, RCNP のの方々にもお世話になりました。

最後に、私を応援し支えてくれる家族に感謝の意を表します。



# 参考文献

- [1] 国広悌二 クォーク・ハドロン物理学入門; 真空の南部理論を基礎として サイエンス社, 2013
- [2] R.L. Workman et al. (Particle Data Group), Prog. Theor. Exp. Phys. 2022, 083C01 (2022) and 2023 update 1st December
- [3] W. Weise, Nucl. Phys. A553 (1993) 59c-79c
- [4] M.A. Shifman, A.I. Vainshtein and V.I. Zakharov, Nucl. Phys. B 147, 385(1979)
- [5] 熊野俊三 KEK 物理学シリーズ 2 原子核物理学 共立出版, 2015
- [6] T.Hatsuda and S.H. Lee. Phys. Rev. C 46, R34 (1992).
- [7] P.Gubler and K.Ohtani., Phys. Rev. D, Vol. 90, p. 094002, Nov 2014.
- [8] M. Naruki et al., Experimental Signature of Medium Modifications for  $\rho$  and  $\omega$  Mesons in the 12 GeV  $p + a$  Reactions.
- [9] R. Muto et al., Phys. Rev. Lett. 98, 042501 (2007).
- [10] M. H. Wood, et al. Phys. Rev.C, Vol. 78, p. 015201, Jul 2008.
- [11] D. Adamová, et al., Physics LettersB, Vol. 666, No. 5, pp. 425–429, 2008.
- [12] R. Arnaldi, et al.PRL 96, 162302 (2006)
- [13] <https://j-parc.jp/c/facilities/nuclear-and-particle-physics/hadron.html>
- [14] J-PARC 29th PAC meeting January, 2020
- [15] S.Yokkaichi, et al. Addendum to the J-PARC E16 Technical Design Report -for Run-1 approval-. Jun. 2022.
- [16] CERN GDD HP Gaseous Electron Multiplier <https://gdd.web.cern.ch/gem>
- [17] 村上智紀 修士論文 2019.
- [18] 中須賀さとみ 修士論文 2020.
- [19] Nuclear Instruments and Methods in Physics Research A 466 (2001) 359–365
- [20] S. Ritt, et al., “Application of the DRS chip for fast waveform digitizing,”

- [21] V.Firese, Nuclear Physics A Volume 774, 7 August 2006, Pages 377-386
- [22] BM@N STS Group, Silicon Tracking System of the BM@N Experiment: Technical Design Report 2020
- [23] 山口加奈子 修士論文 2022.
- [24] APV25-S1 User GuideVersion 2.2
- [25] S.Martoiu, H.Muller,A.Tarazona and J. Toledo. Journal of Instrumentation, Volume 8, March 2013
- [26] L. Ropelewski, et al., R&D Proposal Development of Micro-Pattern Gas Detector Technologies, CERN-LHCC-2008-011, 2008. Nucl. Instrum. Meth. A 623, 486, 2010.
- [27] 市川真也 修士論文 2017.
- [28] M.Nakao, et al., IEEE Trans. Nucl. Sci., vol. 60, no. 5, pp. 3729–3734, Oct. 2013.
- [29] E16 実験ホームページ <https://ribf.riken.jp/yokkaich/E16/E16-index.html>
- [30] Xilinx Virtex-6 FPGA Memory Interface Solutions User Guide <https://docs.xilinx.com/v/u/en-US/ug406>
- [31] J-PARC ホームページ 加速器施設の概要 <https://j-parc.jp/c/for-researchers/accelerators.html>
- [32] J-PARC ホームページ 加速器について <https://j-parc.jp/c/facilities/accelerators/index.html>
- [33] J-PARC E16 proposal
- [34] J-PARC E16 Run0 proposal
- [35] Hadron Universal Logic module User Guide 2023.08.19 [https://openit.kek.jp/project/HUL/public/hul/HUL\\_UserGuide.pdf](https://openit.kek.jp/project/HUL/public/hul/HUL_UserGuide.pdf)
- [36] 高浦雄大 修士論文 2020.
- [37] Tomonori Takahashi et.al, Data acquisition system in Run-0a for the J-PARC E16 experiment
- [38] 栗野雅彦 メモリ IC の実践活用法 UV-EPROM/EEPROM/SRAM/DRAM の構造と使い方 CQ 出版社
- [39] SRS data format <http://atlas.physics.arizona.edu/kjohns/downloads/atlas-micromegas/srs-software-docs/SRS%20Data%20Format.pdf>