

ガス飛跡検出器 連続読み出し回路基板, SAMIDAREボードの開発

2024/09/18 長房 俊之介^{A, B}

京大理^A, 理研仁科セ^B, 阪大RCNPC^C, 阪大理^D, 東大CNS^E,
東北大理^F, 京産大理^G, KEK^H

青井考^C, 味村周平^C, 池野正弘^C, 石川貴嗣^C, 磯部忠昭^B,
大田晋輔^{C, D}, 郡司卓^E, 小早川亮^C, 小林信之^C, 佐田優太^F,
柴北洋明^D, 白鳥昂太郎^C, 高橋智則^C, 新山雅之^G, 馬場秀忠^B,
早川修平^F, 古野達也^D, 本多良太郎^H, 柳善永^C,
FOR THE SPADI ALLIANCE



目次

- 開発の動機
- SAMIDAREボード概要
 - 基板の構成
 - 基板の特徴
 - ASIC: SAMPAについて
- 開発状況
 - 基板開発
 - 動作テスト
 - 今後の目標

開発の動機

新規多チャンネル波形読み出し回路の需要

1. 連続読み出しへの対応

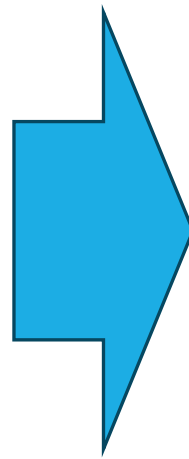
- デッドタイムレスなDAQシステム

2. 複数実験で使える汎用基板

- SPADI-Alliance:
素核実験の汎用DAQの開発

3. 既存システムの代替

- TPC: AGETを用いた既存のシステムがサポート終了
- J-PARC E16実験: 飛跡検出器用デジタイザの生産終了



SAMIDARE ボードの開発

SPADI Alliance

SAMPA FEE Task Force 参加グループ

- | | |
|-----------------|------------------|
| - LEPS2 | - CAT |
| - RIBF RIビーム散乱 | - ELPH KN散乱 |
| - SPiRiT | - J-PARC E16&E88 |
| - J-PARC HypTPC | - MAIKo |

SAMIDAREボード概要

- 基板の構成
- 基板の特徴
- 使用ASIC : SAMPAについて

SAMIDAREボード 構成

SAMpa based high Integrated DATA REadout board

180 mm

信号入力: 128 ch
HIROSE
FX10A-140S/14-SV(71)
(変換基板を通して)
直接検出器に取り付け

ASIC: SAMPA
input: 32 ch (x 4)
アナログ/デジタルの
データ処理
→後述

FPGA: Artix UltraScale+

電源: 35V

SFP+: GbE/10GbE

MIKUMARI 用SFP+ポート
→後述

GPIO
トリガープリミティブの入出力
クロック信号の入力など

特徴

1. 連続読み出し可能

- →高計数実験に対応
- 10GbE, 128bit/hit を仮定して~70Mcps

2. 実験への導入の容易性

- 基板上にFPGAを設置. 基板上である程度複雑なデータ処理が可能
- Ethernetで直接PCと通信→市販のネットワーク機器で通信可能
- 低レイテンシのトリガープリミティブ信号の生成・出力

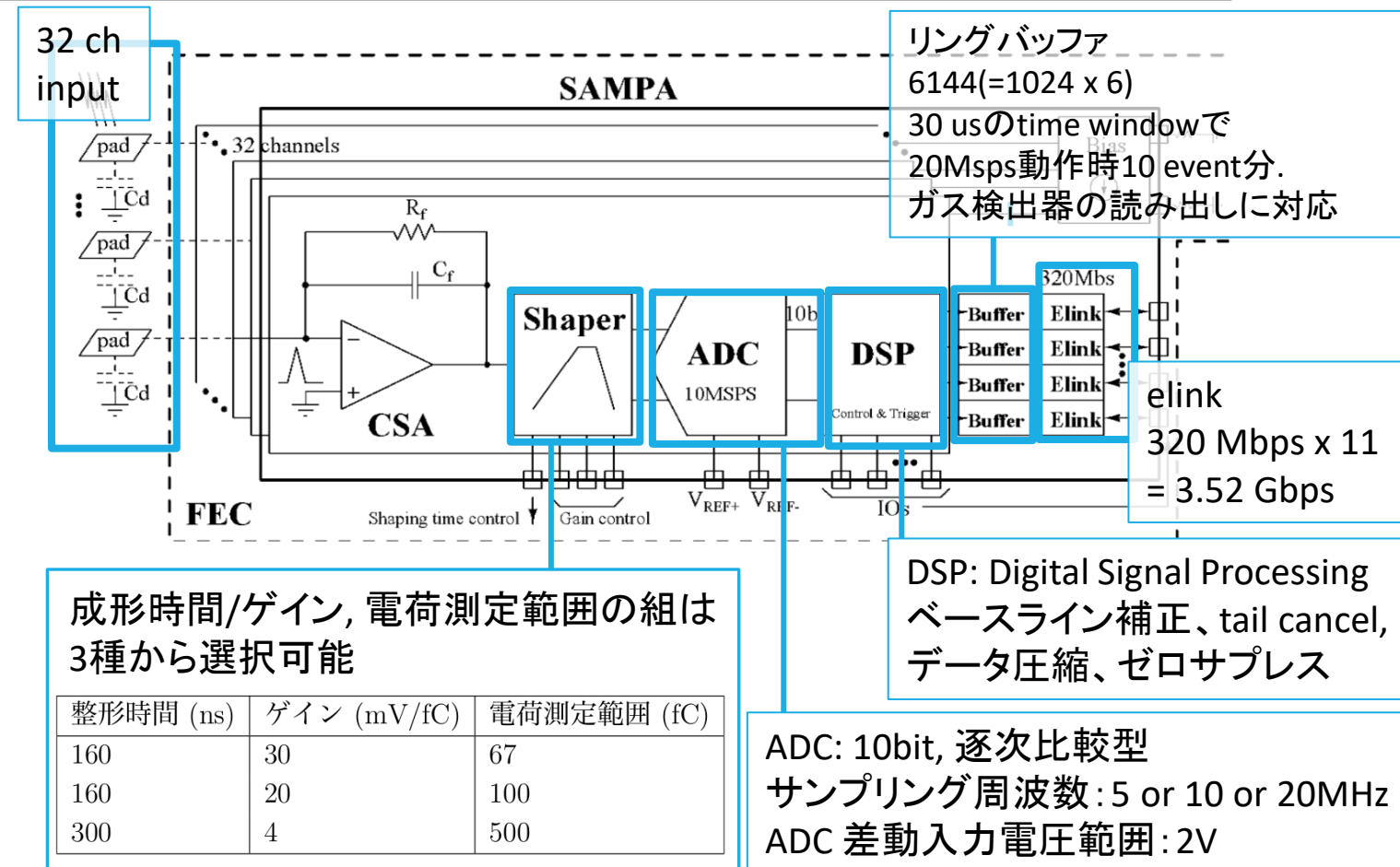
3. クロック同期、トリガー分配にMIKUMARIを使用可能

- SPADI-Allianceで開発を進めている高精度基準信号分配技術
- 利点: 汎用IOで使用可能. 長期的な開発維持を想定

ASIC: SAMPA

Serialized Analog-digital Multi-Purpose ASIC

- CERN ALICE TPCのために開発.
アナログ/デジタル混在のASIC
- 2つの動作モード: DAS/DSP
 - DAS: Direct ADC Serialization
 - ADC値をシリアル化してそのまま出力
 - DSP: Digital Signal Processing
 - ADC値を処理、パケットにして出力
- トリガー/連続読み出し両対応
 - pre-triggerバッファ: 192 ADC cycle
(20MSPSで9.6 us)



開発状況

- 回路設計
- 基板動作テスト
- 今後の目標

基板開発

SPADI-Allianceで開発.

SAMPAを使った既存の基板であるsPHENIX, ALICEの基板を参考

回路開発項目

- SAMPA周り
 - 保護回路/パスコン
 - 高速作動信号:SLVS

- 電源
 - 使用ICの選定
 - ASICノイズ対策

- FPGA
 - FPGA選定
 - ネットワーク経由で操作可能に
 - MCS書き込み、FPGAリブート

...

本講演で説明(次スライドから)

✓ 2023/12に試作基板納品

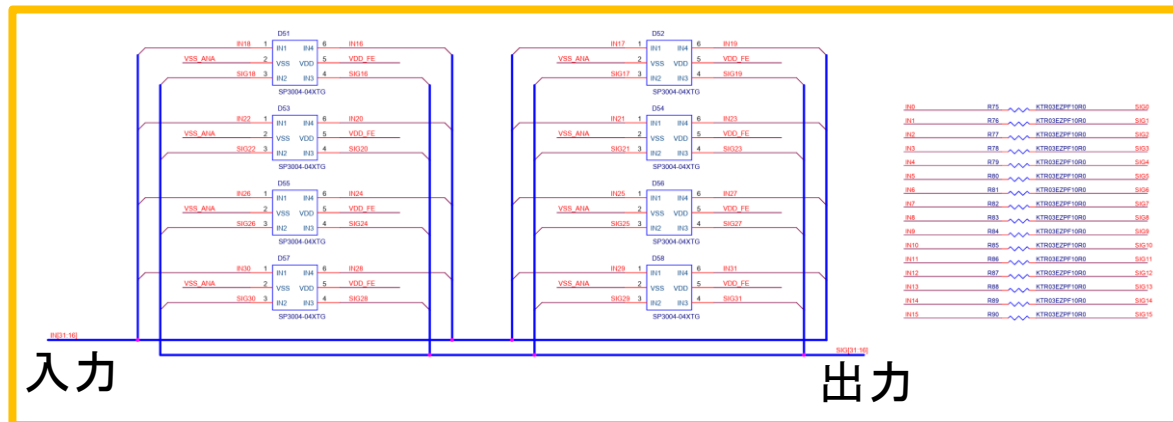
現在ファームウェア開発中

回路設計 (1/3)

保護回路/ASICバイパスコンデンサ

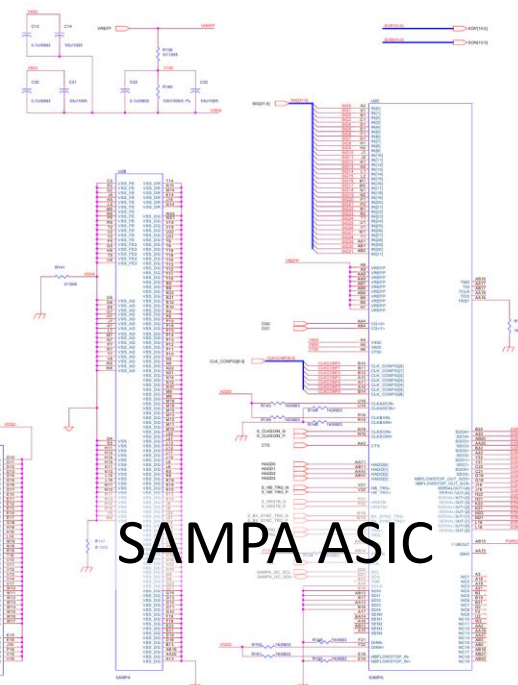
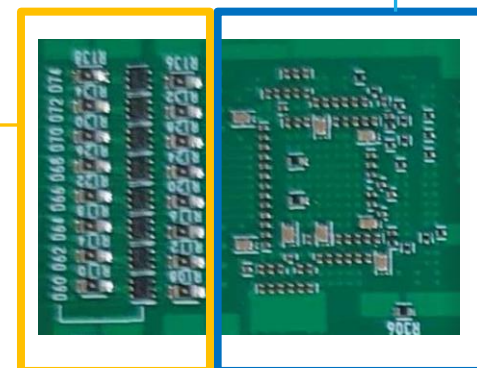
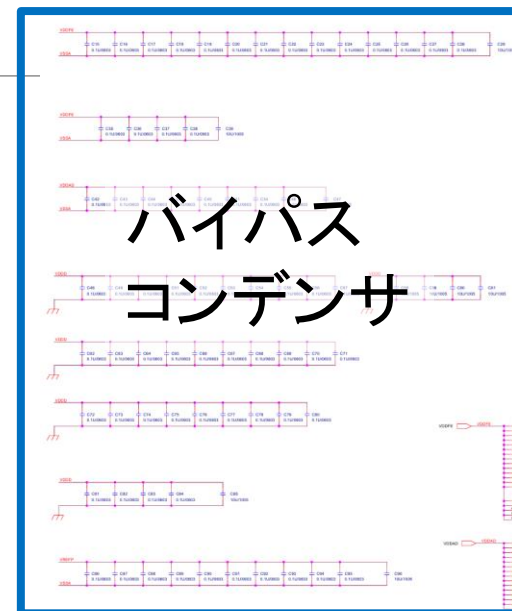
パスコンはALICE,
保護回路はsPHENIXの回路を踏襲

- 電源保護ICを2回経由してASICへ入力
- できるだけ安全な設計



電源保護IC
抵抗

: SP3004-04XTG
: KTR03EZPF10R0

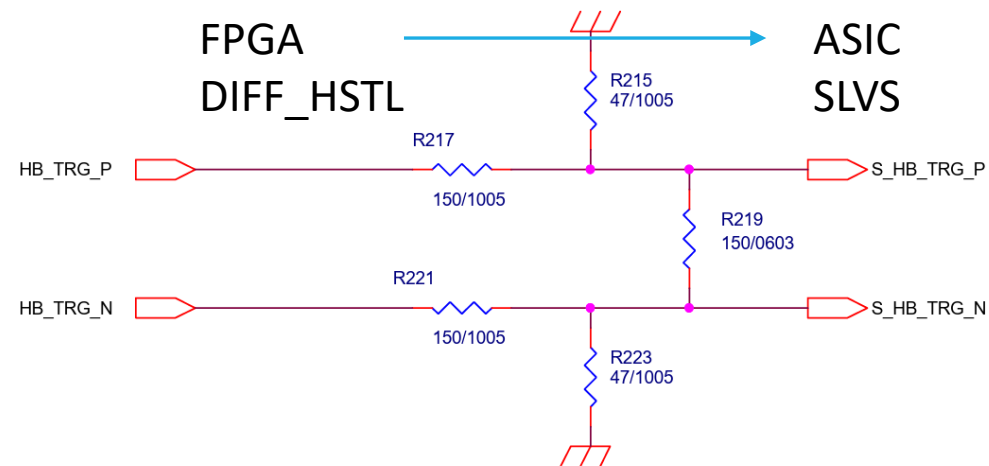


回路設計 (2/3)

差動信号変換

SAMPAの高速差動信号: SLVS

- SLVS: Scalable Low-Voltage Signaling
 - 高速/低消費電力の通信規格
- 使用するFPGAのArtix UltraScale+はSLVSの受信可能、送信不可能
 - 抵抗分割で差動信号DIFF_HSTLから変換して送信



回路設計 (3/3)

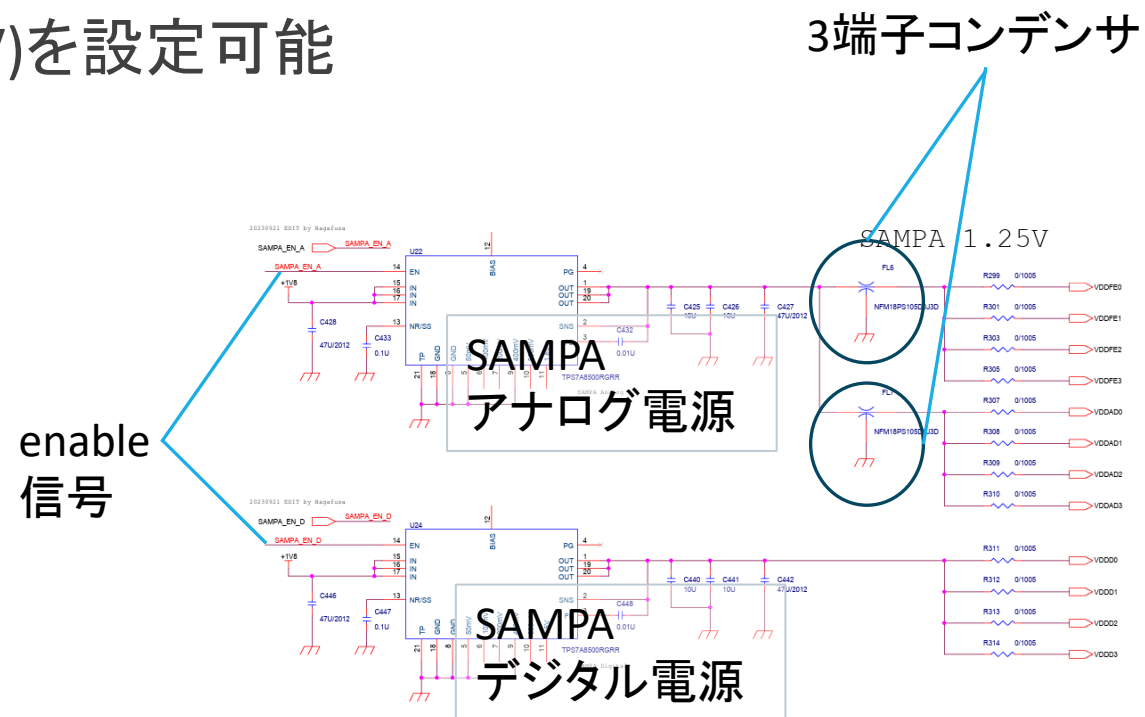
電源

電源IC: TPS7A8500RGRR

- sPHENIXのSAMPAを用いた基板に採用
- このICだけで異なる電圧値(0.8 V ~ 5.0 V)を設定可能

ASIC用電源

- ノイズ対策
 - アナログ/デジタルを別ICで供給
 - ASICごとに3端子コンデンサでさらに分ける
- 電源ICのenableをFPGAから操作
- ASICの設定変更の時の安全のための設計



基板動作テスト

テスト波形取得

製作した試作基板でADCデータ取得テスト

- ASICのDASモード(ADCの値をそのまま出力)で波形取得
- 実戦ではDSPモード(ASIC上でデジタルデータを処理)を使用予定

ファームウェア開発項目:

✓ ASIC-FPGA間通信

slow control, 信号読み出し

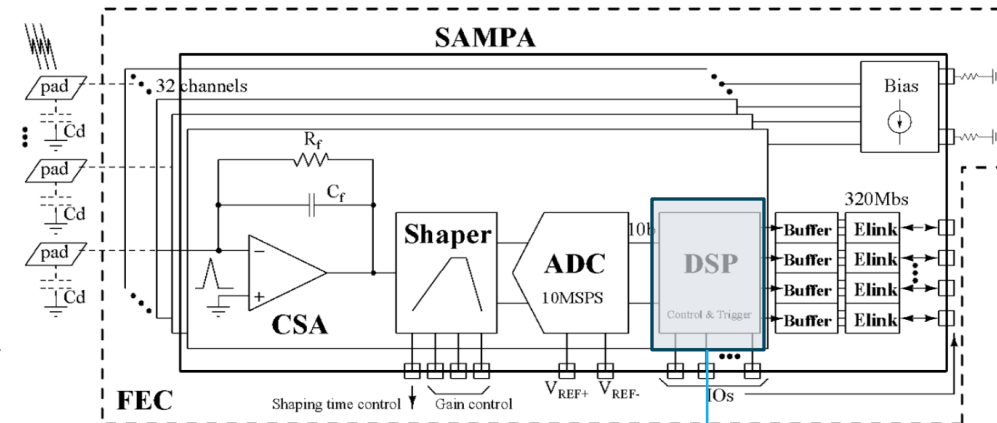
✓ データ処理

✓ FPGA-PC間通信 (1GbE)

Fakernet: オープンソースのEthernet 通信プロトコル. UDPとTCPがベース.

UDP: レジスタ値のR/W

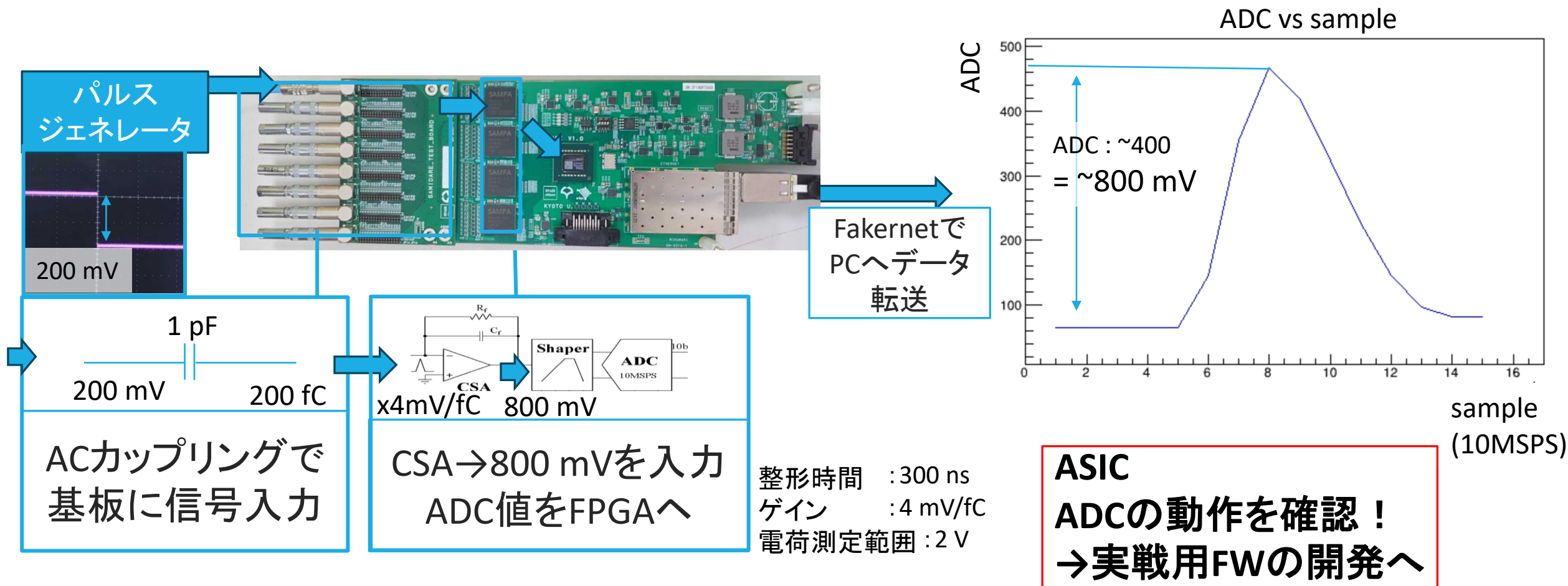
TCP: 基板->PCへのデータの送信



disabled

基板動作テスト

テスト波形取得



今後の目標

基板の正常な動作を確認.

→実戦に向けたファームウェア開発/性能評価

実装項目

- 10GbE
- MIKUMARI
- DSPモードでのデータ取得
- トリガー機能
- データフォーマット策定
- 連続読み出し

性能評価

- ADC分解能
- 時間分解能
- DSP modeの性能
- 放射線耐性

まとめ

ガス検出器連続読み出し用回路: SAMIDARE ボードの開発

- 特徴
 - 多チャンネル波形読み出し
 - 連続読み出し; 高計数実験への対応が可能
 - 実験への導入が容易な汎用基板
 - SPADI-Allianceでの開発

試作基板を製作, 動作を確認. FW作成中

- ASICのADCから波形データ取得に成功
- ASIC内のデータ処理機能を使うDSPモードを使った実戦用ファームウェアの作成に移る予定